

概要

ザイリンクス Virtex™-4 エンジニアリング サンプル プログラムにご参加頂きましてありがとうございます。このプログラムでは、Virtex-4 XC4VFX20CES2/3 および XC4VFX60CES2/3 デバイスのエンジニアリング サンプルを提供致しております。弊社では、デバイスの品質において万全を期しておりますが、これらのデバイスに該当するエラッタが確認されましたのでお知らせ致します。

デバイス

このエラッタは、表 1 に記載する XC4VFX20CES2 および XC4VFX60CES2 デバイスに該当します。

表 1: エラッタが該当する XC4VFX20 および XC4VFX60 デバイス

デバイス	XC4VFX20CES2	XC4VFX20CES3	XC4VFX60CES2	XC4VFX60CES3
		XC4VFX20CES3L	XC4VFX60CES2L2 ⁽¹⁾	XC4VFX60CES3L
		XC4VFX20CES3R	XC4VFX60CES2R2 ⁽¹⁾	XC4VFX60CES3R
			XC4VFX60CES2V2 ⁽¹⁾	XC4VFX60CES3L2 ⁽¹⁾
				XC4VFX60CES3R2 ⁽¹⁾
				XC4VFX60CES3V2 ⁽¹⁾
すべてのデバイスの JTAG ID (リビジョン コード) : 0				
パッケージ	すべて			
スピード グレード	-10、-11、-12			

メモ :

1. CES3L2、CES3R2、および CES3V2 デバイスは、異なるキャリブレーション ブロックバージョンが必要です。詳細は、このエラッタのキャリブレーション ブロックを参照して下さい。

ハードウェア エラッタの詳細

このエラッタの発行時における、ハードウェアに関する既知の問題の詳細を示します。

FIFO16

次のシーケンスが発生すると、FIFO16 の ALMOST EMPTY、EMPTY、ALMOST FULL、FULL フラグが適切に生成されません。

1. 読み出しまたは書き込みが、ALMOST EMPTY OFFSET または ALMOST FULL OFFSET のしきい値に達する。
 2. ある読み出しまたは書き込みと、次の読み出しまたは書き込みのアクティブクロックエッジが同時または非常に近い。
- ALMOST EMPTY または ALMOST FULL フラグを使用しない場合でも、フラグが適切に動作しないため、予想外のデータまたは無効なデータが出力される可能性があります。

この問題は、読み出しと書き込みが同時に実行されない FIFO16 アプリケーションでは発生しません。これらを同時に実行するアプリケーション用には、問題の回避方法としてダウンロード可能なマクロが利用可能です。ただし、データシートに記載されたパフォーマンスを満たさない場合があります。詳細、回避方法、および関連するパフォーマンス情報は、アンサー レコード # 22462 を参照して下さい。

DSP48

CarryIn Input レジスタ

ファブリックからの CarryIn 入力 (属性 CARRYINREG = 1) はサポートされていません。

回避策

CarryIn 入力レジスタの代わりに CLB レジスタを使用して、属性を CARRYINREG = 0 に設定して下さい。

対称型丸め込みロジック

DSP48 エlement には、5つの丸め込みモードがあります。パイプラインのない4つの丸め込みモードは、完全にサポートされていますが、パイプラインがある丸め込み (A x B) モード (CarryInSel[1:0] = 11) はサポートされていません。

回避策

CLB にキャリー用の等価ロジックを作成し、CarryInSel[1:0] = 00 を使用して、そのロジックを DSP48 の CarryIn 入力へ接続して下さい (属性を CARRYINREG = 0 に設定)。

DCM

1. DCM 属性 CLKOUT_PHASE_SHIFT を VARIABLE_CENTER に設定できません。
2. CLKFX および CLKFX180 の両方またはいずれかを DCM のクロック出力として使用し、入力クロック周波数 (CLKIN) が CLKIN_FREQ_DLL_(HF または LF)_ (MS または MR)_ MIN/MAX の範囲を超える場合は、ザイリンクス アンサー #20529 に記載されているマクロを使用することにより、適切な LOCKED 信号を生成させることができます。
3. ソース同期アプリケーションには、高パフォーマンスかつ低スキューを実現するため、ChipSync™ の使用を推奨しています。DCM を使用する場合は、ザイリンクス アンサー #20529 に記載されているガイドラインに従い、CLKIN_CLKFB_PHASE の仕様が ±300ps を満たすように設定して下さい。

T_{CONFIG}、DCM_INPUT_CLOCK_STOP、および DCM_RESET の要件

エラッタにリストされているデバイスには、次のタイミング要件 (詳細は、『Virtex-4 データシート』を参照) が適用されます。

- T_{CONFIG} V_{CCINT} が適用されてからデバイスをコンフィギュレーションする時間
- DCM_INPUT_CLOCK_STOP CLKIN および CLKFB を停止できる最大時間
- DCM_RESET DCM をリセットできる最大時間

回避策

ザイリンクス アンサー #21127 に記載されているデザイン ソリューションを使用して下さい。

FRAME_ECC

I/O IDELAY フレームにある未使用コンフィギュレーション ビットの FRAME_ECC でフィードバック エラーが発生する場合があります。このエラーは間違いであり、機能的な影響を与えないため、無視しても問題ありません。

回避策

[XAPP714](#) に記載されているリファレンス デザインを使用することによって、このエラーの表示を回避できます。

プロセッサ ブロック

動作周波数

- 1) PPC405 プロセッサ コアにおける最大動作周波数 300MHz (-10 スピード グレード) および 350MHz (-11 スピード グレード) です。

回避策

ザイリンクスが提供する GNU コンパイラを使用してコードをコンパイルすることによって、フル周波数 (-10 スピード グレードで 350MHz、-11 スピード グレードで 400MHz) で動作させることができます。詳細は、ザイリンクス アンサー #20658 を参照して下さい。

その他のコンパイラを使用する場合の周波数は、1) に記載した値となります。

2) APU コントローラ インターフェイスを使用する場合、プロセッサ ブロックの最大動作周波数は -10 スピード グレードで 275MHz、-11 スピード グレードで 300MHz になります。

その他のプロセッサ ブロックに関するエラッタおよび使用上の注意については、ザイリンクス アンサー #21075 を参照して下さい。

RocketIO™ マルチギガビット シリアル トランシーバ

このエラッタの発行時における、Virtex-4 RocketIO™ トランシーバに関する既知の問題の詳細を示します。

CES2 デバイスで使用できないピン

表 2 に記載する RocketIO シリアル トランシーバのピンは使用できません。その他の RocketIO トランシーバのピンはすべて使用可能です。この表の内容は、CES3 デバイスには適用しません。

表 2: CES2 デバイスで使用できないピン

デバイス - パッケージ	MGT 名	ソフトウェア ロケーション	ピン名	ピン ロケーション
XC4VFX20CES2 – FF672	MGT110A	GT11_X1Y1	RXPPADA_110	AC1
			RXNPADA_110	AD1
			TXPPADA_110	AF2
			TXNPADA_110	AF3
XC4VFX60CES2 – FF672	MGT110A	GT11_X1Y3	RXPPADA_110	AC1
			RXNPADA_110	AD1
			TXPPADA_110	AF2
			TXNPADA_110	AF3
XC4VFX60CES2 – FF1152	MGT110A	GT11_X1Y3	RXPPADA_110	AC1
			RXNPADA_110	AD1
			TXPPADA_110	AF1
			TXNPADA_110	AG1

トランシーバの配置 (ダイの左側または右側)

Virtex-4 デバイスには、トランシーバ数が少ない型番があります。RocketIO シリアル トランシーバは、ダイの左側または右側のどちらかに配置されてます。左側配置の場合は、デバイス注文番号の CES の後に L が付き、右側配置の場合は R が付いています。フリップチップ パッケージ デバイスを上から見た場合、MGT および各ピンの実際の配置は逆になります。つまり、ダイの左側配置の MGT を、このパッケージ上部から見ると右側配置に見えます。

表 3 に、トランシーバが左側または右側に配置された FF672 パッケージ デバイスのリストを示します。表 4 に、トランシーバが左側または右側に配置された FF1152 パッケージ デバイスのリストを示します。

表 3: トランシーバが左側または右側に配置された FF672 パッケージ

	MGT 名	XC4VFX20 FF672			XC4VFX60 FF672				
		ソフトウェア ロケーション	ピン名	ピン ロケーション	ソフトウェア ロケーション	ピン名	ピン ロケーション		
左側配置の MGT : XC4VFX20CES3L XC4VFX60CES3L XC4VFX60CES3L2	102_A	GT11_X0Y3	RXPPADA_102	A19	GT11_X0Y7	RXPPADA_102	A19		
			RXNPADA_102	A20		RXNPADA_102	A20		
			TXPPADA_102	A22		TXPPADA_102	A22		
			TXNPADA_102	A23		TXNPADA_102	A23		
	102_B	GT11_X0Y2	RXPPADB_102	C26	GT11_X0Y6	RXPPADB_102	C26		
			RXNPADB_102	D26		RXNPADB_102	D26		
			TXPPADB_102	A24		TXPPADB_102	A24		
			TXNPADB_102	A25		TXNPADB_102	A25		
	103_A				GT11_X0Y5	RXPPADA_103	J26		
						RXNPADA_103	K26	RXNPADA_103	K26
						TXPPADA_103	M26	TXPPADA_103	M26
						TXNPADA_103	N26	TXNPADA_103	N26
	103_B				GT11_X0Y4	RXPPADB_103	U26		
						RXNPADB_103	V26	RXNPADB_103	V26
						TXPPADB_103	P26	TXPPADB_103	P26
						TXNPADB_103	R26	TXNPADB_103	R26
	105_A	GT11_X0Y1		RXPPADA_105	W26	GT11_X0Y3	RXPPADA_105	W26	
				RXNPADA_105	Y26		RXNPADA_105	Y26	
				TXPPADA_105	AB26		TXPPADA_105	AB26	
				TXNPADA_105	AC26		TXNPADA_105	AC26	
	105_B	GT11_X0Y0		RXPPADB_105	AF24	GT11_X0Y2	RXPPADB_105	AF24	
				RXNPADB_105	AF23		RXNPADB_105	AF23	
				TXPPADB_105	AD26		TXPPADB_105	AD26	
				TXNPADB_105	AE26		TXNPADB_105	AE26	
106_A									
106_B									

表 3: トランシーバが左側または右側に配置された FF672 パッケージ (続き)

	MGT 名	XC4VFX20 FF672			XC4VFX60 FF672				
		ソフトウェア ロケーション	ピン名	ピン ロケーション	ソフトウェア ロケーション	ピン名	ピン ロケーション		
右側配置の MGT : XC4VFX20CES2R2 XC4VFX20CES3R XC4VFX60CES2R2 XC4VFX60CES3R XC4VFX60CES3R2	113_A	GT11_X1Y3	RXPPADA_113	A4	GT11_X1Y7	RXPPADA_113	A4		
			RXNPADA_113	A3		RXNPADA_113	A3		
			TXPPADA_113	B1		TXPPADA_113	B1		
			TXNPADA_113	C1		TXNPADA_113	C1		
	113_B	GT11_X1Y2	RXPPADB_113	G1	GT11_X1Y6	RXPPADB_113	G1		
			RXNPADB_113	H1		RXNPADB_113	H1		
			TXPPADB_113	D1		TXPPADB_113	D1		
			TXNPADB_113	E1		TXNPADB_113	E1		
	112_A				GT11_X1Y5	RXPPADA_112	N1		
						RXNPADA_112	P1	RXNPADA_112	P1
						TXPPADA_112	T1	TXPPADA_112	T1
						TXNPADA_112	U1	TXNPADA_112	U1
	112_B				GT11_X1Y4	RXPPADB_112	AA1		
						RXNPADB_112	AB1	RXNPADB_112	AB1
						TXPPADB_112	V1	TXPPADB_112	V1
						TXNPADB_112	W1	TXNPADB_112	W1
	110_A	GT11_X1Y1 ⁽¹⁾		RXPPADA_110	AC1	GT11_X1Y3 ⁽¹⁾	RXPPADA_110	AC1	
				RXNPADA_110	AD1		RXNPADA_110	AD1	
				TXPPADA_110	AF2		TXPPADA_110	AF2	
				TXNPADA_110	AF3		TXNPADA_110	AF3	
110_B	GT11_X1Y0		RXPPADB_110	AF7	GT11_X1Y2	RXPPADB_110	AF7		
			RXNPADB_110	AF8		RXNPADB_110	AF8		
			TXPPADB_110	AF4		TXPPADB_110	AF4		
			TXNPADB_110	AF5		TXNPADB_110	AF5		
109_A									
109_B									

メモ :

- この配置は、XC4VFX20 および XC4VFX60 CES2R デバイスではサポートされていません。

表 4: トランシーバが左側または右側に配置された FF1152 パッケージ

	MGT 名	XC4VFX60 FF1152		
		ソフトウェア ロケーション	ピン名	ピン ロケーション
左側配置の MGT : XC4VFX60CES2L2 XC4VFX60CES3L XC4VFX60CES3L2	102_A	GT11_X0Y7	RXPPADA_102	A31
			RXNPADA_102	A32
			TXPPADA_102	D34
			TXNPADA_102	E34
	102_B	GT11_X0Y6	RXPPADB_102	J34
			RXNPADB_102	K34
			TXPPADB_102	F34
			TXNPADB_102	G34
	103_A	GT11_X0Y5	RXPPADA_103	R34
			RXNPADA_103	T34
			TXPPADA_103	V34
			TXNPADA_103	W34
	103_B	GT11_X0Y4	RXPPADB_103	AC34
			RXNPADB_103	AD34
			TXPPADB_103	Y34
			TXNPADB_103	AA34
	105_A	GT11_X0Y3	RXPPADA_105	AF34
			RXNPADA_105	AG34
			TXPPADA_105	AJ34
			TXNPADA_105	AK34
	105_B	GT11_X0Y2	RXPPADB_105	AP32
			RXNPADB_105	AP31
			TXPPADB_105	AL34
			TXNPADB_105	AM34
	106_A	GT11_X0Y1	RXPPADA_106	AP26
			RXNPADA_106	AP25
			TXPPADA_106	AP23
			TXNPADA_106	AP22
106_B	GT11_X0Y0	RXPPADB_106	AP18	
		RXNPADB_106	AP17	
		TXPPADB_106	AP21	
		TXNPADB_106	AP20	

表 4: トランシーバが左側または右側に配置された FF1152 パッケージ (続き)

	MGT 名	XC4VFX60 FF1152		
		ソフトウェア ロケーション	ピン名	ピン ロケーション
右側配置の MGT : XC4VFX60CES2R2 XC4VFX60CES3R XC4VFX60CES3R2	113_A	GT11_X1Y7	RXPPADA_113	A7
			RXNPADA_113	A6
			TXPPADA_113	A4
			TXNPADA_113	A3
	113_B	GT11_X1Y6	RXPPADB_113	F1
			RXNPADB_113	G1
			TXPPADB_113	C1
			TXNPADB_113	D1
	112_A	GT11_X1Y5	RXPPADA_112	M1
			RXNPADA_112	N1
			TXPPADA_112	R1
			TXNPADA_112	T1
	112_B	GT11_X1Y4	RXPPADB_112	Y1
			RXNPADB_112	AA1
			TXPPADB_112	U1
			TXNPADB_112	V1
	110_A	GT11_X1Y3 ⁽¹⁾	RXPPADA_110	AC1
			RXNPADA_110	AD1
			TXPPADA_110	AF1
			TXNPADA_110	AG1
	110_B	GT11_X1Y2	RXPPADB_110	AL1
			RXNPADB_110	AM1
			TXPPADB_110	AH1
			TXNPADB_110	AJ1
	109_A	GT11_X1Y1	RXPPADA_109	AP6
			RXNPADA_109	AP7
			TXPPADA_109	AP9
			TXNPADA_109	AP10
109_B	GT11_X1Y0	RXPPADB_109	AP14	
		RXNPADB_109	AP15	
		TXPPADB_109	AP11	
		TXNPADB_109	AP12	

メモ :

1. この配置は、XC4VFX60 CES2R デバイスではサポートされていません。

アナログ電源電圧値

AVCCAUXTX は $1.1V \pm 3\%$ に設定する必要があります。

AVCCAUXRX (A および B 共に) は $1.1V \pm 3\%$ に設定する必要があります。

推奨されるレギュレータの詳細は、ザイリンクス アンサー #21739 を参照して下さい。

アナログ レシーバの動作範囲

レシーバは、デジタル CDR モードの場合は 622Mb/s および 1.25Gb/s で、アナログ CDR モードの場合は 1.25Gb/s、2.5Gb/s、および 3.125Gb/s でテストされています。ただし、このエラッタ記載のデバイス (表 1) では、3.125Gb/s を超えるビット レートでの動作はサポートされていません。

8B/10B エンコーディング

のエラッタ記載のデバイス (表 1) では、アナログ CDR モードで 1.25Gb/s、2.5Gb/s、3.125Gb/s のビット レートで動作させる場合、送受信するデータを 8B/10B でエンコードする必要があります。

総ジッタ

MGTCLK の周波数が 156MHz 以下の場合、トランシーバでは 0.35UI 以上の総ジッタが発生します。

キャリブレーション ブロック

ザイリンクスでは Verilog および VHDL で記述されたプログラマブル キャリブレーション ブロックを提供しています。このブロックは、必ずこのエラッタに記載されているデバイスで使用して下さい。詳細は、ザイリンクス アンサー #22477 を参照して下さい。

属性設定

属性のいくつかは、ISE ソフトウェア 7.1i SP4 のデフォルト設定から設定を変更する必要があります。詳細は、ザイリンクス アンサー #21672 を参照して下さい。

動作温度範囲

このエラッタ (表 1) が該当するデバイスは、25 ~ 85 のジャンクション温度での動作が保証されています。25 未満のジャンクション温度の場合はサポートしていません。

32 ビット カンマ検出 (SONET アライメント)

32 ビット SONET アライメントが有効な状態で、ENPCOMMAALIGN ファブリック ポートがディアサートされている (Low 駆動の) 場合、受信データ アライメントは保持されません。SONET アライメント (A1A1A2A2) は、属性 COMMA32 = TRUE を設定すると有効になります。通常のバイト アライメント ブロックに対して、このエラッタ通知は適用されません。通常のバイト アライメント ブロックは、ENPCOMMAALIGN がディアサートされている場合でもアライメントを保持できます。

内部クロック分周器の制限

TXUSRCLK は、MGTA および MGTB の両方において 1 バイトと 2 バイト インターフェイス モードの FPGA ファブリックから供給されます。TXUSRCLK を内部で生成する場合には、内部クロック分周器 (2 分周または 4 分周) を使用できませんが、1 バイトと 2 バイト インターフェイス モードの MGTA または MGTB のトランスミッタで TXUSRCLK2 分周器を使用することはできません。

8B/10B エンコーダ TXKERR ポート

TXKERR 出力ポートは、伝送データ バスの K キャラクタを不正に示します。無効な K キャラクタを有効として示し、有効な K キャラクタを無効として示します。このポートの出力は無視して下さい。

静止状態の動作

次の 3 条件すべてに該当する場合、トランシーバでデータの送受信が適切に行われなくなる可能性があります。

1. FPGA に電源が投入されている。
 2. 送信および受信の両方またはどちらか一方で遷移が生じていない場合
 3. 上記の (1) および (2) の状態が、85 T_j で累積 400 時間以上または 60 T_j で累積 2,000 時間以上継続した場合
- 詳細は、ザイリンクス アンサー #22471 を参照して下さい。

使用上の注意

ソフトウェア要件

このエラッタに該当するデバイスを使用する場合は、特に指定のない限り、次のザイリンクス開発ソフトウェアのインストールが必要になります。

- このエラッタに該当するデバイスを使用してデザインする場合には、スピード ファイルのバージョン 1.57 以降およびザイリンクス ソフトウェア ISE 7.1i サービス パック 4 (SP4) あるいはそれ以降のバージョンを使用して下さい。また、SP4 サポートに関するご質問はザイリンクス テクニカル サポートまでお問い合わせ下さい。サービス パックは次のサイトから入手可能です。

http://www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp

ES では、次のように制約ファイル (UCF ファイル) に設定する必要があります。

CONFIG STEPPING = "ES";

- Virtex-4 の機能に関する ISE ソフトウェアの既知の問題については、次のザイリンクス アンサーを参照して下さい。

http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713

補足および推奨事項

Virtex-II および Virtex-II Pro FPGA をご使用のお客様へ

Virtex-4 デバイスの CCLK 仕様が LVCMOS 12mA Fast スルー レートに変更されました。ザイリンクスでは、この新しい仕様で設計することを推奨します。

トレーサビリティ

表 1 にリストされているデバイスのパッケージ マーク例を図 1 および 図 2 に示します。

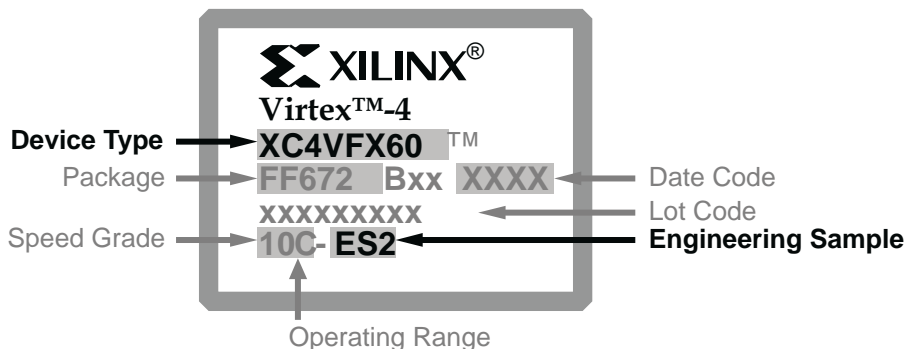


図 1: XC4VFX60CES2 のパッケージ マーク例

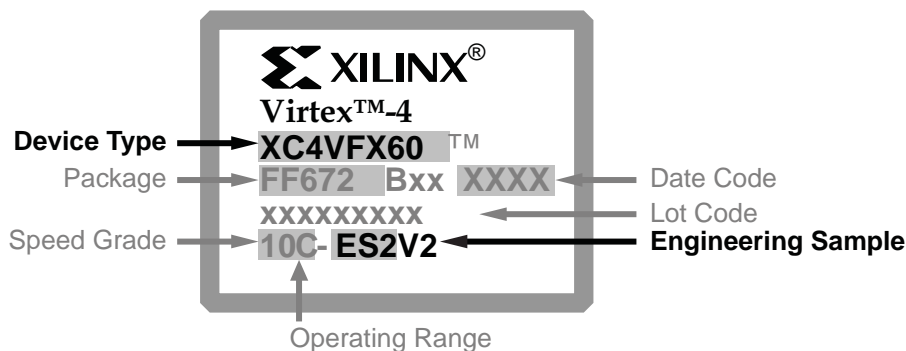


図 2: XC4VFX60CES2V2 のパッケージ マーク例

お問合せ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

これらのエラッタに関してご質問などがございましたら、ザイリンクス テクニカル サポート

<http://www.xilinx.co.jp/support/clearexpress/websupport.htm> または販売代理店 <http://www.xilinx.co.jp/company/contact.htm> までお問い合わせ下さい。

最新版のエラッタの入手について

このエラッタを印刷した文書、またはお手元のコンピュータ保存文書としてご覧になっている場合は、最新版であることを確認して下さい。最新版のエラッタは、次のザイリンクス ウェブ サイトより入手できます。尚、最新版の入手には、ユーザー 登録が必要です。

http://www.xilinx.co.jp/xlnx/xweb/xil_publications_index.jsp?category=Errata

エラッタ関連の資料入手および変更された場合の、e-mail 通知方法については、次のザイリンクス アンサーを参照して下さい。

http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?getPagePath=18815

このエラッタは、次の Virtex-4 文書に適用します。

『Virtex-4 ファミリー概要』 (<http://www.xilinx.co.jp/bvdocs/publications/ds112.pdf>)

『Virtex-4 データシート』 (<http://www.xilinx.co.jp/bvdocs/publications/ds302.pdf>)

『Virtex-4 ユーザー ガイド』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug070.pdf)

『Virtex-4 FPGA の XtremeDSP ユーザー ガイド』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug073.pdf)

『Virtex-4 コンフィギュレーション ガイド』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug071.pdf)

『Virtex-4 パッケージおよびピン配置の仕様』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug075.pdf)

『Virtex-4 RocketIO マルチギガビット トランシーバ ユーザー ガイド』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug076.pdf)

『PowerPC 405 プロセッサ ブロック リファレンス ガイド』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug018.pdf)

改訂履歴

日付	バージョン	変更内容
2005/04/25	1.0	初版リリース
2005/06/23	1.1	該当デバイスを CES から CES2 に修正。ソフトウェア要件を ISE7.1i (SP3) に変更。RocketIO に関する表に記載されているソフトウェア位置を GT11 に修正。FRAME_ECC のエラーッタを追加。
2005/07/06	1.2	「アナログ電源電圧値」を追加し、文章を校正。
2005/08/22	1.3	アナログ レシーバの範囲の内容を改訂。8B/10B エンコーディングおよび動作温度範囲を追加。PCS HCLKOUT 出力を削除。ソフトウェア要件を Speed Specification 1.57 および ISE7.1i (SP4) に変更。
2005/10/11	1.4	CES3 デバイス機能を追加。アナログ レシーバの範囲および 8B/10B エンコーディング セクションの修正。内部クロック分周器の制限および 32 ビット カンマ検出 (SONET アライメント) セクション追加。
2006/04/05	1.5	<ul style="list-style-type: none"> • 表 1、表 3、および表 4 の変更。 • FIFO16 セクションの追加。 • 補足および推奨事項の LVTTTL I/O 規格を LVCMOS I/O 規格に変更。 • 『Virtex-4 データシート』からシステム モニタに関する情報が削除されたため、エラーッタからも削除。トランシーバの配置 (ダイの左側または右側) セクションの追加。 • T_{CONFIG}、DCM_INPUT_CLOCK_STOP、および DCM_RESET の要件セクションの追加。スタティック動作ビヘイビアの追加。8B/10B エンコーダ TXKERR ポートセクションの追加。 • アナログ電源電圧値および属性設定セクションの変更。

この通知は、英語版資料 (EN014、バージョン 1.5、2006 年 4 月 5 日発行) を翻訳したものです。