

はじめに

ザイリンクス Virtex™-4 エンジニアリング サンプル プログラムにご参加いただき誠にありがとうございます。このプログラムでは、Virtex-4 XC4VLX15 FPGA のエンジニアリング サンプルを提供致しております。弊社は、デバイスの品質において万全を期しておりますが、このデバイスに以下のエラッタが確認されましたのでお知らせ致します。

該当デバイス

このエラッタが該当する XC4VLX15 デバイスを [表 1](#) に示します。

表 1: エラッタが該当する XC4VLX15 デバイス

デバイス	XC4VLX15CES	JTAG ID (リビジョンコード): 3
パッケージ	すべて	
スピード グレード	すべて	

ハードウェア エラッタの詳細

このエラッタの発行時における、ハードウェアに関する既知の問題の詳細を示します。

FIFO16

次のシーケンスが発生すると、FIFO16 の ALMOST EMPTY、EMPTY、ALMOST FULL、FULL フラグが適切に生成されません。

1. 読み出しまたは書き込みが、ALMOST EMPTY OFFSET または ALMOST FULL OFFSET のしきい値に達する。
 2. ある読み出しまたは書き込みと、次の読み出しまたは書き込みのアクティブクロック エッジが同時または非常に近い。
- ALMOST EMPTY または ALMOST FULL フラグを使用しない場合でも、フラグが適切に動作しないため、予想外のデータまたは無効なデータが出力される可能性があります。

この問題は、読み出しと書き込みが同時に実行されない FIFO16 アプリケーションでは発生しません。これらを同時に実行するアプリケーション用には、問題の回避方法としてダウンロード可能なマクロが利用可能です。ただし、データシートに記載されたパフォーマンスを満たさない場合があります。詳細、回避方法、および関連するパフォーマンス情報は、アンサー レコード # 22462 を参照して下さい。

使用上の注意

ソフトウェア要件

このエラッタに該当するデバイスを使用する場合は、特に指定のない限り、次のザイリンクス開発ソフトウェアのインストールが必要になります。

- このエラッタに該当するデバイスを使用してデザインする場合には、Speed specification のバージョン 1.57 以降およびザイリンクス ソフトウェア ISE 7.1i サービス パック 4 (SP4) あるいはそれ以降のバージョンを使用して下さい。また、SP4 サポートに関するご質問はザイリンクス テクニカル サポートまでお問い合わせ下さい。サービス パックは次のサイトから入手可能です。

http://www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp

ステップ 1 では、次のように制約ファイル (UCF ファイル) に設定する必要があります。

```
CONFIG STEPPING = "1";
```

- Virtex-4 の機能に関する ISE ソフトウェアの既知の問題については、次のザイリンクス アンサーを参照して下さい。
http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713

補足および推奨事項

Virtex-II および Virtex-II Pro FPGA をご使用のお客様へ

Virtex-4 デバイスの CCLK 仕様が LVCMOS 12mA Fast スルー レートに変更されました。ザイリンクスでは、この新しい仕様で設計することを推奨します。

トレーサビリティ

図 1 に XC4VLX15CES デバイスのパッケージ マーク例を示します。表 1 で示すその他のデバイス マーキングも類似しています。

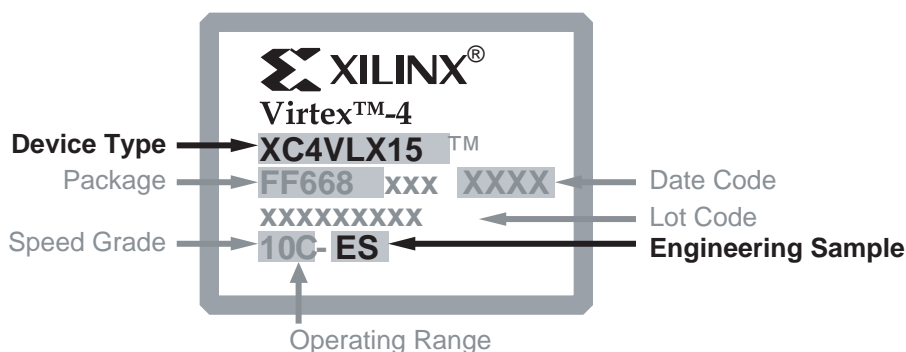


図 1: XC4VLX15CES パッケージ マーク例

お問合せ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

これらのエラッタに関してご質問などがございましたら、ザイリンクス テクニカル サポート

<http://www.xilinx.co.jp/support/clearexpress/websupport.htm> または

販売代理店 <http://www.xilinx.co.jp/company/contact.htm> までお問い合わせ下さい。

最新版のエラッタの入手について

このエラッタを印刷した文書、またはお手持のコンピュータ保存文書としてご覧になっている場合は、最新版であることを確認して下さい。最新版のエラッタは、次のザイリンクス ウェブ サイトより入手できます。尚、最新版の入手には、ユーザー 登録が必要です。 http://www.xilinx.co.jp/xlnx/xweb/xil_publications_index.jsp?category=Errata

エラッタ関連の資料入手および変更された場合の、e-mail 通知方法については、次のザイリンクス アンサーを参照して下さい。 http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?getPagePath=18815

このエラッタは、次の Virtex-4 資料に適用します。

『Virtex-4 ファミリー概要』 (<http://www.xilinx.co.jp/bvdocs/publications/ds112.pdf>)

『Virtex-4 データシート』 (<http://www.xilinx.co.jp/bvdocs/publications/ds302.pdf>)

『Virtex-4 ユーザー ガイド』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug070.pdf)

『Virtex-4 FPGA の XtremeDSP ユーザー ガイド』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug073.pdf)

『Virtex-4 コンフィギュレーション ガイド』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug071.pdf)

『Virtex-4 パッケージ仕様』 (http://www.xilinx.co.jp/bvdocs/user_guides/ug075.pdf)

改訂履歴

日付	バージョン	変更内容
2005/04/13	1.0	初版リリース
2006/02/21	1.1	FIFO16 セクションの追加。ソフトウェア要件 セクションの変更。補足および推奨事項 セクションの LVTTTL I/O 規格を LVCMOS I/O 規格に変更。システム モニタのエラッタは、『Virtex-4 データシート』に記載されていないため削除。

この通知は、英語版資料 (EN020、バージョン 1.1、2006 年 2 月 21 日発行) を翻訳したものです。