

## 概要

ザイリンクス Spartan™-3AN ファミリの XC3S1400AN FPGA エンジニアリング サンプル デバイスをご利用頂きまして誠にありがとうございます。弊社は、デバイスの品質において万全を期しておりますが、このデバイスに以下のエラッタが確認されたのでお知らせ致します。これらのエラッタは、XC3S1400AN 量産デバイスには該当しません。

## 該当デバイス

これらのエラッタは、表 1 に示す XC3S1400AN エンジニアリング サンプル デバイスに該当します。デバイスのトップマークは、図 1 を参照して下さい。

表 1: このエラッタが該当する XC3S1400AN デバイス

デバイス タイプ	XC3S1400AN
パッケージ	すべて
スピード グレード	-4
デート コード	すべて
ES デバイス	該当

## トレーサビリティ

XC3S1400AN エンジニアリング サンプル デバイスは、図 1 のようにマーキングされています。表 1 に示すその他のデバイスのマーキングも同様です。

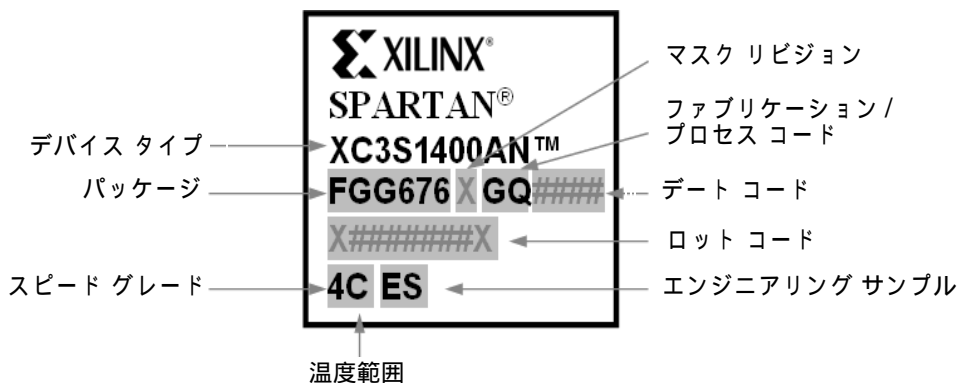


図 1: XC3S1400AN FPGA のトップマーク

## ハードウェア エラッタの概要

表 2 に、XC3S1400AN デバイスの既知のハードウェア エラッタを示します。詳細は、[ハードウェア エラッタの詳細](#)を参照して下さい。また、表 2 には各エラッタ項目が該当するマスク リビジョンを示します。

表 2: ハードウェア エラッタの概要

エラッタの内容	重要度	エンジニアリング サンプル	量産デバイス
「インシステム Flash からコンフィギュレーション後、MultiBoot などの ICAP コマンドが使用できない」	高	該当	修正済み
「PCI クランプ ダイオードが無効」	低	該当	修正済み
「ODDR2 出力フリップフロップの C0 アライメントを使用した場合、データが不定になる場合がある」	低	該当	修正済み
「ブロック RAM のリードバック機能が無効」	低	該当	修正済み
「低電圧かつ低電流の場合、QuietIO の電流 電圧動作が単調増加でない」	低	該当	修正済み
「インシステム Flash があらかじめプログラムされている可能性がある」	低	該当	修正済み (ブランク)

## ハードウェア エラッタの詳細

ハードウェアに関する既知の問題の詳細を示します。

### インシステム Flash からコンフィギュレーション後、MultiBoot などの ICAP コマンドが使用できない

#### 影響するアプリケーション

この問題は、インシステム Flash を使用してコンフィギュレーションした後、ICAP\_SPARTAN3A コンポーネントで MultiBoot やリードバックなどのコマンドを実行するアプリケーションに影響します。外部メモリからコンフィギュレーションするアプリケーションでは問題ありません。

#### 説明

インシステム Flash からコンフィギュレーションした後、ICAP\_SPARTAN3A コンポーネントは使用できません。MultiBoot 機能は、ICAP\_SPARTAN3A コンポーネントで REBOOT コマンドを使用するため、MultiBoot の要求は無視されて、デザインの動作が継続します。MultiBoot 機能は、外部 SPI や Platform Flash メモリなどの外部ソースからコンフィギュレーションした後のみ使用できます。

また、インシステム Flash からコンフィギュレーションした後は、ICAP\_SPARTAN3A コンポーネントを使用する MultiBoot、リードバック、およびコマンド レジスタへもアクセスできません。

#### 回避策

MultiBoot やリードバックを実行する ICAP コマンドは、外部メモリからコンフィギュレーションした場合、使用できます。Spartan-3AN™ FPGA でインシステム Flash を使い MultiBoot を実現させるアプリケーションでは、Spartan-3A または Spartan-3AN FPGA を使用し、外部 SPI Flash メモリに置き換えることによって問題を回避できます。

この問題は、XC3S1400AN デバイスの量産版で修正されました。

### PCI クランプ ダイオードが無効

#### 影響するアプリケーション

この問題は、PCI バス規格と完全準拠が必要な PCI バスおよびカード アプリケーションにのみ影響します。同じボード上のチップ間通信などの Point-to-Point PCI ソリューションへは、ほとんど影響ありません。PCI バス

カードの開発用には XC3S1400AN エンジニアリング サンプル デバイスを使用できますが、この問題が修正されるまでは、このデバイスを PCI バス量産デザイン用に使用しないで下さい。

#### 説明

PCI クランプダイオードは、PCI バス プラグイン カード アプリケーションで生じるオーバーシュート電圧の影響を防ぎ、FPGA の I/O を保護する目的の回路です。ただし、XC3S1400AN エンジニアリング サンプル デバイスには、PCI クランプ ダイオード機能は付いておりません。

#### 回避策

この問題は、XC3S1400AN デバイスの量産版で修正されました。

### ODDR2 出力フリップフロップの C0 アライメントを使用した場合、データが不定になる場合がある

#### 影響するアプリケーション

ODDR2 出力フリップフロップ プリミティブは、通常、LVDS および RSDS インターフェイスなどの高速差動 I/O アプリケーションで使用されます。このエラッタは、DDR\_ALIGNMEN=C0 または C1 を使用するアプリケーションにのみ影響します。アライメント機能なしのデフォルトの ODDR2 フリップフロップは、これまでどおり完全サポートされており、また IDDR2 アライメント機能はサポートされています。

#### 説明

特定の BUFG 配置条件において不定なデータが確認されました。

#### 回避策

FPGA 内部のロジック スライスを使用し、同等の回路を作成することができます。その際、スライス内のフリップフロップと対になる I/O ブロックの配置に注意を払って下さい。詳細は、[ザイリンクス アンサー # 24478](#) を参照して下さい。

この問題は、XC3S1400AN デバイスの量産版で修正されました。

### ブロック RAM のリードバック機能が無効

#### 影響するアプリケーション

この問題は、ブロック RAM 内容の読み出しにリードバック機能を使用する可能性のあるアプリケーションにのみ影響します。

#### 説明

エンジニアリング サンプル デバイスでは、ブロック RAM の内容をリードバックできません。この問題は、iMPACT の検証動作および ChipScope™ には影響を与えません。

#### 回避策

この問題は、XC3S1400AN デバイスの量産版で修正されました。

### 低電圧かつ低電流の場合、QuietIO の電流 電圧動作が単調増加でない

#### 影響するアプリケーション

次に示す I/O 規格で、スルー レートを QUIETIO として使用するアプリケーションに影響します。

- IOSTANDARD LVTTTL、LVCMOS33、および LVCMOS25
- SLEW=QUIETIO
- DRIVE=2

#### 説明

低電圧かつ低駆動電流での、電流 電圧動作が単調増加でない場合、ロジック High 出力レベルで高い出力電流を想定したアプリケーションで問題が生じる可能性があります。

## 回避策

該当する I/O 規格には、駆動電流を 4mA 以上に増加して下さい。

この問題は、XC3S1400AN デバイスの量産版で修正されました。

## インシステム Flash があらかじめプログラムされている可能性がある

### 影響するアプリケーション

この問題は、インシステム Flash のプログラム前に FPGA を使用するアプリケーションに影響します。ボード上で使用する前にインシステム Flash を消去またはプログラムするアプリケーションでは問題ありません。

### 説明

インシステム Flash メモリは、ザイリンクスが行うテストの一環としてあらかじめプログラムされています。エンジニアリング サンプルは空ではなく、このデザインがプログラムされている状態で出荷されることがあります。インシステム Flash からコンフィギュレーションするようにモード ピンを設定している場合、あらかじめプログラムされているデザインが電源投入時の FPGA のコンフィギュレーションに使用されます。このデザインでは、デフォルトのコンフィギュレーション オプションを使用しており、未使用ピンにはプルダウン抵抗が付きます。また、このデザインでは I/O ピンを使用しません。DONE ピンは High に駆動され、I/O ピンには内部プルダウン抵抗が付きます。

### 回避策

XC3S1400AN エンジニアリング サンプル デバイスでは、ボード上で使用する前にインシステム Flash をユーザー アプリケーションでプログラムするか、消去する必要があります。または、モード ピンを ISF 以外のコンフィギュレーション モードに設定してあらかじめプログラムされたデザインで FPGA がコンフィギュレーションされることを回避します。FPGA があらかじめプログラムされたデザインでコンフィギュレーションされた場合は、内部プルダウン抵抗があっても PC ボード上で問題ないか確認して下さい。必要であれば、内部プルダウン抵抗値を超越するのに十分に強力な外部プルアップ抵抗を追加します。

この問題は、XC3S1400AN デバイスの量産版で修正されました。すべての量産デバイスは、ブランクの状態でお届けされる予定です。

## お問い合わせ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

これらのエラッタに関してご質問などがございましたら、ザイリンクス テクニカル サポート

<http://japan.xilinx.com/support/clearexpress/websupport.htm> または販売代理店 <http://japan.xilinx.com/company/contact.htm> までお問い合わせ下さい。

## 最新版のエラッタの入手について

このエラッタを印刷した文書、またはお手元のコンピュータ保存文書としてご覧になっている場合は、最新版であることを確認して下さい。最新版のエラッタは、次のザイリンクス ウェブサイトより入手できます。尚、最新版の入手には、ユーザー 登録が必要です。

[http://japan.xilinx.com/xlnx/xweb/xil\\_publications\\_index.jsp?category=Errata](http://japan.xilinx.com/xlnx/xweb/xil_publications_index.jsp?category=Errata)

エラッタ関連の資料入手および変更された場合の、e-mail 通知方法については、次のザイリンクス アンサーを参照して下さい。

[http://japan.xilinx.com/xlnx/xil\\_ans\\_display.jsp?getPagePath=18815](http://japan.xilinx.com/xlnx/xil_ans_display.jsp?getPagePath=18815)

## エラッタ適用資料

これらのエラッタは、次の XC3S1400AN 資料に適用します。

- DS557: 「Spartan-3AN FPGA ファミリ データシート」  
[japan.xilinx.com/bvdocs/publications/ds557.pdf](http://japan.xilinx.com/bvdocs/publications/ds557.pdf)
- UG331: 「Spartan-3 ジェネレーション FPGA ユーザー ガイド」  
[japan.xilinx.com/bvdocs/userguides/ug331.pdf](http://japan.xilinx.com/bvdocs/userguides/ug331.pdf)
- UG332: 「Spartan-3 ジェネレーション コンフィギュレーション ユーザー ガイド」  
[japan.xilinx.com/bvdocs/userguides/ug332.pdf](http://japan.xilinx.com/bvdocs/userguides/ug332.pdf)
- UG333: 「Spartan-3AN インシステム Flash ユーザー ガイド」  
[japan.xilinx.com/bvdocs/userguides/ug333.pdf](http://japan.xilinx.com/bvdocs/userguides/ug333.pdf)

## 改訂履歴

次の表に、この通知の改訂履歴を示します。

日付	バージョン	変更内容
2007/03/16	1.0	初版リリース
2007/05/21	1.1	「インシステム Flash からコンフィギュレーション後、MultiBoot などの ICAP コマンドが使用できない」の追加。
2007/06/25	1.2	「インシステム Flash があらかじめプログラムされている可能性がある」を追加
2007/08/31	1.3	すべてのエラッタが量産デバイスで修正済みであることを追加

この通知は、英語版資料 (EN034、バージョン 1.3、2007 年 8 月 31 日発行) を翻訳したものです。