

概要

ザイリンクスの XC3S700A FPGA デバイスのエンジニアリング サンプルをご利用頂きまして誠にありがとうございます。弊社は、デバイスの品質において万全を期しておりますが、このデバイスに以下のエラッタが確認されましたのでお知らせ致します。

該当デバイス

これらのエラッタは、表 1 に示す XC3S700A エンジニアリング サンプルに適用されます。デバイスのトップ マークは、図 1 を参照して下さい。

表 1: このエラッタが該当する XC3S700A デバイス

デバイス タイプ	XC3S700A
パッケージ	すべて
スピード グレード	-4C
デート コード	すべて
ES デバイス	該当

トレーサビリティ

XC3S700A エンジニアリング サンプルは、図 1 のようにマーキングされています。表 1 に示すその他のデバイスのマーキングも同様です。

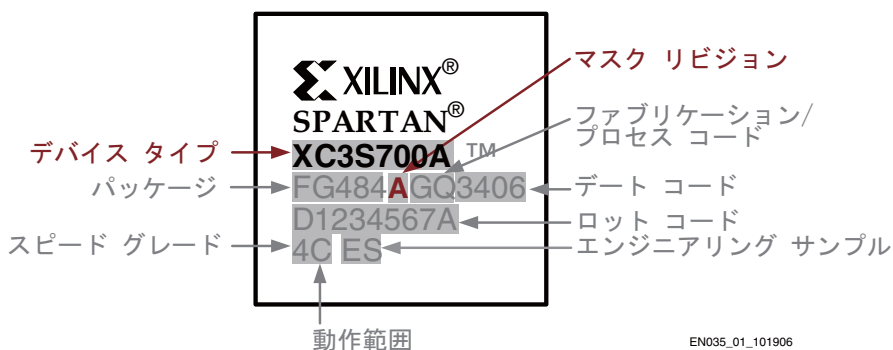


図 1: XC3S700A FPGA のトップ マーク

ハードウェア エラッタの概要

表 2 に、XC3S700A エンジニアリング サンプルに対する既知のハードウェア エラッタの概要を示します。詳細は、[ハードウェア エラッタの詳細](#)を参照して下さい。また、[表 2](#)には各エラッタ項目が概要するマスク リビジョンを示します。

表 2: ハードウェア エラッタの概要

エラッタの内容	重要度	エンジニアリング サンプル	量産デバイス
PCI クランプ ダイオードが無効	低	適用	適用しない
DCM デジタル周波数合成には追加ロック回路が必要	低	適用	ISE™ 9.1i で修正済み
ODDR2 出力フリップフロップの C0 アライメントを使用した場合、データが不定になる場合がある	低	適用	適用しない
ブロック RAM のリードバック機能が無効	低	適用	適用しない

ハードウェア エラッタの詳細

ハードウェアに関する既知の問題の詳細を示します。

PCI クランプ ダイオードが無効

影響するアプリケーション

この問題は、PCI バス規格と完全準拠が必要な PCI バスおよびカード アプリケーションにのみ影響します。同じボード上のチップ間通信などの Point-to-Point PCI ソリューションへは、ほとんど影響ありません。PCI バスカードの開発用には XC3S700A エンジニアリング サンプルを使用できますが、PCI バス製品デザイン用に使用しないで下さい。

説明

PCI クランプ ダイオードは、FPGA I/O 回路を保護するために PCI バス プラグイン カード アプリケーションで生じるオーバーシュート電圧の影響を防ぎます。ただし、XC3S700A エンジニアリング サンプルには、PCI クランプ ダイオード機能は付いておりません。

回避策

なし。この問題は、XC3S700A デバイスの量産リビジョンで修正されました。

DCM デジタル周波数合成には追加ロック回路が必要

影響するアプリケーション

この問題は、デジタルクロック マネージャ (DCM) の一部であるデジタル周波数合成 (DFS) を使用するアプリケーションにのみ影響します。

説明

特性評価で、DCM DFS のロック エラーがわずかに確認されました。

回避策

[図 2](#) に回避策を示します。この回路は、ISE 開発ソフトウェアのバージョン 9.1i 以降では自動的に挿入されます。ISE FPGA ロジックを使用する場合、回路は DCM_SP ファンクションからの LOCKED 出力と DFS 出力 CLKFX が停止したことを示す STATUS[2] ビットの両方をモニタします。LOCKED=0 および STATUS[2]=1 の場合、回路は DCM RESET 入力をアサートします。FPGA アプリケーションも DCM をリセットする場合は、FPGA アプリケーションからのリセット信号に OR 回路を追加して下さい。

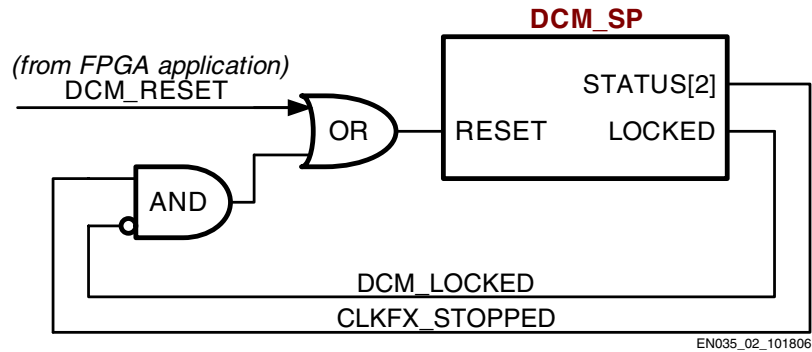


図 2：DCM DFS ロック エラーの回避策

ODDR2 出力フリップフロップの C0 アライメントを使用した場合、データが不定になる場合がある

影響するアプリケーション

ODDR2 出力フリップフロップ プリミティブは、通常、LVDS および RSDS インターフェイスなどの高速差動 I/O アプリケーションで使用されます。これは、DDR_ALIGNMENT=C0 または C1 を使用するアプリケーションにのみ影響します。アライメント機能を使用しないデフォルトの ODDR2 フリップフロップのサポートには変更はなく、IDDR2 アライメント機能はサポートされています。

説明

エンジニアリング サンプルで、特定の BUFG 配置条件において不定なデータが確認されました。

回避策

FPGA 内部のロジック スライスを使用し、同等の回路が作成できます。その際、スライス内のフリップフロップと対になる I/O ブロックの配置に注意を払って下さい。詳細は、[ザイリンクス アンサー #24478](#) を参照して下さい。この問題は、XC3S700A デバイスの製品リビジョンで修正されました。

ブロック RAM のリードバック機能が無効

影響するアプリケーション

この問題は、ブロック RAM 内容の読み出しにリードバック機能を使用する希少アプリケーションにのみ影響します。

説明

エンジニアリング サンプルでは、ブロック RAM 内容のリードバックはできません。この問題は、iMPACT の検証動作および ChipScope™ の動作には影響を与えません。

回避策

なし。この問題は、XC3S700A デバイスの製品リビジョンで修正されました。

お問合せ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

これらのエラッタに関してご質問などがございましたら、ザイリンクス テクニカル サポート

<http://japan.xilinx.com/support/clearxpress/websupport.htm> または販売代理店 <http://japan.xilinx.com/company/contact.htm>

までお問い合わせ下さい。

最新版のエラッタの入手について

このエラッタを印刷した文書、またはお手元のコンピュータ保存文書としてご覧になっている場合は、最新版であることを確認して下さい。最新版のエラッタは、次のザイリンクス ウェブ サイトより入手できます。尚、最新版の入手には、ユーザー 登録が必要です。 http://japan.xilinx.com/xlnx/xweb/xil_publications_index.jsp?category=Errata

エラッタ関連の資料入手および変更された場合の、e-mail 通知方法については、次のザイリンクス アンサーを参照して下さい。 http://japan.xilinx.com/xlnx/xil_ans_display.jsp?getPagePath=18815

エラッタ適用資料

これらのエラッタは、次の XC3S700A 資料に適用します。

- DS529: 'Spartan™-3A FPGA ファミリ データ シート'
japan.xilinx.com/bvdocs/publications/ds529.pdf
- UG331: 'Spartan-3 ジェネレーション FPGA ユーザー ガイド'
japan.xilinx.com/bvdocs/userguides/ug331.pdf

改訂履歴

次の表に、この通知の改訂履歴を示します。

日付	バージョン	変更内容
2006/12/05	1.0	初版リリース
2007/4/16	1.1	すべてのエラッタが製品デバイスで修正済みであることを追記。

この通知は、英語版資料 (EN035、バージョン 1.1、2007 年 4 月 16 日発行) を翻訳したものです。