

はじめに

ザイリンクス Virtex™-4 ファミリー製品をご購入いただき誠にありがとうございます。弊社は、デバイスの品質において万全を期しておりますが、このデバイスに以下のエラッタが確認されましたのでお知らせ致します。

該当デバイス

表 1 および表 2 に示すように、このエラッタは Virtex-4 FX、SX、および LX デバイスに該当します。

表 1: エラッタが該当する Virtex-4 LX および SX デバイス — すべてのスピードグレードとパッケージ

デバイス	ステップング 1		ステップング 2	
	JTAG ID (リビジョンコード)	CONFIG STEPPING	JTAG ID (リビジョンコード)	CONFIG STEPPING
XC4VLX15	3	1	5	2
XC4VLX25	9	1	A	2
XC4VLX40	3	1	5	2
XC4VLX60	2, 3	1	4, 5	2
XC4VLX80	3	1	5	2
XC4VLX100	2, 3	1	4, 5	2
XC4VLX160	0, 3	1	2, 5	2
XC4VLX200	0, 3	1	4, 5	2
XC4VSX25	2	1	4	2
XC4VSX35	2	1	4	2
XC4VSX55	2	1	4	2

表 2: エラッタが該当する Virtex-4 FX デバイス — すべてのスピードグレードとパッケージ

デバイス	ステップング 0	
	JTAG ID (リビジョンコード)	CONFIG STEPPING
XC4VFX12	2	0

ハードウェア エラッタの詳細

このエラッタの発行時における、ハードウェアに関する既知の問題の詳細を示します。

FIFO16

次のシーケンスが発生すると、FIFO16 の ALMOST EMPTY、EMPTY、ALMOST FULL、FULL フラグが適切に生成されません。

1. 読み出しまたは書き込みが、ALMOST EMPTY OFFSET または ALMOST FULL OFFSET のしきい値に達する。
2. ある読み出しまたは書き込みと、次の読み出しまたは書き込みのアクティブクロック エッジが同時または非常に近い。

ALMOST EMPTY または ALMOST FULL フラグを使用しない場合でも、フラグが適切に動作しないため、予想外のデータまたは無効なデータが出力される可能性があります。

この問題は、読み出しと書き込みが同時に実行されない FIFO16 アプリケーションでは発生しません。これらを同時に実行するアプリケーション用には、問題の回避方法としてダウンロード可能なマクロが利用できます。ただし、データシートに記載されたパフォーマンスを満たさない場合があります。詳細、回避方法、および関連するパフォーマンス情報は、アンサー レコード # 22462 を参照して下さい。

プロセッサブロック

動作周波数 (FX12 デバイスにのみ該当)

APU コントロール インターフェイスを使用する場合、プロセッサブロックの最大動作周波数は、-10 スピード グレードで 275MHz、-11 スピード グレードで 325MHz、-12 スピード グレードで 350MHz です。

その他のプロセッサブロックに関するエラッタおよび使用上の注意については、ザイリンクス アンサー #20658 を参照して下さい。

コンフィギュレーション

FRAME_ECC (LX および SX のステッピング 1 デバイスのみ)

I/O IDELAY フレーム内にある未使用コンフィギュレーション ピットの FRAME_ECC リードバックにエラーが発生する場合があります。エラーが表示されることが誤りであり、デザインに対する機能的影響はないため、このエラーを無視しても問題ありません。

回避策

[XAPP714](#) に記載されているリファレンス デザインを使用すると、このエラーは回避できます。

使用上の注意

ソフトウェア要件

このエラッタに該当するデバイスを使用する場合は、特に指定のない限り、次のザイリンクス開発ソフトウェアのインストールが必要になります。

- [表 1](#) に記載のデバイスを使用する場合、スピード ファイルのバージョン v1.58 以降、およびザイリンクス ISE 7.1i サービス パック 4 (SP4) 以降のソフトウェアを使用する必要があります。
 - ISE 7.1i SP4 に対応するスピード ファイル v1.58 の入手方法については、ザイリンクス テクニカル サポートにお問い合わせ下さい。
 - ISE8.1i に対応するスピード ファイル v1.58 は SP1 で入手可能です。
http://japan.xilinx.com/xlnx/xil_sw_updates_home.jsp

[表 1](#) または [表 2](#) を参照し、制約ファイル (UCF ファイル) でデバイスに該当するコンフィギュレーション ステッピング値を設定する必要があります。

CONFIG STEPPING = " [表 1](#) または [表 2](#) 記載のコンフィギュレーション ステッピング値 ";

- Virtex-4 の機能に関する ISE ソフトウェアの既知の問題については、次のザイリンクス アンサーを参照して下さい。
http://japan.xilinx.com/xlnx/xil_ans_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713

補足および推奨事項

Virtex-II および Virtex-II Pro FPGA をご使用のお客様へ

Virtex-4 デバイスの CCLK 仕様が LVTTTL 12mA Fast スルー レートに変更されました。ザイリンクスでは、この新しい仕様で設計することを推奨します。

トレーサビリティ

すべての Virtex-4 デバイスのパッケージ マーキングは、[図 1](#) の例と類似しています。

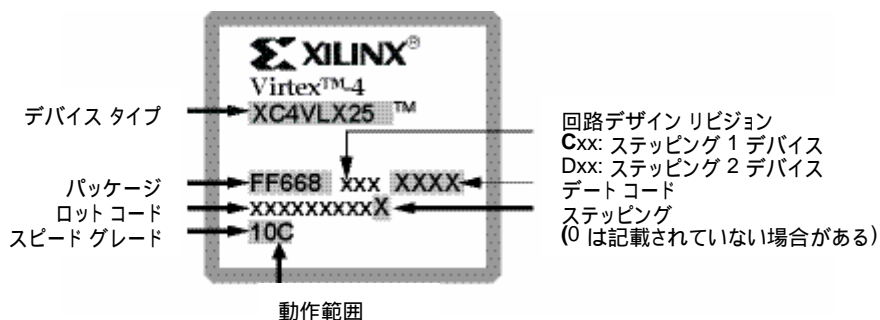


図 1: XC4VLX25 パッケージ マーク例

お問合せ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

これらのエラッタに関してご質問などがございましたら、ザイリンクス テクニカル サポート

<http://japan.xilinx.com/support/clearxpress/websupport.htm> または

販売代理店 <http://japan.xilinx.com/company/contact.htm> までお問い合わせ下さい。

最新版のエラッタの入手について

このエラッタを印刷した文書、またはお手元のコンピュータ保存文書としてご覧になっている場合は、最新版であることを確認して下さい。最新版のエラッタは、次のザイリンクス ウェブ サイトより入手できます。尚、最新版の入手には、ユーザー 登録が必要です。 http://japan.xilinx.com/xlnx/xweb/xil_publications_index.jsp?category=Errata

エラッタが変更された際にアラートを電子メールで受信するための設定方法は、次のザイリンクス アンサーを参照して下さい。 http://japan.xilinx.com/xlnx/xil_ans_display.jsp?getPagePath=18815

このエラッタは、次の Virtex-4 資料に適用します。

『Virtex-4 ファミリー概要』 (<http://japan.xilinx.com/bvdocs/publications/ds112.pdf>)

『Virtex-4 データシート』 (<http://japan.xilinx.com/bvdocs/publications/ds302.pdf>)

『Virtex-4 ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug070.pdf>)

『Virtex-4 の XtremeDSP™ ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug073.pdf>)

『Virtex-4 コンフィギュレーション ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug071.pdf>)

『Virtex-4 パッケージおよびピン配置の仕様』 (<http://japan.xilinx.com/bvdocs/userguides/ug075.pdf>)

改訂履歴

日付	バージョン	変更内容
2006/02/23	1.0	初版リリース
2006/02/24	1.0.1	コンフィギュレーション セクションに記載のリファレンス デザインへのリンク修正
2007/06/08	1.1	XC4VLX160 および XC4VLX200 デバイスの JTAG ID を更新
2007/08/06	1.2	タイトルの変更

この通知は、英語版資料 (EN041、バージョン 1.2、2007 年 8 月 6 日発行) を翻訳したものです。