

はじめに

ザイリンクス Virtex™-4 エンジニアリング サンプル プログラムにご参加いただき誠にありがとうございます。このプログラムでは、Virtex-4 XC4VFX20CES4S、XC4VFX60CES4S、および XC4VFX100CES4S FPGA のエンジニアリング サンプルを提供致しております。弊社では、デバイスの品質において万全を期しておりますが、このデバイスに以下のエラッタが確認されましたのでお知らせ致します。

該当デバイス

表 1 に、このエラッタが該当する Virtex-4 デバイスを示します。

表 1: エラッタが該当する XC4VFX20CES4S、XC4VFX60CES4S、XC4VFX100CES4S デバイス

デバイス	XC4VFX20CES4S	JTAG ID (リビジョンコード): 2
	XC4VFX60CES4S	
	XC4VFX100CES4S	JTAG ID (リビジョンコード): 0
パッケージ	すべて	
スピード グレード	-11、-12	

ハードウェア エラッタの詳細

このエラッタの発行時における、ハードウェアに関する問題の詳細を示します。

HBM ESD 対応

M0、M2、CS および RDWR ピンの HBM 許容電圧値は 1.25kV です。RocketIO™ を含まないデバイスでは、すべてのピンが 2kV の仕様を満たしています。

FIFO16

次のシーケンスに該当する場合、FIFO16 の ALMOST EMPTY、EMPTY、ALMOST FULL、FULL フラグが適切に生成されません。

1. 読み出しまたは書き込みが、ALMOST EMPTY OFFSET または ALMOST FULL OFFSET のしきい値に達する
2. ある読み出しまたは書き込みと、次の読み出しまたは書き込みのアクティブクロックエッジが同時、または非常に近い

ALMOST EMPTY または ALMOST FULL フラグを使用しない場合でも、フラグが適切に動作しないため、予想外のデータまたは無効なデータが出力される可能性があります。

この問題は、読み出しと書き込みが同時に実行されない FIFO16 アプリケーションでは発生しません。これらを同時に実行するアプリケーション用には、問題の回避方法としてダウンロード可能なマクロが利用可能です。ただし、データシートに記載された条件を満たさない場合があります。詳細、回避方法、および関連するパフォーマンス情報は、ザイリンクス アンサー #22462 を参照して下さい。

プロセッサ ブロック

プロセッサ ブロックにおけるその他のエラッタおよび動作ガイドラインは、ザイリンクス アンサー #20658 を参照して下さい。

RocketIO マルチギガビット シリアル トランシーバ

このエラッタの発行時における Virtex-4 RocketIO トランシーバに関する既知の問題の詳細を示します。

8B/10B エンコード

このエラッタ記載のデバイス (表 1) では、アナログ CDR モードを動作させる場合、送受信したデータを 8B/10B でエンコードする必要があります。

アナログ CDR の動作範囲制限

アナログ CDR モードの MGT では、2.15Gbps ~ 2.48Gbps 間および 4.3Gbps ~ 4.96Gbps 間のラインレートはサポートされていません。Virtex-4 RocketIO Wizard 1.1 以降でサポートされていますので、ザイリンクス アンサー #22845 に記載された手順を参照し、入手して下さい。

アナログ レシーバの動作範囲

レシーバは、622Mb/s および 1.25Gb/s に対してはデジタル CDR モードを用い、1.25Gb/s、2.5Gb/s、3.125Gb/s、4.25Gb/s、5.0Gb/s および 6.5Gb/s に対してはアナログ CDR モードを用いてテストが実施されています。

属性設定

属性のいくつかは、ISE ソフトウェアのデフォルト設定から変更する必要があります。詳細は、ザイリンクス アンサー #21672 を参照して下さい。これらの属性は、ISE 8.1i Virtex-4 RocketIO Wizard 1.0 を使用すると自動的に設定されます。

入手方法はザイリンクス アンサー #22845 に記載されています。

デジタル レシーバ: バッファ バイパス モード

バッファ バイパス モードは、デジタル レシーバと共に使用できないため、デジタル レシーバを使用する際には、バッファード モードを使用して下さい。表 2 に、バッファード モードを使用する場合のデジタル レシーバの属性を示します。

表 2: デジタル レシーバの属性

属性	バッファード モードの属性
RX_BUFFER_USE	TRUE
RXCLK0_FORCE_PMACLK	TRUE
DIGRX_SYNC_MODE	FALSE

属性の詳細は、『Virtex-4 RocketIO マルチギガビット トランシーバ ユーザー ガイド』の「デジタル レシーバ」を参照して下さい (<http://www.xilinx.co.jp/bvdocs/userguides/ug076.pdf>)。

CDM ESD 対応

RocketIO ピン (TXN、TXP、RXN、RXP、AVCCAUXRX、GNDA、AVCCAUXTX、VTRX、VTTX、AVCCAUXMGT、MGTCLKP、MGTCLKN) の CDM ESD は、250V という製品の仕様を満たしていません。XC4VFX20 および XC4VFX60 デバイスは 150V、XC4VFX100 デバイスは 100V の仕様を満たしています。

ザイリンクスでは現在、RocketIO ピンの ESD の仕様が、ザイリンクス内の仕様値を下回ることを確認しております。ザイリンクスでは、高速シリアル インターコネクต์に対応するよう引き続き評価し、ESD への対応に優れた製品をお届け致します。

RXPCSHCLKOUT ポートおよび TXPCSHCLKOUT ポート

このエラッタのデバイス (表 1) では、RXPCSHCLKOUT および TXPCSHCLKOUT MGT 出力クロックはサポートされていません。

RXSIGDET – OOB (Out Of Band) 信号の受信時

RXCDRL0S 属性は、『Virtex-4 RocketIO マルチギガビット トランシーバ ユーザー ガイド』に記載の規定値および精密度通りには動作しません (<http://www.xilinx.co.jp/bvdocs/userguides/ug076.pdf>)。詳細は、ザイリンクス アプリケーションノート XAPP732 を参照して下さい。

静止条件での動作

次の 3 条件すべてに該当する場合、トランシーバでデータの送受信が適切に行われられない可能性があります。

1. FPGA に電源が投入されている
2. トランシーバおよびレシーバの両方、またはどちらか一方で遷移が発生していない
3. 上記の (1) および (2) の状態が、85 °C T_j で累計 400 時間または 60 °C T_j で累計 2,000 時間を越える

これは、使用予定のあるトランシーバに対してのみ考慮すべき問題であり、未使用のままのトランシーバへの対応は必要ありません。詳細は、ザイリンクス アンサー #22471 を参照して下さい。

この問題に関連し、このエラッタに記載されているデバイスでは、キャリブレーション ブロック (Verilog および VHDL で入手可能) の使用が必要な場合があります。どのような場合にキャリブレーション ブロックが必要であるかについては、ザイリンクス アンサー #22477 を参照して下さい。

SYNCLK1OUT ポートおよび SYNCLK2OUT ポート

このエラッタのデバイス (表 1) では、GT11CLK の出力ポート SYNCLK1OUT および SYNCLK2OUT から BUFG、PMCD、DCM への接続がサポートされています (表 3 参照)。

表 3: BUFG、PMCD、DCM への SYNCLK1OUT および SYNCLK2OUT

接続先	最大周波数 (MHz)
BUFG	375
DCM、PMCD	290

総ジッタ

MGTCLK の周波数が 156MHz 以下の場合、トランシーバでは 0.35UI 以上の総ジッタが発生します。MGTCLK の周波数は 200MHz 以上を推奨します。

TXENOOB ポート – OOB (Out Of Band) 信号の送信時

TXENOOB がアサートされると、差動出力ピン (TXP/TXN) の Peak to Peak の振幅は、65mV を超える可能性があります。この回避策の詳細は、ザイリンクス アンサー #23481 を参照して下さい。

使用上の注意

ソフトウェア要件

エラッタに該当するデバイスを使用される場合は、表 4 に示すスピード仕様およびザイリンクス開発ソフトウェアのインストールが必要となります。

表 4: スピード仕様およびザイリンクス ISE ソフトウェアのバージョン要件

スピードグレード	スピード仕様	ザイリンクス ISE のバージョン
-11	v1.62	8.2i サービス パック 3 (SP3)
-12	v1.62	8.2i サービス パック 3 (SP3)

- SP2 に関して質問がございましたら、ザイリンクス テクニカル サポートまでお問い合わせ下さい。ソフトウェアのサービス パックは次のウェブサイトから入手できます。

http://www.xilinx.co.jp/xlnx/xil_sw_updates_home.jsp

制約ファイル (UCF ファイル) でデバイスのステッピングを「0」または「SCD1」に設定する必要があります。

CONFIG STEPPING = "0";

または

CONFIG STEPPING = "SCD1";

これらの値を使用して、ISE ソフトウェアでは 小規模なマクロが挿入されるため、DCM_INPUT_CLOCK_STOP の要件が削除されます。

- Virtex-4 の機能に関連する ISE ソフトウェアの既知の問題については、次のサイトを参照して下さい。

http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713

補足および推奨事項

Virtex-II および Virtex-II Pro FPGA をご使用のお客様へ

Virtex-4 デバイスの CCLK 仕様が LVCMOS 12mA Fast スルー レートに変更されたことのお知らせ致します。ザイリンクスでは、この新しい仕様で設計することを推奨します。

デバイスの確認

図 1 に XC4VFX60CES4S デバイスのパッケージ マークを示します。表 1 に記載したその他のデバイスのマークも同様です。

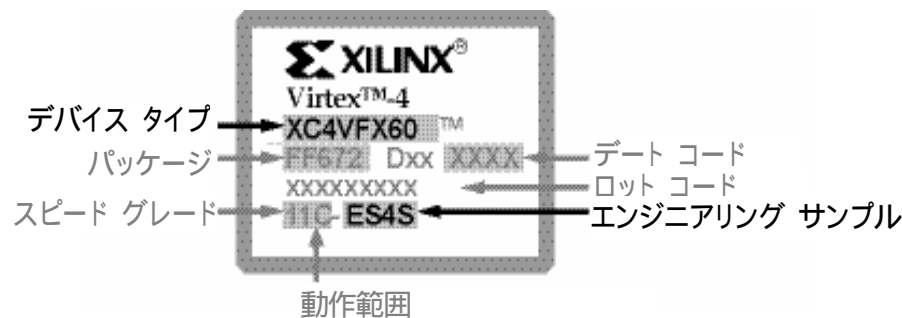


図 1 : XC4VFX60CES4S のパッケージ マーク例

問い合わせ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

このエラッタに関しましてご質問などございましたら、弊社のテクニカル サポート

<http://www.xilinx.co.jp/support/clearexpress/websupport.htm> または販売代理店

<http://www.xilinx.co.jp/company/contact.htm>までお問い合わせ下さいませようお願いします。

エラッタの最新版の入手について

ご覧になっている通知が、印刷された文書、またはお手元のコンピュータ保存文書の場合は、最新版であることをご確認下さい。最新版は、次のザイリンクス ウェブ サイトより入手頂けますが、ユーザー登録が必要となります。

http://www.xilinx.co.jp/xlnx/xweb/xil_publications_index.jsp?category=Errata

今後、このエラッタの内容に変更が生じた場合には、MySupport に登録して頂くことで、アラートを電子メールで受け取ることが可能となっております。MySupport のユーザー登録およびアラート通知の設定については、次のザイリンクスアンサーを参照して下さい。

http://www.xilinx.co.jp/xlnx/xil_ans_display.jsp?getPagePath=18815

このエラッタは、次の Virtex-4 関連資料に適用されます。

『Virtex-4 ファミリ概要』 (<http://www.xilinx.co.jp/bvdocs/publications/ds112.pdf>)

『Virtex-4 データシート』 (<http://www.xilinx.co.jp/bvdocs/publications/ds302.pdf>)

『Virtex-4 ユーザーガイド』 (<http://www.xilinx.co.jp/bvdocs/userguides/ug070.pdf>)

『Virtex-4 XtremeDSP™ ユーザーガイド』 (<http://www.xilinx.co.jp/bvdocs/userguides/ug073.pdf>)

『Virtex-4 コンフィギュレーションガイド』 (<http://www.xilinx.co.jp/bvdocs/userguides/ug071.pdf>)

『Virtex-4 パッケージおよびピン配置の仕様』 (<http://www.xilinx.co.jp/bvdocs/userguides/ug075.pdf>)

『Virtex-4 RocketIO マルチギガビット トランシーバ ユーザーガイド』
(<http://www.xilinx.co.jp/bvdocs/userguides/ug076.pdf>)

『PowerPC™ 405 プロセッサ ブロック リファレンス ガイド』 (<http://www.xilinx.co.jp/bvdocs/userguides/ug018.pdf>)

改訂履歴

日付	バージョン	説明
2006/06/21	1.0	初版リリース
2006/11/14	1.1	-12 スピード グレード デバイスの追加。「プロセッサ ブロック」、「属性設定」、「CDM ESD 対応」、「ソフトウェア要件」および図 1 を更新。

このエラッタは、英語版 (EN044、バージョン 1.1、2006 年 11 月 14 日発行) を翻訳したものです。