

はじめに

弊社では、デバイスの品質において万全を期しておりますが、Virtex™-5 エンジニアリング サンプル (ES) デバイスに以下のエラッタが確認されましたのでお知らせ致します。

該当デバイス

このエラッタが該当する Virtex-5 デバイスを表 1 に示します。

表 1: エラッタが該当する Virtex-5 デバイス

デバイス	XC5VLX30CES	JTAG ID (リビジョンコード): 2、3、4、5
	XC5VLX50CES	JTAG ID (リビジョンコード): 2、3、4、5
	XC5VLX85CES	JTAG ID (リビジョンコード): 2、4
	XC5VLX110CES	JTAG ID (リビジョンコード): 2、4
	XC5VLX220CES	JTAG ID (リビジョンコード): 0、1
	XC5VLX330CES	JTAG ID (リビジョンコード): 0、1
パッケージ	すべて	
スピードグレード	-1、-2	

ハードウェア エラッタの詳細

このエラッタの発行時における、ハードウェアに関する既知の問題の詳細を示します。

ブロック RAM

ブロック RAM 同期 FIFO モード - LX30、LX50、LX85、および LX110

EN_SYN = TRUE 属性を使用する場合、F_{MAX_FIFO} は 400MHz です。

ブロック RAM ECC Scrub モード

ECC Scrub モード (EN_ECC_SCRUB = TRUE) はサポートされておらず、製品デバイスでのサポート予定はありません。

OSERDES

OSERDES で分周クロック (CLKDIV) を反転させるオプションはサポートされていません。

コンフィギュレーション

コンフィギュレーション時に使用したビットストリームとは異なるビットストリームを用い、デバイスをリコンフィギュレーションする場合、まれではありますが、スタティック LUT 入力反転する可能性があります。詳細は、ザイリンクス アンサー #24582 を参照して下さい。

使用上の注意

ソフトウェア要件

このエラッタに該当するデバイスを使用する場合は、特に指定のない限り、次のザイリンクス開発ソフトウェアのインストールが必要です。

- このエラッタに該当するデバイスを使用してデザインする場合には、スピード仕様 v1.41 以降およびザイリンクスソフトウェア ISE 8.2i 以降のバージョンを使用して下さい。
- ステッピングを“ES”として、次のように制約ファイル (UCF ファイル) に設定する必要があります。
CONFIG STEPPING = “ES”;
- Virtex-5 に関する ISE ソフトウェアの既知の問題のリストは、次のサイトを参照して下さい。
http://japan.xilinx.com/xlnx/xil_ans_display.jsp?iCountryID=2&iLanguageID=2&getPagePath=23625

補足および推奨事項

V_{BATT} の ESD 保護

V_{BATT} ピンの ESD 保護は、HBM 500V の耐圧基準を満たします。

電源供給の要件 - LX30、LX50、LX85、LX110

コマーシャル温度範囲で電源投入およびコンフィギュレーション中、デバイスの V_{CCINT} 電源では最大電流 I_{CCINT} が必要となります (表 2)。

表 2: V_{CCINT} 電源で必要な最大電流 - LX30、LX50、LX85、LX110

デバイス	V _{CCINT}	I _{CCINT}
XC5VLX30CES	1.05V	2.5A
XC5VLX50CES	1.05V	2.75A
XC5VLX85CES	1.05V	3.75A
XC5VLX110CES	1.05V	4.0A

トレーサビリティ

図 1 に XC5VLX50CES デバイスのパッケージ マーク例を示します。表 1 で示したその他のデバイスも同様にマーキングされています。

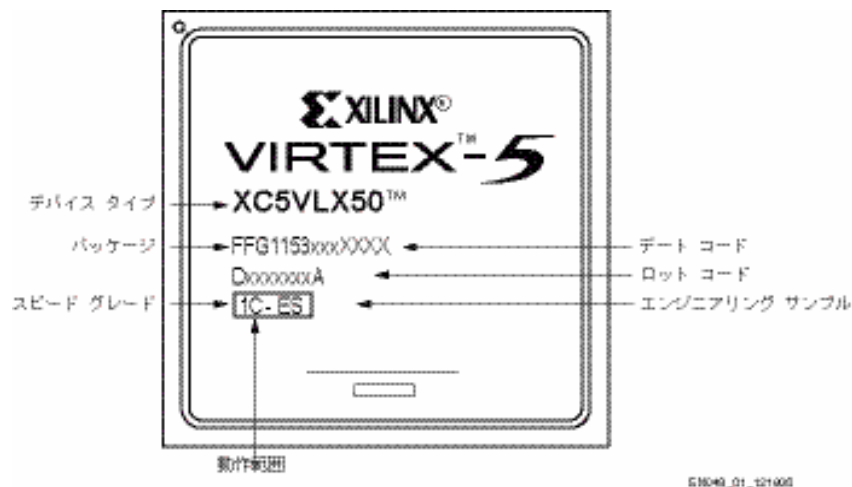


図 1: XC5VLX50CES パッケージ マーク例

お問合せ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

これらのエラッタに関してご質問などがございましたら、ザイリンクス テクニカル サポート

<http://japan.xilinx.com/support/clearexpress/websupport.htm> または販売代理店 <http://japan.xilinx.com/company/contact.htm> までお問い合わせ下さい。

最新版のエラッタの入手について

このエラッタを印刷した文書、またはお手元のコンピュータ保存文書としてご覧になっている場合は、最新版であることを確認して下さい。最新版のエラッタは、次のザイリンクス ウェブ サイトより入手できます。尚、最新版の入手には、ユーザー 登録が必要です。

http://japan.xilinx.com/xlnx/xweb/xil_publications_index.jsp?category=Errata

エラッタ関連の資料入手および変更された場合の、e-mail 通知方法については、次のザイリンクス アンサーを参照して下さい。

http://japan.xilinx.com/xlnx/xil_ans_display.jsp?getPagePath=18815

このエラッタは、次の Virtex-5 文書に適用します。

†Virtex-5 LX Platform 概要 (英語版) (<http://japan.xilinx.com/bvdocs/publications/ds100.pdf>)

†Virtex-5 データシート (英語版) (<http://japan.xilinx.com/bvdocs/publications/ds202.pdf>)

†Virtex-5 ユーザー ガイド (英語版) (<http://japan.xilinx.com/bvdocs/userguides/ug190.pdf>)

†Virtex-5 FPGA の XtremeDSP™ ユーザー ガイド (英語版) (<http://japan.xilinx.com/bvdocs/userguides/ug193.pdf>)

†Virtex-5 コンフィギュレーション ユーザー ガイド (英語版) (<http://japan.xilinx.com/bvdocs/userguides/ug191.pdf>)

†Virtex-5 パッケージおよびピン配置の仕様 (英語版) (<http://japan.xilinx.com/bvdocs/userguides/ug195.pdf>)

改訂履歴

日付	バージョン	変更内容
2006/03/31	1.0	初版リリース
2006/05/12	1.1	表 1 および文書内にデバイス名の追加。お問合せ先の内容追加および文書の微調整。BUFGMUX のエラッタの削除。表 2 の追加および XC5VLX50CES 最大電流の変更。
2006/05/26	1.2	微修正。表 2 の XC5VLX50CES の I _{CCINIT} を 2.6A から 2.75A に修正。使用上の注意に CONFIG STEPPING = ES を追加。
2006/08/04	1.3	ブロック RAM 同期 FIFO モード - LX30、LX50、LX85、および LX110 の追加。使用上の注意 に ISE ソフトウェアの既知の問題のリンクを追加。
2006/12/27	1.4	表 1 の JTAG ID コードの変更。JTAG ID 0 および 1 を削除。電源供給の要件 - LX30、LX50、LX85、LX110 の変更。図 1 の変更。ブロック RAM ECC Scrub モードの追加。
2007/04/03	1.5	XC5VLX220CES および XC5VLX330CES デバイスを追加。ブロック RAM および電源供給の要件 - LX30、LX50、LX85、LX110 セクションに該当デバイス名を追加。コンフィギュレーションのエラッタを追加。
2007/05/11	1.6	OSERDES のエラッタを追加。ブロック RAM ECC Scrub モード セクションを更新。

この通知は、英語版資料 (EN049、バージョン 1.6、2007 年 5 月 11 日発行) を翻訳したものです。