

はじめに

弊社は、デバイスの品質において万全を期しておりますが、Virtex™-5 エンジニアリング サンプル (ES) デバイスに以下のエラッタが確認されましたのでお知らせ致します。

該当デバイス

このエラッタが該当する Virtex-5 デバイスを表 1 に示します。

表 1: エラッタが該当する Virtex-5 デバイス

デバイス	XC5VLX30TCES	JTAG ID (リビジョンコード) : 2、3、4、5
	XC5VLX50TCES	JTAG ID (リビジョンコード) : 2、3、4、5
	XC5VLX110TCES	JTAG ID (リビジョンコード) : 2、4
	XC5VLX330TCES	JTAG ID (リビジョンコード) : 0、1
パッケージ	すべて	
スピード グレード	-1、-2	

ハードウェア エラッタの詳細

このエラッタの発行時における、ハードウェアに関する既知の問題の詳細を示します。

ブロック RAM

ブロック RAM 同期 FIFO モード - LX30T、LX50T、LX110T

EN_SYN = TRUE 属性を使用する場合、F_{MAX_FIFO} は 400MHz です。

ブロック RAM ECC Scrub モード

ECC Scrub モード (EN_ECC_SCRUB = TRUE) はサポートされておらず、また、製品デバイスでもサポート予定はありません。

OSERDES

OSERDES の分周クロック (CLKDIV) の反転オプションはサポートされていません。

コンフィギュレーション

コンフィギュレーション済みのデバイスに、異なるビットストリームで再コンフィギュレーションする場合、まれに、スタティック LUT 入力反転する場合があります。詳細は、ザイリンクス アンサー #24582 を参照して下さい。

PCI Express® エンドポイント ブロック

6 ピン リセット モード - LX30T、LX50T

CRMMACRSTN ピンおよび CRMLINKRSTN ピンはサポートされていません。RESETMODE 属性は、4 ピン リセット方式を選択する FALSE に設定する必要があります。この方式については、[UG197](#): 『PCI Express Endpoint Block ユーザー ガイド』を参照して下さい。

PCI Express™ (v1.2.1 またはそれ以降で EA パッチ付き) の LogiCORE™ エンドポイント ブロック プラスには、このエラッタは該当しません。LX50T デバイスでは、PCI Express™ (v1.1 またはそれ以降) の LogiCORE™ エンドポイント ブロックで、RESETMODE を常に FALSE に設定することで、この問題を回避します。

サポートされていないステータス 出力ピン - LX30T、LX50T

次のステータス 出力ピンはサポートされておりません。これらのピンは、コンフィギュレーション スペースに Root Complex で設定されるレジスタ値を示すために使用されます。特定のピンの詳細は、[UG197](#): 『PCI Express Endpoint Block ユーザー ガイド』を参照して下さい。

- IOSPACEENABLE
- MEMSPACEENABLE
- BUSMASTERENABLE
- PARITYERRORRESPONSE
- SERREENABLE
- INTERRUPTDISABLE
- URREPORTINGENABLE
- MAXPAYLOADSIZE[2:0]
- MAXREADREQUESTSIZE[2:0]

回避方法

レジスタの値は、管理インターフェイスで確認できます。PCI Express (v1.2.1 またはそれ以降で EA パッチ付き) の LogiCORE エンドポイント ブロック プラスには、このエラッタは該当しません。これらの信号の情報は、そのインターフェイスで確認できます。PCI Express (v1.1 またはそれ以降) の LogiCORE エンドポイント ブロックは、この回避方法には対応していません。

管理インターフェイス - LX30T、LX50T

管理インターフェイスが使用されている場合は、イネーブル入力ピン MGMTRDEN が High に固定されている必要があります。

回避方法

MGMTRDEN を High に固定します。PCI Express (v1.3 またはそれ以降) の LogiCORE エンドポイント ブロックは、この回避方法をインプリメントします。PCI Express (v1.2.1 またはそれ以降で EA パッチ付き) の LogiCORE エンドポイント ブロック プラスでは、このエラッタは該当しません。

コンフィギュレーション スペース

コンフィギュレーション スペースの一部のレジスタ ビット が誤って設定されていますが、機能上の問題はありません。

- LX30T、LX50T、および LX110T で、次のビットが誤って 1 に設定されています。
 - Link Capabilities レジスタの Data Link Layer Link Active Reporting Capable [20]
 - Link Status レジスタの Data Link Layer Link Active [13]
- [表 1](#) に示すデバイス (LX30T、LX50T、LX110T、および LX330T) の値が誤って設定されています。
 - Power Management Capability のバージョン フィールドが誤って 010b に設定されています。

エラー レポート

Ignored Message、Unsupported Request、および Poisoned TLP (Transaction Layer Packet) に対して、エラー信号メッセージ TLP が誤って送信されます。

トランザクション レイヤ インターフェイス

Receive data destination request (LLKRXDSTREQN) のギャップは、それがパケット間の場合を除いて、4 サイクル以上にはできません。

回避方法

LLKRXDSTREQN のギャップが 4 サイクル以上にならないようにします。PCI Express (v1.2.1 またはそれ以降で EA パッチ付き) の LogiCORE エンドポイント ブロック プラスには、このエラッタは該当しません。PCI Express (v1.1 またはそれ以降) の LogiCORE エンドポイント ブロックでは、この回避方法を実行する必要があります。

LLKRXSRLASTREQN がアサートされたサイクルで、LLKRXDSTREQN をディアサートする必要があります。

回避方法

LLKRXSRLASTREQN がアサートされたサイクルで、LLKRXDSTREQN をディアサートします。PCI Express (v1.2.1 またはそれ以降で EA パッチ付き) の LogiCORE エンドポイント ブロック プラスでは、この回避方法を実

行します。PCI Express (v1.1 またはそれ以降) の LogiCORE エンドポイント ブロックは、この回避方法に対応していません。

トランザクション オーダリング

PCI Express デザインに対応する Virtex-5 のエンドポイント ブロックがインプリメントするトランザクション オーダリングは、PCI Express に基づく仕様 (改定 1.1、表 2-23) と次に示す違いがあります。

- コンプリーション パケットがノン ポステッド パケット リクエストにブロックされる場合があります。

回避方法

コンプリーション パケットを待機しているユーザー アプリケーションは、Rx バッファに既存のコンプリーション パケットをドレインできるように、ノンポステッド パケットのキューを空にする必要があります。また、対向のデバイスがコンプリーション パケットを待機している場合、エンドポイント ブロックが、Tx バッファにあるコンプリーション パケットを送信する前に、そのデバイスはノン ポステッド フロー制御クレジットを開放する必要があります。この回避方法は、PCI Express (v1.2.1 またはそれ以降で EA パッチ付き) の LogiCORE エンドポイント ブロック プラス、あるいは、PCI Express (v1.1 またはそれ以降) の LogiCORE エンドポイント ブロックでは対応していません。

- リンク パートナーが infinit completion flow control credits を示さず、エンドポイントが 8 レーンのコンフィギュレーションである場合、一部のフロー コントロール クレジットのないパケットが送信されて、フロー コントロール プロトコル エラーの原因となります。

回避方法

十分な量のクレジットがある場合のみ、ユーザー アプリケーションはポステッド パケットを送信キューに入れる必要があります。

- 送信バッファでフロー コントロール クレジットを待機しているポステッド パケットは、コンプリーション パケットまたはノンポステッド パケットによって追い越されることがあります。たとえば、メモリ リード パケットは、アドレスが重複するメモリ ライト パケットを追い越すことができ、結果的に誤ったデータが読み出されます。この違反発生後、ポストされたパケットバッファが空になった場合、コンプリーション パケットおよびノンポステッド パケットの両方またはいずれかの送信が終了してしまうことがあります。新しくポストされたパケットが送信されると、コンプリーション パケットおよびノンポステッド パケット両方またはいずれかの送信が再開します。

回避方法

十分な量のクレジットがある場合のみ、ユーザー アプリケーションはポストされたパケットを送信キューに入れる必要があります。

GTP トランシーバ

AC JTAG

AC JTAG モードはサポートされておらず、また、製品デバイスでもサポート予定はありません。

GTP CRC ブロック - LX30T、LX50T

CRC (巡回冗長検査) ブロックの初期ステータス、CRC64 および CRC32 は、デフォルト値 32'hFFFFFFF から変更できません。

GTP CRC パラレル インターフェイス タイミング

適切なタイミングのためには、パラレル CRCIN インターフェイスは、反転クロック CRCCLK からクロックが供給され、CLB ファブリックの非反転 CRCCLK にクロックされたレジスタから駆動される必要があります。CRC CORE Generator™ ウィザードは、この回路を含むラップアップファイルを生成します。詳細は、ザイリンクス アンサー #24879 を参照して下さい。

GTP 送信インターフェイス タイミング

適切なタイミングのためには、送信インターフェイスは、反転クロック TXUSRCLK2 からクロックが供給され、CLB ファブリックの非反転 TXUSRCLK2 にクロックされたレジスタから駆動される必要があります。CRC CORE Generator ウィザードは、この回路を含むラップアップファイルを生成します。

RX バッファ バイパス (RX 低レイテンシ モード)

レシーバでのバッファ バイパス モードは内部データパスが 10 ビット幅で、レシーバの PLL 分周値が 1 のときのみサポートされます。レシーバの PLL 分周器の値が 2 あるいは 4 に設定されている場合は、現在サポートされていません。

リファレンス クロック入力抵抗

RocketIO GTP リファレンス クロックの差動入力抵抗 R_{IN} の範囲は、160Ω ~ 180Ω です。より抵抗が高い場合、GTP トランシーバの性能に影響はありません。

使用上の注意

ソフトウェア要件

このエラッタに該当するデバイスを使用する場合は、特に指定のない限り、次のザイリンクス開発ソフトウェアのインストールが必要になります。

- このエラッタに該当するデバイスを使用してデザインする場合には、スピード仕様 v1.48 以降およびザイリンクスソフトウェア ISE 8.2i SP3 以降のバージョンを使用して下さい。
- ステッピングを “ES” として、次のように制約ファイル (UCF ファイル) に設定する必要があります。

CONFIG STEPPING = “ES”;

- Virtex-5 に関する ISE ソフトウェアの既知の問題のリストは、次のサイトを参照して下さい。

http://japan.xilinx.com/xlnx/xil_ans_display.jsp?iCountryID=1&iLanguageID=1&getPagePath=23625

補足および推奨事項

ESD 保護

LX30T、LX50T、LX110T の場合

- V_{BATT} ピンの ESD 保護は、HBM 500V の耐圧基準を満たします。
- MGTREFCLKN ピン、MGTREFCLKP ピン、および MGTVREF ピンの ESD 保護は、HBM 250V および 100V CDM の耐圧基準を満たします。操作中は注意が必要です。

LX330T の場合

- MGTREFCLKN ピン、MGTREFCLKP ピン、および MGTVREF ピンの ESD 保護は、HBM 1000V および 150V CDM の耐圧基準を満たします。操作中は注意が必要です。

電源供給の要件 - LX30T、LX50T、LX110T

電源投入およびコンフィギュレーション中、 V_{CCINT} 電源は表 2 で示す最大電流 I_{CCINT} が必要になります。

表 2: V_{CCINT} 電源で必要な最大電流

デバイス	V_{CCINT}	I_{CCINT}
XC5VLX30TCES	1.05V	2.5A
XC5VLX50TCES	1.05V	2.75A
XC5VLX110TCES	1.05V	4.00A

トレーサビリティ

図 1 に XC5VLX50TCES デバイスのパッケージ マーク例を示します。表 1 で示すその他のデバイスも同様にマーキングされています。

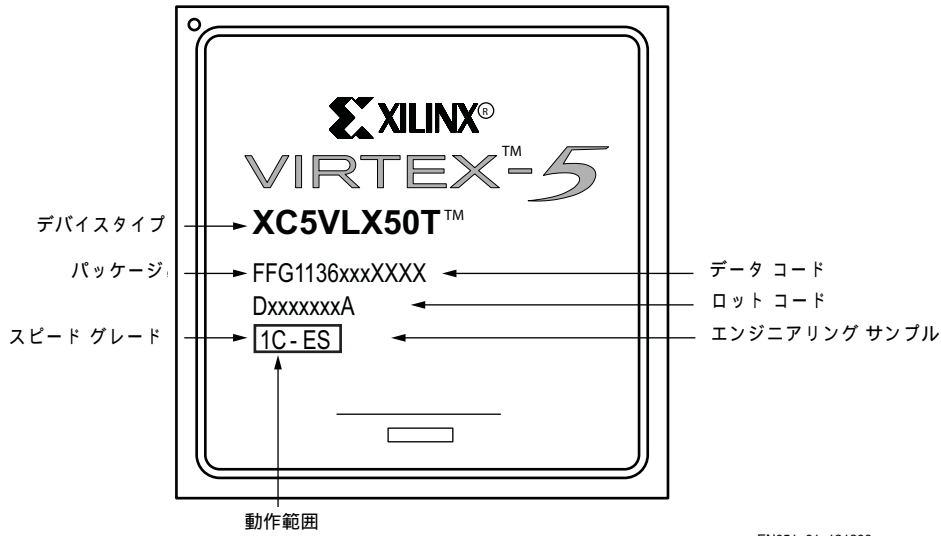


図 1： XC5VLX50TCES のパッケージマーク例

お問合せ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

これらのエラッタに関してご質問などがございましたら、ザイリンクス テクニカル サポート

<http://japan.xilinx.com/support/clearxpress/websupport.htm> または販売代理店 <http://japan.xilinx.com/company/contact.htm> までお問い合わせ下さい。

最新版のエラッタの入手について

このエラッタを印刷した文書、またはお手元のコンピュータ保存文書としてご覧になっている場合は、最新版であることを確認して下さい。最新版のエラッタは、次のザイリンクス ウェブ サイトより入手できます。尚、最新版の入手には、ユーザー 登録が必要です。

http://japan.xilinx.com/xlnx/xweb/xil_publications_index.jsp?category=Errata

エラッタ関連の資料入手および変更された場合の、e-mail 通知方法については、次のザイリンクス アンサーを参照して下さい。

http://japan.xilinx.com/xlnx/xil_ans_display.jsp?getPagePath=18815

このエラッタは、次の Virtex-5 文書に適用します。

『Virtex-5 LX Platform 概要』 (<http://japan.xilinx.com/bvdocs/publications/ds100.pdf>)

『Virtex-5 データシート』 (<http://japan.xilinx.com/bvdocs/publications/ds202.pdf>)

『Virtex-5 ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug190.pdf>)

『Virtex-5 FPGA の XtremeDSP ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug193.pdf>)

『Virtex-5 コンフィギュレーション ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug191.pdf>)

『Virtex-5 パッケージおよびピン配置の仕様』 (<http://japan.xilinx.com/bvdocs/userguides/ug195.pdf>)

『Virtex-5 RocketIO GTP トランシーバ ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug196.pdf>)

『Virtex-5 PCI Express Endpoint Block ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug197.pdf>)

『Virtex-5 エンベデッド トライモード イーサネット MAC ユーザー ガイド』

(<http://japan.xilinx.com/bvdocs/userguides/ug194.pdf>)

改定履歴

日付	バージョン	変更内容
2006/11/17	1.0	初版リリース
2007/01/18	1.1	表 1 および資料の各セクションに XC5VLX330TCES デバイスおよびスピード グレードを追加。PCI Express® エンドポイント ブロックに関するエラッタの変更。RX バッファバイパスに関する記述を変更。図 1 を変更。
2007/04/09	1.2	コンフィギュレーションの追加。GTP CRC 平行インターフェイス タイミングの変更。ESD 保護および電源供給の要件 - LX30T、LX50T、LX110T セクションにデバイス 特定情報を追加。
2007/06/08	1.3	ブロック RAM ECC Scrub モード、OSERDES、および AC JTAG の追加。PCI Express の LogiCORE Endpoint Block Plus の改定情報を更新。

この通知は、英語版資料 (EN051、v1.3、2007 年 6 月 8 日発行) を翻訳したものです。