

## はじめに

弊社は、デバイスの品質において万全を期しておりますが、Virtex™-5 エンジニアリング サンプル (ES) デバイスに以下のエラッタが確認されましたのでお知らせ致します。

## 該当デバイス

このエラッタが該当する Virtex-5 デバイスを表 1 に示します。

**表 1: エラッタが該当する Virtex-5 デバイス**

デバイス	XC5VSX35TCES	JTAG ID (リビジョンコード): 1, 3
	XC5VSX50TCES	JTAG ID (リビジョンコード): 1, 3
パッケージ	すべて	
スピードグレード	-1, -2	

## ハードウェア エラッタの詳細

このエラッタの発行時における、ハードウェアに関する既知の問題の詳細を示します。

### ブロック RAM ECC スクラブ モード

ECC スクラブ モード (EN\_ECC\_SCRUB = TRUE) はサポートされておらず、また、製品デバイスでもサポート予定はありません。

### コンフィギュレーション

コンフィギュレーション済みのデバイスに、異なるビットストリームで再コンフィギュレーションする場合、まれに、スタティック LUT 入力 that 反転する場合があります。詳細は、ザイリンクス アンサー #24582 を参照して下さい。

### PCI Express® エンドポイント ブロック

#### コンフィギュレーション スペース

電力管理機能のバージョン フィールドが 010b に不正にセットされていますが、機能には問題ありません。

#### エラー レポート

Ignored Message、Unsupported Request、および Poisoned TLP (Transaction Layer Packet) に対して、エラー信号メッセージ TLP が誤って送信されます。

#### トランザクション レイヤ インターフェイス

Receive data destination request (LLKRXDSTREQN) のギャップは、それがパケット間の場合を除いて、4 サイクル以上にはできません。

#### 回避方法

LLKRXDSTREQN のギャップが 4 サイクル以上にならないようにします。PCI Express (v1.1) の LogiCORE エンドポイント ブロック プラスには、このエラッタは該当しません。PCI Express (v1.1 またはそれ以降) の LogiCORE エンドポイント ブロックでは、この回避方法を実行する必要があります。

LLKRXSRLASTREQN がアサートされたサイクルで、LLKRXDSTREQN をデアサートする必要があります。

**回避方法**

LLKRXSRCCLASTREQN がアサートされたサイクルで、LLKRXDSTREQN をディアサートします。PCI Express (v1.1) の LogiCORE エンドポイント ブロック プラスでは、この回避方法を実行します。PCI Express (v1.1 またはそれ以降) の LogiCORE エンドポイント ブロックは、この回避方法に対応していません。

**トランザクション オーダリング**

PCI Express デザインに対応する Virtex-5 のエンドポイント ブロックがインプリメントするトランザクション オーダリングは、PCI Express に基づく仕様 (改定 1.1、表 2-23) と次に示す違いがあります。

- コンプリーション パケットがノン ポステッド パケット リクエストにブロックされる場合があります。

**回避方法**

コンプリーション パケットを待機しているユーザー アプリケーションは、Rx バッファに既存のコンプリーション パケットをドレインできるように、ノンポステッド パケットのキューを空にする必要があります。また、対向のデバイスがコンプリーション パケットを待機している場合、エンドポイント ブロックが、Tx バッファにあるコンプリーション パケットを送信する前に、そのデバイスはノン ポステッド フロー制御クレジットを開放する必要があります。

- リンク パートナーが infinit completion flow control credits を示さず、エンドポイントが 8 レーンのコンフィギュレーションである場合、一部のフロー コントロール クレジットのないパケットが送信されて、フロー コントロール プロトコル エラーの原因となります。

**回避方法**

十分な量のクレジットがある場合のみ、ユーザー アプリケーションはポステッド パケットを送信キューに入れる必要があります。

- 送信バッファでフロー コントロール クレジットを待機しているポステッド パケットは、コンプリーション パケットまたはノンポステッド パケットによって追い越されることがあります。たとえば、メモリ リード パケットは、アドレスが重複するメモリ ライト パケットを追い越すことができ、結果的に誤ったデータが読み出されます。この違反発生後、ポストされたパケットバッファが空になった場合、コンプリーション パケットおよびノンポステッド パケットの両方またはいずれかの送信が終了してしまうことがあります。新しくポストされたパケットが送信されると、コンプリーション パケットおよびノンポステッド パケット両方またはいずれかの送信が再開します。

**回避方法**

十分な量のクレジットがある場合のみ、ユーザー アプリケーションはポストされたパケットを送信キューに入れる必要があります。

**GTP トランシーバ****RX バッファ バイパス (RX 低レイテンシ モード)**

レシーバ バッファ バイパス モードは内部データパスが 10 ビット幅で、レシーバの PLL 分周値が 1 のときのみサポートされます。レシーバの PLL 分周器の値が 2 あるいは 4 に設定されている場合は、現在サポートされていません。

**リファレンス クロック入力抵抗**

RocketIO GTP リファレンス クロックの差動入力抵抗  $R_{IN}$  の範囲は、160Ω ~ 180Ω です。この高い抵抗値が高い場合、GTP トランシーバの性能に影響はありません。

**AC JTAG**

AC JTAG モードはサポートされておらず、また、製品デバイスでもサポート予定はありません。

**GTP CRC パラレル インターフェイス タイミング**

適切なタイミングのためには、パラレル CRCIN インターフェイスは、反転クロック CRCCLK からクロックが供給され、CLB ファブリックの非反転 CRCCLK にクロックされたレジスタから駆動される必要があります。CRC CORE Generator™ ウィザードはこの回路を含むラッパ ファイルを生成します。詳細は、ザイリンクス アンサー #24879 を参照して下さい。

**GTP 送信インターフェイス タイミング**

適切なタイミングのためには、送信インターフェイスは、反転クロック TXUSRCLK2 からクロックが供給され、CLB ファブリックの非反転 TXUSRCLK2 にクロックされたレジスタから駆動される必要があります。CRC CORE Generator ウィザードはこの回路を含むラッパ ファイルを生成します。

## 使用上の注意

### ソフトウェア要件

このエラッタに該当するデバイスを使用する場合は、特に指定のない限り、次のザイリンクス開発ソフトウェアのインストールが必要になります。

- このエラッタに該当するデバイスを使用してデザインする場合には、スピード仕様 v1.51 以降およびザイリンクスソフトウェア ISE 9.1i SP1 以降のバージョンを使用して下さい。
- ステッピングを “ES” として、次のように制約ファイル (UCF ファイル) に設定する必要があります。
- CONFIG STEPPING = “ES”;
- Virtex-5 に関する ISE ソフトウェアの既知の問題のリストは、次のサイトを参照して下さい。

[http://japan.xilinx.com/xlnx/xil\\_ans\\_display.jsp?iCountryID=1&iLanguageID=1&getPagePath=23625](http://japan.xilinx.com/xlnx/xil_ans_display.jsp?iCountryID=1&iLanguageID=1&getPagePath=23625)

### 補足および推奨事項

#### ESD 保護

- MGTREFCLKN ピン、MGTREFCLKP ピン、および MGTVREF ピンの ESD 保護は、HBM 1000V および 150V CDM の耐圧基準を満たします。操作中は注意が必要です。

### トレーサビリティ

図 1 に XC5VLX50TCES デバイスのパッケージ マーク例を示します。表 1 で示すその他のデバイスも同様にマーキングされています。

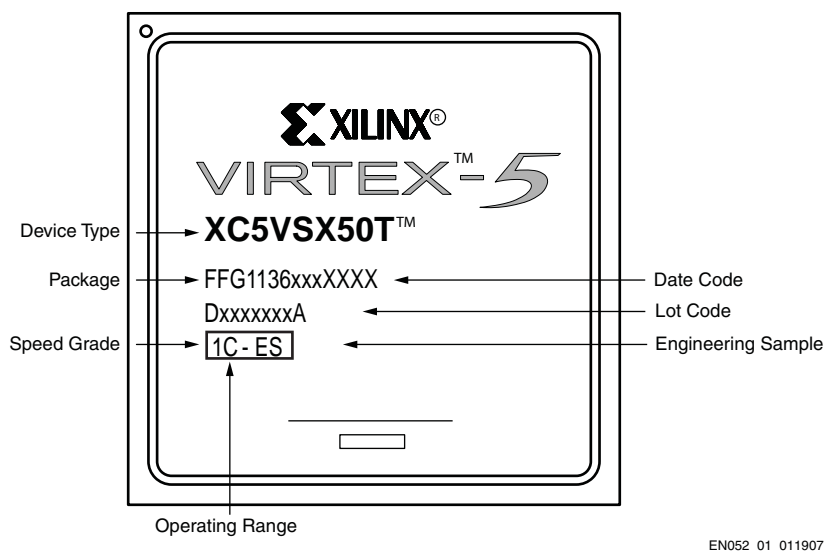


図 1 : XC5VSX50TCES のパッケージマーク例

### お問合せ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

これらのエラッタに関してご質問などがございましたら、ザイリンクス テクニカル サポート

<http://japan.xilinx.com/support/clearxpress/websupport.htm> または販売代理店 <http://japan.xilinx.com/company/contact.htm> までお問い合わせ下さい。

### 最新版のエラッタの入手について

このエラッタを印刷した文書、またはお手持のコンピュータ保存文書としてご覧になっている場合は、最新版であることを確認して下さい。最新版のエラッタは、次のザイリンクス ウェブ サイトより入手できます。尚、最新版の入手には、ユーザー 登録が必要です。

[http://japan.xilinx.com/xlnx/xweb/xil\\_publications\\_index.jsp?category=Errata](http://japan.xilinx.com/xlnx/xweb/xil_publications_index.jsp?category=Errata)

エラッタ関連の資料入手および変更された場合の、e-mail 通知方法については、次のザイリンクス アンサーを参照して下さい。

[http://japan.xilinx.com/xlnx/xil\\_ans\\_display.jsp?getPagePath=18815](http://japan.xilinx.com/xlnx/xil_ans_display.jsp?getPagePath=18815)

このエラッタは、次の Virtex-5 文書に適用します。

『Virtex-5 LX Platform 概要』 (<http://japan.xilinx.com/bvdocs/publications/ds100.pdf>)

『Virtex-5 データシート』 (<http://japan.xilinx.com/bvdocs/publications/ds202.pdf>)

『Virtex-5 ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug190.pdf>)

『Virtex-5 FPGA の XtremeDSP ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug193.pdf>)

『Virtex-5 コンフィギュレーション ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug191.pdf>)

『Virtex-5 パッケージおよびピン配置の仕様』 (<http://japan.xilinx.com/bvdocs/userguides/ug195.pdf>)

『Virtex-5 RocketIO GTP トランシーバ ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug196.pdf>)

『Virtex-5 PCI Express Endpoint Block ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug197.pdf>)

『Virtex-5 エンベデッドトライモードイーサネット MAC ユーザー ガイド』

(<http://japan.xilinx.com/bvdocs/userguides/ug194.pdf>)

## 改定履歴

日付	バージョン	変更内容
2007/02/09	1.0	初版リリース
2007/04/09	1.1	コンフィギュレーションの変更。「GTP CRC 平行インターフェイス タイミング」セクションの削除。
2007/05/11	1.2	ブロック RAM ECC スクラブ モード、AC JTAG、GTP CRC 平行インターフェイス タイミング、および GTP 送信インターフェイス タイミングのエラッタを追加。コンフィギュレーションの変更。「GTP CRC 平行インターフェイス タイミング」セクションの削除。
2008/05/14	1.3	表 1 の JTAG ID を変更。

## Notice of Disclaimer

THE XILINX HARDWARE FPGA AND CPLD DEVICES REFERRED TO HEREIN ("PRODUCTS") ARE SUBJECT TO THE TERMS AND CONDITIONS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://www.xilinx.com/warranty.htm>. THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED ON THE XILINX DATA SHEET. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE. PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, OR ANY OTHER APPLICATION THAT INVOKES THE POTENTIAL RISKS OF DEATH, PERSONAL INJURY OR PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). USE OF PRODUCTS IN CRITICAL APPLICATIONS IS AT THE SOLE RISK OF CUSTOMER, SUBJECT TO APPLICABLE LAWS AND REGULATIONS. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE.

THE LEGAL DISCLAIMER FOR FPGA ENGINEERING SAMPLES CAN BE VIEWED AT: <http://www.xilinx.com/warranty.htm#engsample>.

この通知は、英語版資料 (EN052、v1.3、2008 年 5 月 14 日発行) を翻訳したものです。