

## 概要

弊社では、デバイスの品質において万全を期しておりますが、Virtex®-5 FPGA エンジニアリング サンプル (ES) デバイスに以下のエラッタが確認されましたのでお知らせいたします。

## 該当デバイス

このエラッタが該当する Virtex-5 デバイスを表 1 に示します。

表 1: このエラッタが該当する Virtex-5 デバイス

デバイス	スピード グレード	JTAG ID (リビジョン コード)
XC5VFX30T CES	-1、-2、-3	6
XC5VFX70T CES	-1、-2、-3	6
XC5VFX100T CES	-1、-2、-3	2
XC5VFX130T CES	-1、-2、-3	2
XC5VFX200T CES	-1、-2	0
パッケージ	すべて	

## ハードウェア エラッタの詳細

このエラッタ発行時における、ハードウェアに関する既知の問題の詳細を示します。

### GTX トランシーバ

#### クロック コレクション

Virtex-5 FPGA GTX トランシーバのクロック コレクション機能では、クロック コレクション シーケンスがスキップまたは追加されるとレシーバでデータが破損する可能性があります。クロック コレクション機能の詳細は、[UG198](#): 『Virtex-5 FPGA RocketIO GTX トランシーバ ユーザー ガイド』を参照して下さい。

この問題は、次の条件すべてに該当する場合に発生します。

- 非同期動作: Virtex-5 FPGA GTX トランシーバのローカル リファレンス クロックが、遠端トランシーバと異なるオシレータで駆動されている。これによってトランシーバの動作周波数間に PPM オフセットが生じ、定期的なクロック コレクションのスキップあるいは追加が必要となる。また、これは Virtex-5 FPGA GTX トランシーバの RXUSRCLK および RXUSRCLK2 ポート が RXRECCLK ポートからではなく、ローカル オシレータから派生していることを示す
- クロック コレクションがイネーブルである
  - CLK\_CORRECT\_USE\_0/1 の属性が「TRUE」に設定されている
- クロック コレクション シーケンスの長さが、1 または 3 バイトである
  - CLK\_COR\_ADJ\_LEN\_0/1 の属性が 1 または 3 に設定されている

これらの条件に適合する場合、後述の回避策を 1 つ実行し、問題を軽減します。XAUI、PCIe®、SRIO、および Infiniband が最も一般的な該当プロトコルですが、非同期動作で使用される場合のみ影響があります。

## 回避策

可能であればデザインを次のように変更します。

- 同期クロッキングの使用
- 2 または 4 バイトのクロック コレクション シーケンスへの変換
- いずれもインプリメントできない場合は、ザイリンクス アンサー #32164 を参照

[UG198](#) 『Virtex-5 FPGA RocketIO GTX トランシーバ ユーザー ガイド』の v2.1 以降では、このエラッタに示すクロック コレクションの動作について適切に記載する予定です。

## PowerPC 440 プロセッサ

### BHT (分岐履歴テーブル)

確定的な実行レイテンシに対しては、BHT 機能を無効にして下さい。

### APU (Auxiliary Processor Unit)

APU のエラッタは次の 2 です。

- 非常にまれなイベントの組み合わせで、命令フェッチによる TLB (Translation Look-aside Buffer) ミスが発生した後、APU がデータをロックまたは破損することがあります。
- FPU (浮動小数点演算ユニット) が PowerPC® 440 では無効、APU では有効の場合、FPU 命令が実行されると、プロセッサは「FPU-unavailable exception」を生成する代わりに不正な「program exception」を生成します。

### その他の情報

プロセッサに関するエラッタの回避策を含む詳細は、ザイリンクス アンサー #30529 を参照して下さい。

## 使用上の注意

### ソフトウェア要件

GTX トランシーバを正しく設定するため、CORE Generator™ を必ず使用して下さい。

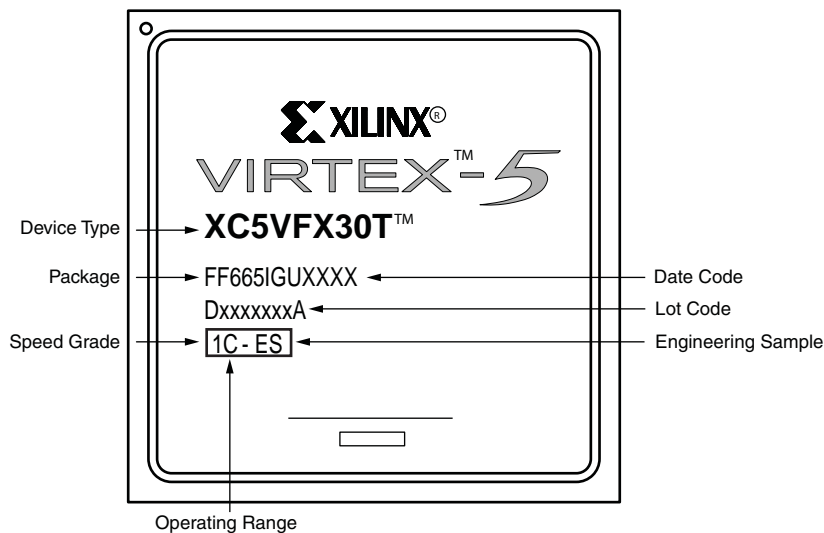
[表 1](#) に示すデバイスを使用する場合は、特に指定のない限り、次のザイリンクス開発ソフトウェアのインストールが必要となります。

- スピード仕様 v1.59 (またはそれ以降)、ザイリンクス ISE™ Design Suite 10.1 (またはそれ以降)
  - -3 スピード グレードの場合は、ザイリンクス ISE Design Suite 10.1 サービス パック 2 (またはそれ以降)
- ステッピングは設定しないで下さい。設定が必要な場合は、ユーザー制約ファイル (UCF) ファイルで次のように「0」として下さい。

```
CONFIG STEPPING = "0";
```

## トレーサビリティ

図 1 に、XC5VFX30T CES デバイスのパッケージ マーク例を示します。表 1 に示すその他のデバイスのマーキングも同様です。



EN057\_01\_031808

図 1 : XC5VFX30T CES のパッケージ マーク例

## お問合せ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

これらのエラッタに関してご質問などがございましたら、ザイリンクス テクニカル サポート

<http://japan.xilinx.com/support/clearexpress/websupport.htm> または販売代理店 <http://japan.xilinx.com/company/contact.htm> までお問い合わせ下さい。

## 改訂履歴

次の表に、この通知の改訂履歴を示します。

日付	バージョン	変更内容
2008/03/31	1.0	初版リリース
2008/07/08	1.1	表 1 に -3 スピード グレードを追加。ソフトウェア要件を更新。
2008/07/25	1.2	XC5VFX200T デバイスの追加。
2009/03/31	1.3	GTX トランシーバ セクションの追加。

## Notice of Disclaimer

THE XILINX HARDWARE FPGA AND CPLD DEVICES REFERRED TO HEREIN (“PRODUCTS”) ARE SUBJECT TO THE TERMS AND CONDITIONS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://www.xilinx.com/warranty.htm>. THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED ON THE XILINX DATA SHEET. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE. PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, OR ANY OTHER APPLICATION THAT INVOKES THE POTENTIAL RISKS OF DEATH, PERSONAL INJURY OR PROPERTY OR ENVIRONMENTAL DAMAGE (“CRITICAL APPLICATIONS”). USE OF PRODUCTS IN CRITICAL APPLICATIONS IS AT THE SOLE RISK OF CUSTOMER, SUBJECT TO APPLICABLE LAWS AND REGULATIONS. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE.

THE LEGAL DISCLAIMER FOR FPGA ENGINEERING SAMPLES CAN BE VIEWED AT: <http://www.xilinx.com/warranty.htm#engsample>.

この通知は、英語版資料 (EN057、バージョン 1.3、2009 年 3 月 31 日発行) を翻訳したものです。