

はじめに

ザイリンクス Virtex™-4 デバイス ファミリをご利用いただき誠にありがとうございます。弊社では、デバイス品質において万全を期しておりますが、表 1 に記載のデバイスに以下のエラッタが確認されましたのでお知らせ致します。

該当デバイス

表 1 に、エラッタが該当する XC4VFX20、XC4VFX40、XC4VFX60、XC4VFX100、および XC4VFX140 デバイスを示します。

表 1：該当デバイス

デバイス	ステップ 0 ⁽¹⁾	ステップ 1
	JTAG ID (リビジョンコード) ⁽²⁾	JTAG ID (リビジョンコード) ⁽²⁾
XC4VFX20C	2	6
XC4VFX20I	NA	6
XC4VFX40C	NA	0
XC4VFX40I	NA	0
XC4VFX60C	2	8
XC4VFX60I	NA	8
XC4VFX100C	0	6
XC4VFX100I	NA	6
XC4VFX140C	NA	4
XC4VFX140I	NA	4
パッケージ	すべて	
スピード グレード	-10、-11、-12 ⁽³⁾	

メモ：

1. I グレード製品は、ステップ 0 では提供していません。
2. リビジョン コードは、JTAG ID コード レジスタのビット [31:28] にあります。詳細は、[UG071](#)：『Virtex-4 コンフィギュレーション ガイド』を参照して下さい。
3. -12 の製品は、C グレード デバイスでのみ入手可能です。XC4VFX140C は、-10 および -11 スピード グレードがあります。XC4VFX140I は -10 スピード グレードでのみ入手可能です。

ハードウェア エラッタの詳細

このエラッタの発行時における、ハードウェアに関する問題の詳細を示します。

FIFO16

次のシーケンスに該当する場合、FIFO16 の ALMOST EMPTY、EMPTY、ALMOST FULL、FULL フラグが適切に生成されません。

1. 読み出しまたは書き込みが、ALMOST EMPTY OFFSET または ALMOST FULL OFFSET のしきい値に達する。
2. ある読み出しまたは書き込みと、次の読み出しまたは書き込みのアクティブクロックエッジが同時、または非常に近い。

ALMOST EMPTY または ALMOST FULL フラグを使用しない場合でも、フラグが適切に動作しないため、予想外のデータまたは無効なデータが出力される可能性があります。

この問題は、読み出しと書き込みが同時に実行されない FIFO16 アプリケーションでは発生しません。これらを同時に実行するアプリケーション用には、問題の回避方法としてダウンロード可能なマクロが利用できます。ただし、データシートに記載された条件を満たさない場合があります。詳細は、[UG070](#): 『Virtex-4 ユーザーガイド』の FIFO16 エラー発生条件および回避策のセクションを参照して下さい。

プロセッサブロック

プロセッサブロックのエラッタおよび動作ガイドラインは、ザイリンクス アンサー #20658 を参照して下さい。

RocketIO マルチギガビット シリアル トランシーバ

このエラッタの発行時における Virtex-4 RocketIO™ トランシーバに関する既知の問題の詳細を示します。

8B/10B エンコード

このエラッタに記載のデバイス (表 1) では、アナログ CDR モードで動作させる場合、受信するデータを 8B/10B エンコードする必要があります。

デジタル レシーバ: バッファ バイパス モード

バッファ バイパス モードは、デジタル レシーバと併用できないため、デジタル レシーバの使用時は、バッファードモードを使用して下さい。表 2 に、バッファードモードを使用する場合のデジタル レシーバの属性設定を示します。

表 2: デジタル レシーバの属性設定

属性	バッファードモードの設定値
RX_BUFFER_USE	TRUE
RXCLK0_FORCE_PMACLK	TRUE
DIGRX_SYNC_MODE	FALSE

属性の詳細は、[UG076](#): 『Virtex-4 RocketIO マルチギガビット ユーザーガイド』の「デジタル レシーバ」を参照して下さい。

CDM ESD 保護対応 (ステップ 0 のデバイスにのみ該当)

RocketIO の CDM ピン (TXN、TXP、RXN、RXP、AVCCAUXRX、GNDA、AVCCAUXTX、VTRX、VTTX、AVCCAUXMGT、MGTCLKP、MGTCLKN) の ESD は 250V の製品仕様を満たしていません。XC4VFX20 および XC4VFX60 デバイスは 150V の仕様を、XC4VFX100 デバイスは 100V を仕様を満たします。

ザイリンクスでは現在、RocketIO ピンの ESD の仕様がザイリンクス内の仕様値を下回ることを確認しております。ザイリンクスでは、高速シリアル インターコネクトに対応するよう評価を継続し、ESD への対応に優れた製品をお届けする予定です。

レシーバおよびトランスミッタ PLL の VCO (電圧制御オシレータ) の動作周波数

VCO の最小動作周波数は 2480MHz で、最大動作周波数は出力分周器の値によって制限されます。表 3 に、有効な VCO 動作周波数範囲を出力分周値ごとに示します。これらの範囲外の VCO 動作周波数はサポートされていません。

表 3 : サポートされている VCO 動作周波数範囲

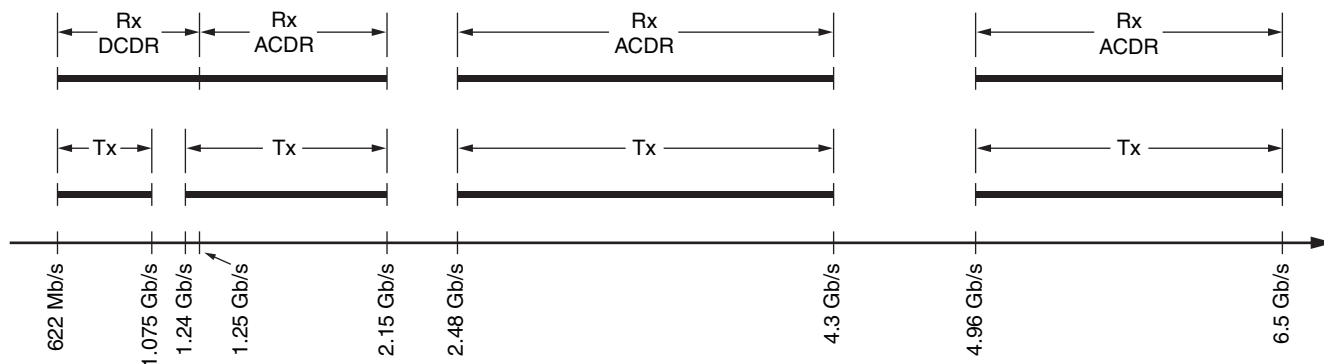
出力分周値 [RX, TX]OUTDIV2SEL	VCO 周波数		単位
	最小	最大	
1	2480	5000	MHz
2	2480	4300	MHz
4	2480		MHz
8	2488 ⁽¹⁾		MHz
16	サポートされていない		—
32			

メモ :

- 出力分周値が 8 の場合、VCO の最小周波数は最小データ レート、622Mb/s によって制限されます。

VCO の動作周波数範囲は、ライン レートに直接影響を与えます。レシーバがアナログ CDR モードで動作している場合、2.15Gb/s ~ 2.48Gb/s および 4.3Gb/s ~ 4.96Gb/s のライン レートはサポートされていません。また、トランスミッタでは 1.075Gb/s ~ 1.24Gb/s、2.15Gb/s ~ 2.48Gb/s、および 4.3Gb/s ~ 4.96Gb/s のライン レートがサポートされていません。

図 1 に、トランスミッタ (Tx)、デジタル CDR モードのレシーバ (Rx DCDR)、およびアナログ CDR モードのレシーバ (Rx ACDR) でサポートされているデータ レートを図示します。



EN070_01_022807

図 1: トランスミッタおよびレシーバのライン レート

トランスミッタ PLL のフィードバック分周値に対する制限

PLL フィードバック分周値が低いと、この値が高い場合と比較して、広帯域で生成されるジッタが少なくなります。表 4 に、サポートされているフィードバック分周値 / 出力分周値の組み合わせを示します。ジッタが生成される場合の仕様は、[DS302](#) : 『Virtex-4 データシート : DC 特性およびスイッチ特性』を参照して下さい。

表 4 : サポートされている、トランスミッタ PLL 分周値の組み合わせ

ライン レート (Mb/s)		出力分周値 TXOUTDIV2SEL	フィードバック分周値 TXPLLNDIVSEL	VCO 周波数 (MHz)	
最小	最大			最小	最大
4960	6500	1	8, 10	2480	3250
2480	4300	2	8, 10	2480	4300
3100	4300	2	16, 20	3100	4300
1240	2150	4	8, 10, 16, 20	2480	4300
622	1075	8	8, 10, 16, 20	2488	4300

メモ :

1. 広帯域でのジッタ生成を低くするには、フィードバック分周値がより低くなるリファレンス クロック周波数を選択して下さい。
2. ライン レート = VCO 周波数 * 2 / TXOUTDIV2SEL です。
3. リファレンス クロック レート = VCO 周波数 / TXPLLNDIVSEL です。

レシーバ PLL の分周値に対する制約

表 5 に、サポートされている PLL 分周値の組み合わせを示します。

表 5 : サポートされている、レシーバ PLL 分周値の組み合わせ

レシーバ モード	ライン レート (Mb/s)		出力分周値 RXOUTDIV2SE	フィードバック分周値 RXPLLNDIVSEL	VCO 周波数 (MHz)	
	最小	最大			最小	最大
アナログ CDR	4960	6500	1	8, 10	2480	3250
	2480	4300	2	8, 10	2480	4300
	3100	4300	2	16, 20	3100	4300
	1250	2150	4	8, 10, 16, 20	2500	4300
デジタル CDR	622	1250	1	8, 10, 16, 20, 32, 40	2488	5000

メモ :

1. ライン レート (アナログ CDR) = VCO 周波数 * 2 / RXOUTDIV2SEL です。
2. ライン レート (デジタル CDR) = VCO 周波数 * 2 / 8 です。
3. リファレンス クロック レート = VCO 周波数 / RXPLLNDIVSEL です。

リファレンス クロック

このエラッタに該当する -10 デバイス (表 1) では、MGTCLK 入力ピンの最大周波数は 400MHz、Peak to Peak の最小差動入力電圧は 250mV です。-11 および -12 デバイスには、このような制約はありません。

すべてのスピード グレードで、GREFCLK 入力ポートの最大周波数は 160MHz です。

RXPCSHCLKOUT ポートおよび TXPCSHCLKOUT ポート

このエラッタに該当するデバイス (表 1) では、RXPCSHCLKOUT および TXPCSHCLKOUT MGT 出力クロックはサポートされていません。

RXSIGDET – OOB (Out-of-Band) 信号の受信時

RXCDRLOS 属性は、[UG076](#): 『Virtex-4 RocketIO マルチギガビット トランシーバ ユーザー ガイド』に記載の規定値および精度通りには動作しません。詳細は、アプリケーション ノート [XAPP732](#): 『Virtex-4 FX RocketIO MGT での非アクティブ トランシーバ動作の回避策』を参照して下さい。

SYNCLK1OUT ポートおよび SYNCLK2OUT ポート

このエラッタに該当するデバイス (表 1) では、GT11CLK の出力ポート SYNCLK1OUT および SYNCLK2OUT から BUFG、PMCD、DCM への接続がサポートされています (表 6 参照)。

表 6: BUFG、PMCD、DCM への SYNCLK1OUT および SYNCLK2OUT

接続先	最大周波数 (MHz)	
	C グレード	I グレード
BUFG	375	312
DCM、PMCD	290	サポートされていない

静止条件での動作

静止条件での動作は、使用予定のあるトランシーバに対してのみ考慮すべき問題であり、未使用の予定のトランシーバへの対応は必要ありません。詳細は、[XAPP732](#): 『Virtex-4 FX RocketIO MGT での非アクティブ トランシーバ動作の回避策』を参照して下さい。

ステップ 0 デバイスに該当:

次の 3 条件すべてに該当する場合、トランシーバでデータの適切な送受信が行われなくなる可能性があります。

1. FPGA に電源が投入されている。
2. FPGA がコンフィギュレーションされていない。または、FPGA はコンフィギュレーションされているが、トランシーバがインスタンス化されていない。
3. 上記の (1) および (2) の状態が、100 T_J で累計 170 時間、85 T_J で累計 400 時間、または 60 T_J で累計 2,000 時間を越える。

(1) および (2) の状態が同時に生じているが、ダイナミック動作 (FPGA はコンフィギュレーションされ、トランシーバがインスタンス化されて、レシーバでデータ伝送が行われている) によってその状態が断続的となっている場合、静止状態 (未コンフィギュレーション、かつ未インスタンス化) の時間は、85 T_J で累計 6,000 時間 — 条件 (3) の 15 倍の時間まで延長できます。このとき、静止状態 1 回の時間は、ダイナミック動作後に再び静止状態になるまでの時間全体の 5% 未満、かつ 10 分以内でなければなりません。MGT の静止状態が 10 分以上継続した場合、許容可能な時間は、85 T_J で累計 400 時間まで一定の比率で減少します。

ステップ 1 デバイスに該当:

次の 3 条件すべてに該当する場合、トランシーバでデータの適切な送受信が行われなくなる可能性があります。

1. FPGA に電源が投入されている。
2. FPGA がコンフィギュレーションされていない。または、FPGA コンフィギュレーションされているが、トランシーバがインスタンス化されていない。
3. 上記の (1) および (2) の状態が、100 T_J で累計 1,100 時間、85 T_J で 2,500 時間、または 60 T_J で 12,000 時間を越える。

ステップ 0、C グレードおよびステップ 1、I グレード デバイスに該当:

レシーバでデータ送信が行われていない場合、キャリブレーション ブロック v1.4.1 を有効にする必要があります。詳細は、[XAPP732](#): 『Virtex-4 FX RocketIO MGT での非アクティブ トランシーバ動作の回避策』を参照して下さい。ステップ 1 の C グレード デバイスでは、キャリブレーション ブロックを使用する必要はありません。

TXENOOB ポート – OOB (Out-of-Band) 信号の送信時 (ステップ 0 のデバイスにのみ該当)

TXENOOB がアサートされると、差動出力ピン (TXP/TXN) の Peak to Peak の振幅は 65mV を超える可能性があります。この回避策は、ザイリンクス アンサー #23481 を参照して下さい。

使用上の注意

ソフトウェア要件

エラッタに該当するデバイスを使用する場合、特記のない限り、表 7 に示すスピード仕様およびザイリンクス開発ソフトウェアのインストールが必要になります。

表 7: 最低限必要なスピード仕様および ISE ソフトウェア バージョン

スピード グレード	スピード仕様	ザイリンクス ISE バージョン
-10	v1.58	8.1i サービス パック 2 (SP2)
-11	v1.62	8.2i サービス パック 3 (SP3)
-12	v1.65	9.2i サービス パック 1 (SP1)

メモ:

- XC4VFX40 デバイスと XC4VFX140 デバイス (すべてのスピード グレード) および XC4VFX100 デバイス (-12 スピード グレードのみ) では、スピード仕様 v1.65 またはそれ以降を使用する必要があります。今回、適切なスピード仕様ラベルのリリース前に、これらのデバイス (およびスピード グレード) が量産リリースされることとなります。このような記載の不一致は、今後のスピード仕様のリリースで修正されます。ラベルとは、Advance、Preliminary、Production のいずれかを示します。

- ISE に関して質問がございましたら、ザイリンクス テクニカル サポートまでお問い合わせ下さい。ソフトウェアのサービス パックは次のウェブ サイトから入手できます。

http://japan.xilinx.com/xlnx/xil_sw_updates_home.jsp

ステッピングは、制約ファイル (UCF ファイル) で 「0」 または 「1」 に設定する必要があります。

CONFIG STEPPING = "0";

または

CONFIG STEPPING = "1";

これらの値を使用すると、ISE ソフトウェアでは小規模なマクロが挿入されるため、DCM_INPUT_CLOCK_STOP の要件が削除されます。

- Virtex-4 の機能に関連する ISE ソフトウェアの既知の問題については、次のサイトを参照して下さい。

http://japan.xilinx.com/xlnx/xil_ans_display.jsp?iLanguageID=2&iCountryID=2&getPagePath=19713

補足および推奨事項

Virtex-II および Virtex-II Pro FPGA をご使用のお客様へ

Virtex-4 での CCLK 仕様は LVCMOS 12mA Fast スルー レートです。ザイリンクスでは、この新しい仕様で設計することを推奨します。

トレーサビリティ

図 2 に、XC4VFX60C のパッケージ マークを示します。表 1 にあるその他のデバイスの場合も同様です。

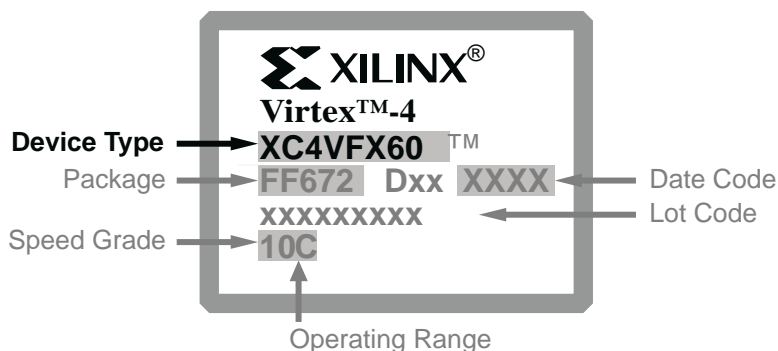


図 2: XC4VFX60C のパッケージ マーク例

問い合わせ先

その他すべての機能およびタイミングは、データシートの仕様を満たしています。

このエラッタに関しましてご質問などございましたら、弊社のテクニカル サポート、

<http://japan.xilinx.com/support/clearxpress/websupport.htm> または販売代理店、

<http://japan.xilinx.com/company/contact.htm> までお問い合わせ下さいませようお願い致します。

最新版エラッタの入手について

ご覧になっている通知が、印刷された文書またはお手元のコンピュータ保存文書の場合は、最新版であることをご確認下さい。最新版は、次のザイリンクス ウェブ サイトより入手頂けます。

http://japan.xilinx.com/xlnx/xweb/xil_publications_index.jsp?category=Errata

このエラッタの内容に変更が生じた際にアラートを電子メールで受信するには、次のアンサー レコードを参照して登録を行って下さい。

http://japan.xilinx.com/xlnx/xil_ans_display.jsp?getPagePath=18815

このエラッタは、次の Virtex-4 関連資料に適用されます。

『Virtex-4 ファミリ概要』 (<http://japan.xilinx.com/bvdocs/publications/ds112.pdf>)

『Virtex-4 データシート』 (<http://japan.xilinx.com/bvdocs/publications/ds302.pdf>)

『Virtex-4 ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug070.pdf>)

『XtremeDSP™ ユーザー ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug073.pdf>)

『Virtex-4 コンフィギュレーション ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug071.pdf>)

『Virtex-4 パッケージ ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug075.pdf>)

『Virtex-4 RocketIO マルチギガビット トランシーバ ユーザー ガイド』
(<http://japan.xilinx.com/bvdocs/userguides/ug076.pdf>)

『PowerPC™ 405 プロセッサ ブロック リファレンス ガイド』 (<http://japan.xilinx.com/bvdocs/userguides/ug018.pdf>)

改訂履歴

日付	バージョン	説明
2006/06/21	1.0	初版リリース
2006/10/06	1.1	表 1 に -11 スピード仕様を追加。「アナログ レシーバ範囲」、「デジタル レシーバ: バッファ バイパス モード」、および「リファレンス クロック」を更新。プロセッサ ブロック「周波数について」を削除。「ソフトウェア要件」のスピード仕様を更新。
2006/12/20	1.2	「プロセッサ ブロック」、「8B/10B エンコード」、「CDR 動作範囲の制限」、「デジタル レシーバ: バッファ バイパス モード」、「リファレンス クロック」、「レシーバおよびトランスミッタ PLL の VCO (電圧制御オシレータ) の動作周波数」、および「ソフトウェア要件」を変更。アナログ レシーバ範囲についての説明を削除 (この情報は、データシートに記載)。HBM ESD 保護および静止動作ビヘイビアについての説明を削除。
2007/04/27	1.3	表 1 にステップ 1 の情報を追加。「属性設定」セクション、 UG076 に記載の情報を削除。「総ジッタ」および「CDR 動作範囲の制限」セクションを削除し、「レシーバおよびトランスミッタ PLL の VCO (電圧制御オシレータ) の動作周波数」、「トランスミッタ PLL のフィードバック分周値に対する制限」、および「レシーバ PLL の分周値に対する制約」セクションを追加。「リファレンス クロック」を更新 (GREFCLK の制限を追加)。
2007/06/11	1.4	ステップ 1 の I グレード製品および -12 C グレード製品の情報を更新: 表 1、「CDM ESD 保護対応 (ステップ 0 のデバイスにのみ該当)」、「リファレンス クロック」、「SYNCLK1OUT ポートおよび SYNCLK2OUT ポート」、「静止条件での動作」、「TXENOOB ポート – OOB (Out-of-Band) 信号の送信時 (ステップ 0 のデバイスにのみ該当)」、および「ソフトウェア要件」セクション。
2007/07/30	1.5	「静止条件での動作」セクションを更新。
2007/09/10	1.6	XC4VFX40 および XC4VFX100I デバイスを追加。「ソフトウェア要件」セクションを更新。
2007/10/01	1.7	XC4VFX140 デバイスを追加。
2008/05/14	1.8	表 1 の JTAG に関する情報を更新。

Notice of Disclaimer

THE XILINX HARDWARE FPGA AND CPLD DEVICES REFERRED TO HEREIN (“PRODUCTS”) ARE SUBJECT TO THE TERMS AND CONDITIONS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://www.xilinx.com/warranty.htm>. THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED ON THE XILINX DATA SHEET. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE. PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, OR ANY OTHER APPLICATION THAT INVOKES THE POTENTIAL RISKS OF DEATH, PERSONAL INJURY OR PROPERTY OR ENVIRONMENTAL DAMAGE (“CRITICAL APPLICATIONS”). USE OF PRODUCTS IN CRITICAL APPLICATIONS IS AT THE SOLE RISK OF CUSTOMER, SUBJECT TO APPLICABLE LAWS AND REGULATIONS. ALL SPECIFICATIONS ARE SUBJECT TO CHANGE WITHOUT NOTICE.

THE LEGAL DISCLAIMER FOR FPGA ENGINEERING SAMPLES CAN BE VIEWED AT: <http://www.xilinx.com/warranty.htm#engsample>.

このエラッタは、英語版 (EN070、バージョン 1.8、2008 年 5 月 14 日発行) を翻訳したものです。