

## 概要

ATC2 (Agilent Trace Core 2) は、カスタマイズ可能なデバッグ キャプチャ コアであり、特に最新の Agilent Technologies 社のロジック アナライザーと連動するように設計されています。ATC2 を使用すると、外部の Agilent Technologies 社のロジック アナライザーから FPGA デザイン内部のネットヘアクセスできるようになります。

## 機能

ATC2 コアのデータパスには、次が含まれます。

- ユーザーの FPGA デザインに接続される、実行時に選択可能な最大 64 個の入力信号バンク
  - Agilent Technologies 社のロジック アナライザーのプロブ コネクタに接続される最大 128 個の出力データピン
  - 各出力データピンで使用可能な 2x TDM (時分割多重) を使用すると (オプション)、個々の信号バンク幅を 64 から 2 倍の 128 ビットに変更可能
  - 非同期タイミングおよび同期ステート キャプチャ モードを共にサポート
  - それぞれの出力データピンに対して、ピンごとにすべての有効な I/O 規格、駆動能力、および出力スループートをサポート
  - Agilent Technologies 社のプロブ接続技術をサポート
- 動作時に使用可能なデータプロブポイントの最大数は、次の式で求められます。

$$(64 \text{ データポート}) * (\text{データポートごとに } 64 \text{ ビット}) * (2x \text{ TDM}) = 8,192 \text{ プロブポイント}$$

IP に関する情報					
コアの内容					
サポートされるデバイスファミリ (1)	Kintex™ <sub>7</sub> (2)、Virtex® <sub>7</sub> (2)、Virtex-6(3)、Virtex-5、Virtex-4、Spartan® <sub>6</sub> (4)、Spartan-3/XA、Spartan-3A/3AN/3A DSP/XA、Spartan-3E/XA				
サポートされるユーザーインターフェイス	なし				
コアに含有されるもの					
リソース					周波数
コンフィギュレーション (5)	LUT	フリップフロップ	DSP スライス	ブロック RAM	最大周波数
コンフィギュレーション 1	108	77	0	0	196.336 MHz
コンフィギュレーション 2	1536	145	0	0	227.40 MHz
コンフィギュレーション 3	267	107	0	0	195.261 MHz
資料	製品仕様、ユーザーガイド				
デザインファイル	ネットリスト				
デザイン例	Verilog/VHDL				
テストベンチ	なし				
制約ファイル	ザイリンクス制約ファイル				
シミュレーションモデル	なし				
その他	CDC (Signal Description) ファイル				
テスト済みデザイン ツール (6)					
デザイン入力ツール	CORE Generator、System Generator、XPS				
シミュレーション	なし				
合成ツール	なし				
サポート					
ザイリンクスによるサポートあり					

### メモ:

1. サポートされるデバイスについては、このコアのリリース ノートを参照してください。
2. 詳細は、『7 シリーズ FPGA 概要』(DS180) を参照してください。
3. 詳細については、『Virtex-6 ファミリー概要』(DS150) の製品仕様を参照してください。
4. 詳細については、『Spartan-6 ファミリー概要』(DS160) の製品仕様を参照してください。
5. 詳細については、8 ページの表 3 を参照してください。
6. サポートされるツールのバージョンは、『ISE Design Suite 13 : リリース ノート ガイド』を参照してください。

## アプリケーション

ATC2 コアは、ChipScope Pro ソフトウェアおよび外部の Agilent 社のロジック アナライザーで検証またはデバッグする必要のあるアプリケーションで使用されるように設計されています。

## ファンクションの詳細

ATC2 コアとの通信は、図 1 のように、ICON コアを介した JTAG ポートへの接続を使用して行われます。

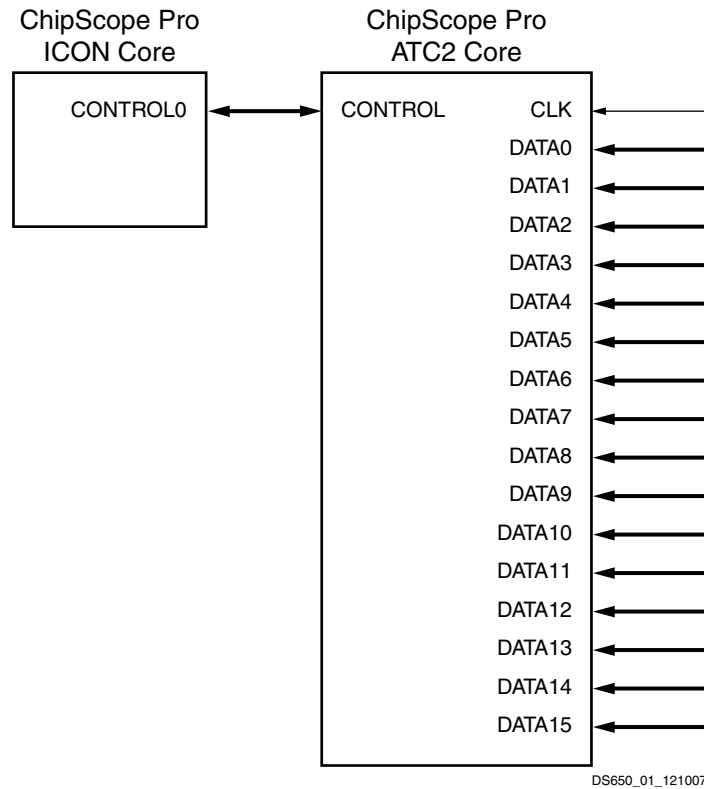


図 1 : ATC2 コアと ICON コアの接続

## コアのデータ キャプチャおよび実行時の制御

ATC2 コアを通過するデータをトリガーおよびキャプチャするには、外部の Agilent Technologies 社のロジック アナライザーが使用されます。これにより、Agilent Technologies 社のロジック アナライザーの複雑なトリガー、ワード数の多いトレースメモリ、およびシステム レベルのデータ関連機能を十分に活用できます。また、ロジック アナライザーを使用すると、ATC2 コアで提供される内部デザイン ノードがより見やすくなるほか、JTAG ポート接続を介して ATC2 コアと通信することによって、動作時にアクティブ データ ポート選択を制御することもできます。

## CORE Generator

CORE Generator ツールを使用すると、カスタマイズした ATC2 コアを定義および生成して、外部の Agilent Technologies 社のロジック アナライザーのキャプチャ機能を HDL デザインに追加できます。ユーザーは、外部キャプチャに使用するピン数とそのピンの特性や、必要な入力データ ポート数をカスタマイズできるほか、使用するキャプチャ モード (State または Timing) や TDM 圧縮モード (1x または 2x) などもカスタマイズできます。

CORE Generator で定義したパラメーターが有効になると、XST ネットリスト (\*.ngc) やその HDL 言語専用のその他のファイルが生成され、合成ツールで CORE Generator プロジェクトが関連付けられます。CORE Generator を使用すると、通常の FPGA デザイン フローで使用されるネットリストおよびコード例が簡単に生成できます。

CORE Generator の IP カタログで [Debug & Verification] → [ChipScope Pro IP] → [ATC2 (ChipScope Pro - Agilent Trace Core 2)] を選択し、ウィンドウの右の [Customize and Generate] リンクをクリックします。

## ATC2 コアの [Acquisition] および [State Options] パラメーター

CORE Generator で ATC2 コアの [Acquisition] および [State Options] パラメーターを設定します。

### コンポーネント名の入力

[Component Name] フィールドには、英数字の任意の組み合わせとアンダースコア (\_) を使用できます。ただし、アンダースコアはコンポーネント名の最初には使用できません。

### デザイン例の生成

ATC2 コアを CORE Generator で生成すると、ネットリストおよびインスタンスエーション テンプレート ファイルなどの標準的なザイリンクス CORE Generator の出力ファイルのみが生成されます。また、ATC2 コアを使用するデザイン例も生成する場合は、[Generate Example Design] チェック ボックスをオンにします。デザイン例には、ソース コードおよびインプリメンテーション スクリプト ファイルなどを含むデザインのインプリメンテーションに必要なファイルがすべて含まれます。

### [Acquisition] モードの選択

ATC2 コアの [Acquisition] モードは、非同期データ キャプチャの場合は [Timing - Asynchronous Sampling] モードに、CLK 入力信号に対する同期データ キャプチャの場合は [State - Synchronous Sampling] モードに設定できます。State モードの場合、ATC2 コアを通るデータ パスでは、CLK 入力ポート信号からクロックの供給されるパイプライン フリップフロップが使用されます。Timing モードの場合、ATC2 コアを通るデータ パスは出力ピンまで純粋に組み合わせロジックのみで構成されます。また、このモードの場合は ATCK ピンも追加のデータ ピンとして使用されます。

### 最大周波数の範囲

[Max Frequency Range] パラメーターには、ATC2 コアの動作する最大周波数の範囲を指定します。ATC2 コアのインプリメンテーションは、この最大周波数範囲の選択に合わせて最適化されます。有効な最大周波数範囲は、0 ~ 100MHz、101 ~ 200MHz、201 ~ 300MHz、および 301 ~ 500MHz です。最大周波数範囲の選択がコアのインプリメンテーションに影響するのは、[Acquisition] モードを [State - Synchronous Sampling] に設定した場合のみです。

### TDM レート

ATC2 コアでは、キャプチャしたトレース データを格納するのにオンチップ メモリ リソースは使用されません。その代わりに、データを送信し、特別なプローブ コネクタを使用して FPGA ピンに接続された Agilent Technologies 社のロジック アナライザーでキャプチャされるようにします。このデータは、デバイス ピンから入力 DATA ポートと同じレート ([TDM Rate] = 1x) か 2 倍のレート ([TDM Rate] = 2x) で送信されます。TDM レートは、[Acquisition] モードが [State - Synchronous Sampling] の場合は 2x にしか設定できません。

## ATC2 コアのピンおよび信号パラメーター

ATC2 コアの [Acquisition] モードとステート オプションを設定したら、[Next] をクリックします。次に表示される CORE Generator の画面では、ATC2 のピンおよび信号パラメーターを設定できます。

### 自動設定のイネーブル

[Enable Auto Setup] オプションをオンにすると、Agilent Technologies 社のロジック アナライザーのポッド接続に対して最適な ATC2 ピンが自動的に設定されるようになります。また、Agilent Technologies 社のロジック アナライザーで各 ATC2 ピンに対して最適な位相と電圧サンプリング オフセットも自動的に設定されるようになります。このオプションは、デフォルトでオンになっています。

## 常にオン モードのイネーブル

[Enable Always On Mode] オプションを使用すると、ATC2 コアで常にその内部ロジックと出力バッファがイネーブルになります。オンの場合、FPGA デバイスがコンフィギュレーションされると、信号バンク 0 が ATD ピンから駆動されます。このモードになっていると、最初に ATC2 コアを手動で設定しなくても、デバイス コンフィギュレーション直後のイベントをキャプチャできます。このオプションはデフォルトでオフになっていて、[Acquisition] モードが [Timing - Asynchronous Sampling] に設定されている場合にのみオンにできます。

## ATD ピン カウント

ATC2 コアには、4 ~ 64 個の ATD 出力ピンをインプリメントでき、[ATD Pin Count] で指定できます。

## ドライバ エンドポイント タイプ

[Driver Endpoint Type] では、シングルエンド ドライバーと差動出力ドライバーのどちらかを ATCK および ATD 出力ピンに使用するかを指定できます。すべての ATCK および ATD ピンで同じドライバー エンドポイント タイプを使用する必要があります。

## ピン編集モード

ピン編集モードを使用すると、個別ピンまたはピンのグループごとに I/O 規格、駆動、スルー レート ピンのパラメーターを変更できるので、時間を節約できます。[ATD drivers same as ATCK] をオンにすると、ATCK ピン パラメーターを変更できるようになり、すべての ATD ピンを同じ設定にできます。[ATD drivers different than ATCK] をオンにすると、各ピンのパラメーターを個別に編集できます。このパラメーター設定に関係なく、各ピンはそれぞれ別々の位置に設定する必要があります。

## 信号バンク カウント

ATC2 コアには、内部の実行時に選択可能なデータ信号バンクのマルチプレクサーが含まれます。[Signal Bank Count] は、このマルチプレクサーのインプリメントするデータ入力ポート数または信号バンク数を指定するために使用されます。[Signal Bank Count] に使用できる値は、1、2、4、8、16、32、64 です。

## 信号バンク幅

ATC2 コアの各入力信号バンクのデータ ポートの幅は、キャプチャ モードおよび TDM レートによって異なります。State モードの場合、各信号バンクのデータ ポート幅は、(ATD ピン カウント) \* (TDM レート) になります。Timing モードの場合、各信号バンクのデータ ポート幅は、ATCK ピンが追加データ ピンとして使用されるため、(ATD ピン カウント + 1) \* (TDM レート) になります。

## ATC2 コアの ATCK および ATD ピンのパラメーター

ATC2 コアのピンと信号パラメーターを設定したら、[Next] をクリックします。次に表示される CORE Generator の画面では、ATCK と ATD ピンのパラメーターを設定できます。

出力クロック (ATCK) とデータ (ATD) ピンは、あらかじめ ATC2 コア内にインスタンス化されています。このため、各階層レベルからデザインの最上位レベルに ATCK および ATD ピンを手動で移動する必要はありませんが、CORE Generator でこれらのピンの位置とその他の特性は指定する必要があります。これらのピン属性は、ATC2 コアの NCF ファイルに追加されます。このピン パラメーターの表で、各 ATCK および ATD ピンの位置、I/O 規格、出力駆動、スルー レートを指定します。

### [Pin Name]

ATC2 コアには、ATCK と ATD の 2 種類の出力ピンがあります。ATCK ピンは、キャプチャ モードが State の場合はクロック ピンとして、Timing の場合はデータ ピンとして使用されます。ATD ピンは常にデータ ピンとして使用されます。これらのピン名は変更できません。

### [Pin Loc]

[Pin Loc] 列は、ATCK または ATD ピンの位置を設定するために使用されます。

## [IO Standard]

[IO Standard] 列は、ATCK または ATD ピンの I/O 規格を設定するために使用されます。選択可能な I/O 規格は、デバイスファミリとドライバのエンドポイント タイプによって異なります。I/O 規格の名前は、ザイリンクス ソフトウェア資料の『制約ガイド』の「IOSTANDARD」セクションと同じになります。

## [Drive]

[Drive] 列では、ピンドライバーの最大出力駆動電流を指定でき、[IO Standard] の選択によって、2 ~ 24mA を指定できます。

## [Slew Rate]

[Slew Rate] 列は、ATCK または ATD ピンごとに、FAST か SLOW に設定できます。

## コアの生成

ATC2 コアのパラメータを設定したら、[Generate] をクリックして ATC2 コア ファイルを生成します。ATC2 コアの生成中は、進捗状況を示すインジケータが表示されます。ATC2 コアの生成が終了するまでに、ホスト コンピューター システムによって数分かかることがあります。ATC2 コアが生成されたら、生成されたファイルのリストが [Readme (コア名)] ウィンドウに表示されます。

## コアの使用

デザインに ATC2 コアの HDL サンプル ファイルをインスタンス化するには、次の手順に従って ATC2 コアのポート信号をデザイン内の信号に接続します。

- ATC2 コアの CONTROL ポート信号は、デザイン内の ICON コア インスタンスの未使用制御ポートに接続します。
- ATC2 コアのデータおよびトリガー ポート信号の未使用ビットは、すべて 0 に接続します。このように接続すると、マップ時に未使用トリガー / データ信号が削除されなくなるほか、インプリメンテーション プロセス中の DRC エラーの発生も回避できます。
- 最適な結果を得るには、State モードの入力データ ポート信号は ATC2 クロック信号 (CLK) と必ず同期するようにしてください。これは、Timing モードの入力データ ポート信号の場合は重要ではありません。

## ポートおよびパラメーター

### ポート

表 1 は、ATC2 インターフェイス ポートのリストとその説明です。

表 1: ATC2 インターフェイス ポート

ポート名	方向	説明
CLK	IN	データをステート モードで同期するのに必要なデザイン クロックです。オプションです (state_synchronous パラメータによって異なる)。
CONTROL[35:0]	INOUT	ICON コアの制御バスで、必須です。
DATA<n>[<m>-1:0]	IN	幅 <m> のデータ信号の入力バンク数 <n> です。必須の <n> = 0 以外はオプションです (signal_bank_count = <n>+1 パラメータ (<n> は 1 ~ 63 のいずれか) によって異なる)。

## XCO パラメーター

表 2 は、ATC2 の XCO パラメーターを示しています。

表 2 : ATC2 の XCO パラメーター

パラメーター名	使用可能な値	デフォルト値	説明
atck_drive	なし (1)	なし (1)	ATCK ピンの駆動電流
atck_io_standard	なし (1)	なし (1)	ATCK ピンの I/O 規格
atck_pin_loc	アルファベット文字および数字すべて	なし	ATCK ピンのピン位置
atck_slew_rate	fast、slow	fast	ATCK ピンのスルー レート
atd_drivers	same_as_atck、different_than_atck	same_as_atck	すべてのデータ ピンに ATCK 設定 (same_as_atck) を使用するか、データ ピンごとに個別の設定 (different_than_atck)
atd_pin_count	4-64	8	使用するデータ ピンの数
atd<n>_drive	なし (1)	なし (1)	データ ピン <n> の駆動電流
atd<n>_io_standard	なし (1)	なし (1)	データ ピン <n> の I/O 規格
atd<n>_pin_loc	アルファベット文字および数字すべて	なし	データ ピン <n> のピン位置
atd<n>_slew_rate	fast、slow	fast	データ ピン <n> のスルー レート
component_name	A ~ z、0 ~ 9、および _ (アンダースコア) を含む文字列	atc2	コンポーネント インスタンスの名前
driver_endpoint_type	single-ended、differential	single-ended	使用する出力ドライバの種類。すべてのピンに適用されます。
enable_always_on_mode	true、false	false	FPGA コンフィギュレーション直後に測定をイネーブルにします。
enable_auto_setup	true、false	true	データを正しくアライメントするためのテストパターンを使用する回路を含めます。
max_frequency_range	0-100_mhz、101-200_mhz、201-300_mhz、301-500_mhz	0-100_mhz	コアの動作範囲を設定します。これはコア生成時の機能設定中に使用されます。
signal_bank_count	1、2、4、8 16、32、64	1	信号バンク数
tdm_rate	1x、2x	1x	デザイン速度の 1x または 2x 多重の TDM (時分割多重) レート

### メモ :

1. 使用可能な I/O 規格は、選択した FPGA デバイス ファミリによって異なります。詳細は、該当する FPGA デバイス ファミリのデータシートを参照してください。選択した I/O 規格によっては、別の駆動電流が選択できるようにもなります。

## 制限

1 つのデザインには、最大で 15 個までの ATC2 コアが使用できます。

## パフォーマンスおよびリソース使用率

表 3 は、コンフィギュレーション番号と関連するデバイスを示しています。

表 3：コンフィギュレーションの詳細

コンフィギュレーション番号	デバイス	説明
Config1	Xc7v585t-2ffg1157	信号バンク カウント - 2、ピン カウント - 8
Config2	Xc7v585t-3ffg1157	信号バンク カウント - 64、ピン カウント - 64
Config3	Xc7v585t-2ffg1157	信号バンク カウント - 16、ピン カウント - 32

## 検証

ATC2 コアは、ザイリンクス社内で開発されたバス ファンクション モデルを使用し、IP テスト環境で検証されています。

## 参考資料

1. ChipScope Pro ソフトウェアとコアの詳細は、<http://japan.xilinx.com/documentation> から『ChipScope Pro ソフトウェア およびコア ユーザー ガイド』を参照してください。

## サポート

ザイリンクスでは、製品マニュアルに記述されているように、この LogiCORE 製品のテクニカル サポートを提供しています。マニュアルで定義されていないデバイスにインプリメントしたり、製品マニュアルで記述されている範囲を超えてカスタマイズしたり、「DO NOT MODIFY」と記述されているセクションに変更を加えたりした場合、タイミング、機能、製品サポートは保証されません。

## 注文情報

Xilinx LogiCORE IP モジュールは、[ザイリンクス エンド ユーザー ライセンス契約書](#)に基づいてザイリンクスの ISE® Design Suite Embedded Edition から無償で提供されています。このコアは、ザイリンクスの ISE Design Suite Embedded Edition ソフトウェア (EDK) を使用して生成されます。

このコアおよびその他の Xilinx LogiCORE IP モジュールの詳細については、ザイリンクスの [IP コア](#)のページを参照してください。その他のザイリンクス LogiCORE モジュールおよびソフトウェアの価格や機能については、[最寄りのザイリンクス販売代理店](#)までご連絡ください。



## 改訂履歴

次の表に、この資料の改訂履歴を示します。

日付	バージョン	改訂内容
2008年3月24日	1.0	リリース 10.1 用 (初期リリース)
2008年4月25日	1.1	リリース 10.1 サービス パック 1 用にアップデート
2008年9月19日	1.2	リリース 10.1 サービス パック 3 用にアップデート
2009年4月7日	2.0	リリース 11.1
2009年6月24日	2.1	リリース 11.2
2011年6月22日	2.2	13.2 リリース用に v1.04a をアップデート

## 免責事項

Xilinx is providing this product documentation, hereinafter “Information,” to you “AS IS” with no warranty of any kind, express or implied. Xilinx makes no representation that the Information, or any particular implementation thereof, is free from any claims of infringement. You are responsible for obtaining any rights you may require for any implementation based on the Information. All specifications are subject to change without notice. XILINX EXPRESSLY DISCLAIMS ANY WARRANTY WHATSOEVER WITH RESPECT TO THE ADEQUACY OF THE INFORMATION OR ANY IMPLEMENTATION BASED THEREON, INCLUDING BUT NOT LIMITED TO ANY WARRANTIES OR REPRESENTATIONS THAT THIS IMPLEMENTATION IS FREE FROM CLAIMS OF INFRINGEMENT AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE. Except as stated herein, none of the Information may be copied, reproduced, distributed, republished, downloaded, displayed, posted, or transmitted in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx.

本資料は英語版 (v2.2) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。