

はじめに

AXI バス ファンクション モデル (BFM) は、Cadence Design Systems 社によりザイリンクス用に開発されたモデルで、AXI ベースのカスタム IP のシミュレーションをサポートします。AXI BFM は、AXI のすべてのバージョン (AXI3、AXI4、AXI4-Lite、および AXI4-Stream) をサポートしており、暗号化された Verilog モジュールで提供されています。BFM の動作は、Verilog 構文のテキスト ファイルに記述された Verilog タスクで制御します。Verilog タスクの API については、『AXI バス ファンクション モデル データシート』で説明しています。

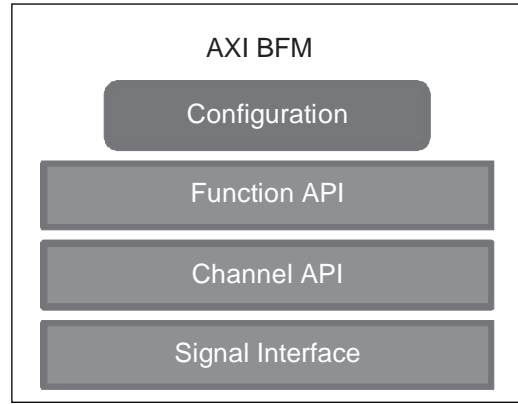
機能

- すべてのプロトコル データ幅、アドレス幅、転送タイプ、および応答をサポート
- トランザクション レベルのプロトコル チェック (バースト タイプ、長さ、サイズ、ロック タイプ、キャッシュ タイプ)
- ビヘイビア Verilog 構文
- Verilog タスク ベースの API
- ISE で提供、ザイリンクス生成のライセンスによりイネーブル

概要

このセクションでは、一般的な AXI BFM 構造のアーキテクチャの概要と、AXI BFM がテスト環境でどのように使用されるかを説明します。

図 1 に、一般的な AXI BFM アーキテクチャを示します。



UG783_01_102710

図 1 : AXI BFM アーキテクチャ

AXI BFM はすべて、信号インターフェイス、チャンネル API、および関数 API の 3 層で構成されています。信号インターフェイスには、通常の Verilog 入力/出力ポートおよび関連の信号が含まれています。チャンネル API は定義済みの Verilog タスクのセットで、AXI プロトコル特有の次の基本的なトランザクション レベルで動作します。

- 読み出しアドレス チャンネル
- 書き込みアドレス チャンネル
- 読み出しデータ チャンネル
- 書き込みデータ チャンネル
- 書き込み応答チャンネル

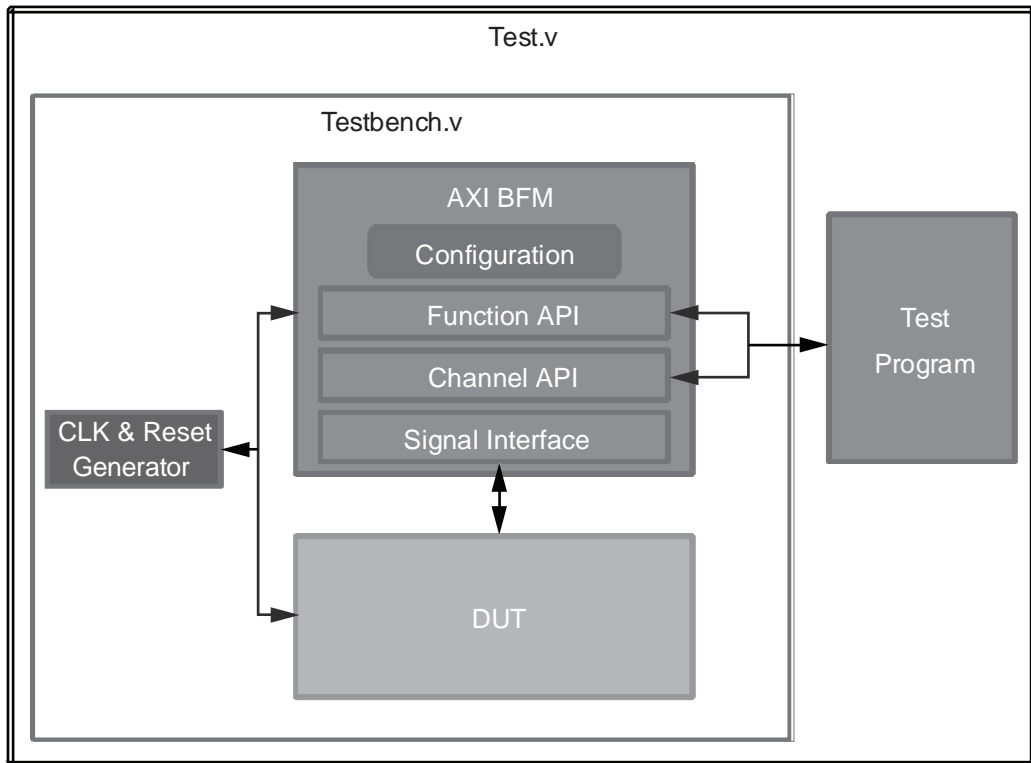
このようにチャンネルに分割されているため、各チャンネルに関連付けられているタスクを同時または順次に実行できます。これにより、アウト オブ オーダー転送やインターリーブデータの転送などを制御およびインプリメントできます。

チャンネル API 階層の上には、関数レベル API があります。このレベルでは、トランザクション レベルでの完全な制御が可能です。たとえば AXI 読み出しバースト プロセス全体を 1 つの Verilog タスクにまとめることができます。

AXI BFM アーキテクチャでもう 1 つ重要なのは、コンフィギュレーションの機構です。コンフィギュレーションの機構は Verilog パラメーターおよび BFM 内部変数を使用してインプリメントされ、アドレス バス幅、データ バス幅、およびその他のパラメーターを設定するのに使用されます。Verilog の define ではなくパラメーターを使用するのは、1 つ

のテストベンチで各 BFM を個別にコンフィギュレーションできるようにするためです。たとえば、AXI マスターのデータバス幅を、接続されているスレーブの 1 つとは異なるデータバス幅に設定できます (この場合、インターコネクトでこの違いに対応)。BFM 内部変数は、シミュレーション中に変更される可能性のあるコンフィギュレーション変数に使用されます。すべてのコンフィギュレーション オプションのリストは、『AXI バス ファンクション モデル データシート』(DS824) を参照してください。

図 2 に、AXI BFM の使用法を示します。



UG783_02_102710

図 2 : AXI BFM の使用法

図 2 に示されている AXI BFM は 1 つですが、テストベンチには複数の AXI BFM を含めることができます。DUT および AXI BFM は、クロックおよびリセット ジェネレーターが含まれるテストベンチにインスタンス化します。その後、テストベンチをテスト モジュールにインスタンス化し、BFM API 層を使用してテストプログラムを作成します。テストプログラムは fork および join を使用して、API タスクを順次または同時に呼び出します。テストプログラムおよびテストベンチの設定の例は、『AXI バス ファンクション モデル データシート』(DS824) を参照してください。

サポート

ザイリンクスは、製品資料に記述されているように、この製品のテクニカル サポートを提供しています。資料で定義されていない方法で使用したり、製品資料に記述されていない方法で変更したり、「DO NOT MODIFY」と記述されているデザイン セクションに変更を加えたりした場合、機能および製品サポートは保証されません。

注文情報

AXI バス ファンクション モデルは、[ザイリンクス ソフトウェア エンド ユーザー ライセンス契約](#)に基づいて提供されています。モデルのフル ライセンスは、ザイリンクスから別途に購入する必要があります。

その他のザイリンクス モジュールおよびソフトウェアの価格および入手方法については、最寄りの[ザイリンクス販売代理店](#)までご連絡ください。その他のザイリンクス ソリューションの情報は、[IP コアのページ](#)を参照してください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2010年12月14日	1.0	初版リリース
2011年6月22日	2.0	v1.9のコア用にアップデート

免責事項

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v2.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。