

概要

Virtex®-7 FPGA GTX トランシーバー用の ChipScope™ Pro の Integrated Bit Error Ratio Tester (IBERT) はカスタマイズ可能なコアで、Virtex-7 FPGA GTX トランシーバーの評価および監視のために使用できます。このコアには、FPGA ロジックにインプリメントされたパターン ジェネレーターおよびパターン チェッカーのほか、GTX トランシーバーのポートと DRP (ダイナミック リコンフィギュレーションポート) 属性へのアクセスが含まれます。また、通信ロジックも含まれ、JTAG (Joint Test Action Group) を使用してランタイムにアクセスできるようになっています。このコアは、本書で説明するように、カスタマーのコンフィギュレーションに基づいて、自己完結型デザインとして、またはオープンデザインとして使用することができます。

機能

- ChipScope Pro Analyzer ソフトウェア と IBERT コアの通信パスを提供
- Virtex-7 FPGA GTX トランシーバー数をユーザーが選択可能
- 各トランシーバーに必要なライン レート、基準クロック レート、基準クロック ソース、およびデータ パス幅にカスタマイズ可能
- ピンまたはイネーブルになった GTX トランシーバーの 1 つから供給されるシステム クロックが必要

LogiCORE IP に関する情報					
コアの内容					
サポートされるデバイスファミリ(1)	Virtex-7				
サポートされるユーザーインターフェイス	なし				
	リソース(2)				周波数
コンフィギュレーション	LUT	フリップフロップ	DSP スライス	ブロック RAM	最大周波数 (MHz)(3)
Config1	3188	4126	0	0	331.158
Config2	21382	27596	0	0	313.526
Config3	73847	94189	0	0	298.603
コアに含まれるもの					
資料	製品仕様 ユーザー ガイド				
デザイン ファイル	ネットリスト				
サンプル デザイン	Verilog/VHDL				
テストベンチ	なし				
制約ファイル	ザイリンクス制約および合成制約				
シミュレーション モデル	なし				
テスト済みデザイン ツール					
デザイン入力 ツール	ザイリンクス CORE Generator™ ツール				
シミュレーション	なし				
合成ツール	なし				
サポート					
ザイリンクスのサポート ページ (http://japan.xilinx.com/support) を参照してください。					

1. この FPGA ファミリの派生デバイス
2. ここにリストされるリソースは、Virtex-7 デバイス用です。すべてのデバイス パフォーマンスの数値については、表 2 を参照してください。
3. リストされるパフォーマンス数値は Virtex-7 FPGA のものです。すべてのデバイス パフォーマンス データについては、6 ページの「パフォーマンスおよびリソース使用率」を参照してください。

アプリケーション

この IBERT コアは、Virtex-7 FPGA GTX トランシーバーを検証または評価する必要のあるアプリケーションで使用するよう設計されています。

ファンクションの詳細

この IBERT コアには、Virtex-7 FPGA GTX トランシーバーのボード ベースの PMA (物理媒体接続部) 評価機能とデモプラットフォームが含まれます。IBERT コアのパラメーターは、異なる GTX トランシーバーおよびクロック トポロジを使用するために変更でき、ライン レート、基準クロック レート、ロジック幅をカスタマイズすることもできます。各 GTX トランシーバーには必要なデータ パターン ジェネレーターおよびチェッカーが含まれるので、さまざまな PRBS (擬似ランダム バイナリ シーケンス) およびクロック パターンをチャンネルに送信することができます。また、GTX トランシーバーのコンフィギュレーションおよびチューニングには、GTX トランシーバーの DRP ポートへ通信するロジックを介してアクセスでき、これにより属性設定およびポートの値を制御するレジスタを変更できます。ランタイム時には、ChipScope Pro Analyzer ツールは、ザイリンクス ケーブルと IBERT コアの一部であるロジックを使用して、JTAG を介して IBERT コアと通信します。

GTX トランシーバーの機能

IBERT コアは PMA (物理媒体接続部) の評価とデモ用に設計されています。次の GTX トランシーバーの主な PMA 機能はすべてサポートされており、IBERT で制御可能です。

- TX プリエンファシスおよびポストエンファシス
- TX 差動スイング
- RX イコライゼーション
- DFE (Decision Feedback Equalizer)
- PLL (位相ロック ループ) 分周器の設定

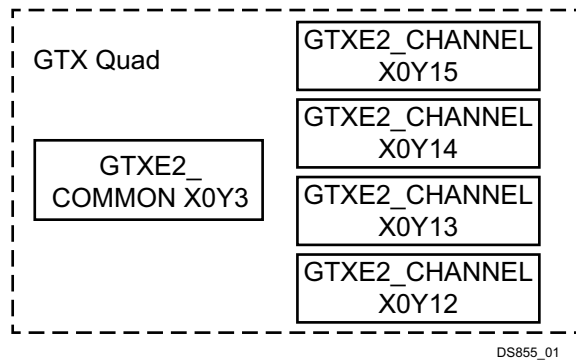
トランシーバーの PCS (物理符号化副層) 機能の中には、次のように IBERT の範囲外のものもあります。

- クロック調整
- チャンネル ボンディング
- 8B/10B、64B/66B、または 64B/67B エンコーディング
- TX または RX バッファのバイパス

PLL コンフィギュレーション

各シリアル トランシーバー チャンネルには、CPLL (Channel PLL) というリング PLL (位相ロック ループ) があります。Virtex-7 FPGA の GTX には、そのほかにも区画ごとに QPLL (Quad PLL) という共有 PLL があります。この QPLL は共有 LC PLL で、高速、高パフォーマンス、低電力のマルチレーン アプリケーションがサポートされます。

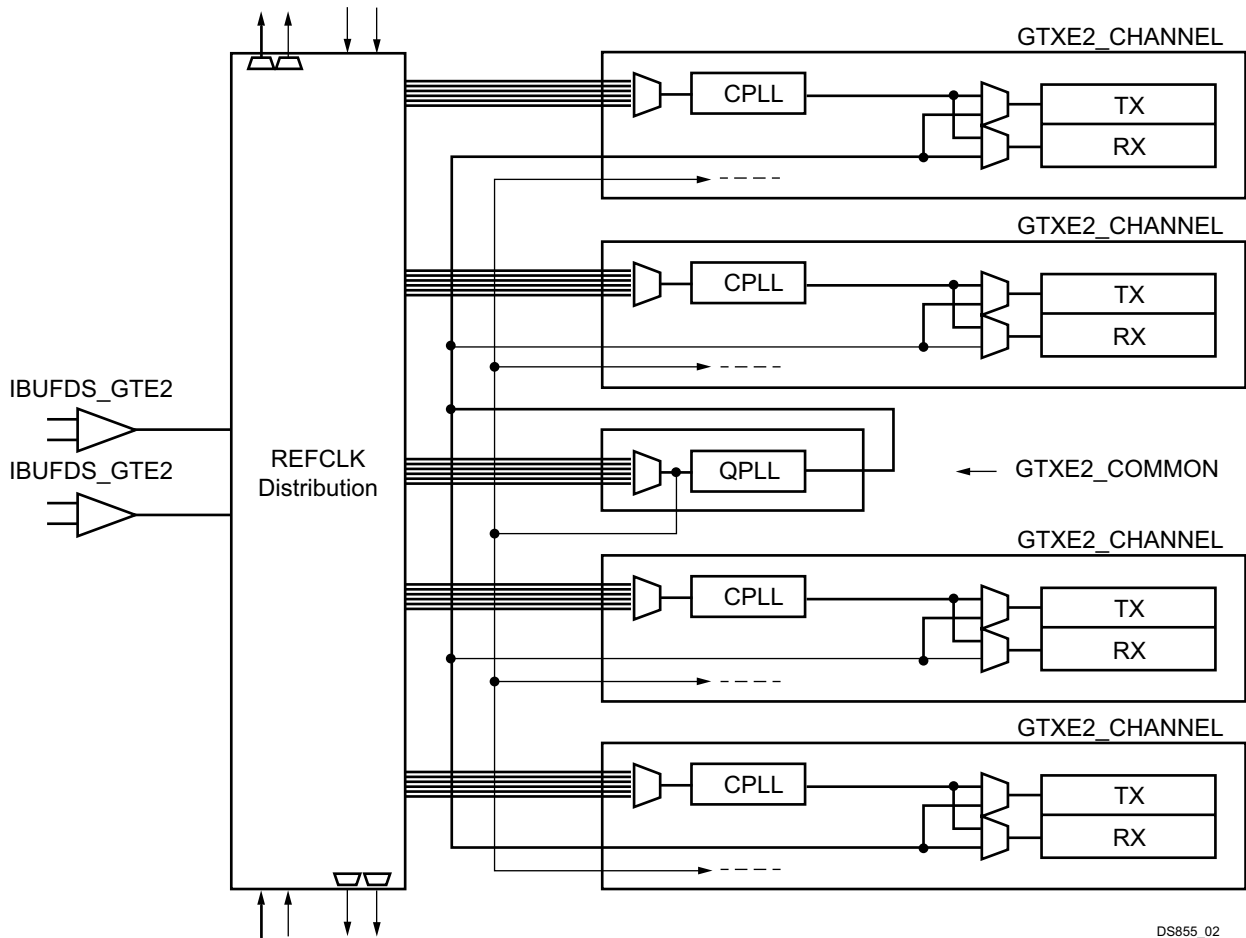
図 1 は、Virtex-7 デバイスの区画を示しています。GTXE2_CHANNEL コンポーネントにはシリアル トランシーバーと CPLL ユニットが、GTXE2_COMMON コンポーネントには QPLL ユニットが含まれます。



DS855_01

図 1 : Virtex-7 デバイスの区画

シリアルトランシーバーの REFCLK は、図 2 に示すように、マルチプレクサに基づいて CPLL または QPLL から接続されます。これは、CORE Generator の Virtex-7 FPGA IBERT のグラフィカルユーザー インターフェイスから選択できます。



DS855_02

図 2 : シリアルトランシーバーの REFCLK 供給

パターンの生成とチェック

IBERT デザインでイネーブルになっている各 GTX トランシーバーには、パターン ジェネレーターとパターン チェッカーが含まれています。パターン ジェネレーターはトランスミッターを介してデータを送信します。パターン チェッカーはレシーバーからのデータを受信し、それを内部生成されたパターンと比較します。IBERT には、PRBS 7 ビット、PRBS 15 ビット、PRBS 23 ビット、PRBS 31 ビット、Clk 2x (101010...) および Clk 10x (11111111110000000000...) などのパターンがあります。

これらのパターンは、選択したロジック幅用に最適化され、ランタイムで選択できるようになっています。TX パターンと RX パターンは個別に選択できます。

ChipScope Pro Analyzer には、エラーを含むサイクルが 5 回連続するまでリンク信号が表示されます。パターン チェッカーロジックを使用すると、入力データが内部生成されたパターンと比較されます。チェッカーがエラーを含むデータを 5 サイクル連続して受信すると、ChipScope Pro Analyzer ソフトウェアがリンク信号をディスエーブルにします。内部カウンターには、受信されたワード数とエラーが累積されます。

DRP およびポートのアクセス

GTX トランシーバーのポートおよび属性をユーザーが変更することができます。IBERT コアには、GTX トランシーバーと対応する CPLL/QPLL の属性をランタイム ソフトウェアで監視および変更するための DRP インターフェイス ロジックが含まれています。読み出しおよび書き込み可能なレジスタも必要な場合は含まれ、GTX トランシーバーのさまざまなポートに接続されます。これらはすべて ChipScope Pro Analyzer ツールを使用してランタイム時にアクセスできます。

CORE Generator ツール

CORE Generator ツールを使用すると、カスタマイズした IBERT コアを定義および生成して、デバイスのトランシーバーを有効にできます。シリアル トランシーバー数のほか、各シリアル トランシーバーのライン レート、基準クロック、PLL 選択などをカスタマイズできます。

コンポーネント名の入力

[Component Name] (生成される XCO パラメーター ファイルには component_name として保存) には、英数字の任意の組み合わせとアンダースコア (_) を使用できます。ただし、コンポーネント名の 1 文字目にアンダースコアを使用することはできません。

サンプル デザインの生成

IBERT コアを CORE Generator で生成すると、ネットリストおよびインスタンシエーション テンプレート ファイルなどの標準的なザイリンクス CORE Generator の出力ファイルが生成されます。サンプル デザインおよびインプリメント スクリプトは、コンポーネント名の付いたフォルダーに生成されます。

ビットストリームの生成

[Generate Bitstream] はデフォルトでオンになっており、生成すると、ビットストリーム生成も含めたすべてのインプリメンテーション フローが実行されます。[Generate Bitstream] をオフにして生成すると、デザインは合成まで実行されます。サンプル デザインは編集して、IBERT インスタンスと共に埋め込むことができます。生成されたファイルに含まれるインプリメント スクリプトを使用すると、ビットストリームまでサンプル デザインを一気に実行することができます。

レシーバー出力クロック

シリアル トランシーバーからの復元クロックを使用する場合は、レシーバー クロックのプロープをイネーブルにする [Add RXOUTCLK probe] オプションを使用します。[Add RXOUTCLK probe] をオンにすると、サマリ パネルの直前にもう 1 パネル追加され、シリアル トランシーバーのソースとプロープ ピンの規格を指定できるようになります。

GTX トランシーバーの命名規則

GTX トランシーバーの名前は、デバイスのシリアル トランシーバー タイルの位置に基づいて、[XmYn] か [MGTm n] のいずれかの形式で命名できます。[XmYn] の場合、m と n はシリアル トランシーバーの X 軸と Y 軸の位置をそれぞれ示します。[MGTm n] の場合、m と n はシリアル トランシーバー番号とそれに関する区画を示します。

システム クロック

IBERT コアには、コアに含まれている通信ロジックとその他のロジックにクロックを供給するために、フリーランニング システム クロックが必要です。このクロックは、生成時に FPGA ピンから駆動するか、コアの GTX トランシーバーの 1 つの TXOUTCLK ポートから駆動するように選択できます。コアが正しく動作するようにするには、FPGA が IBERT コア デザインを使用してコンフィギュレーションされているとき、このシステム クロックのソースが動作状態であり安定している必要があります。システム クロックの速度が 150MHz を超える場合は、MMCM (Mixed-Mode Clock Manager) を使用して内部で分周して、タイミング制約を満たします。IBERT コア デザインを使用した FPGA がコンフィギュレーションされた後、選択したクロックのソースはフリーランニングであり安定している必要があります。システム クロックはコアの通信に使用され、システム計測値の基準となります。このため、IBERT コアを使用するときは、選択されているクロックのソースが動作状態であり安定している必要があります。

ライン レートのサポート

IBERT では、1 つのデザインに最大で 3 つのライン レートまでサポートされます。各ライン レートには、要件に基づいたカスタム値を選択したり、CPRI™、ギガビット イーサネット、XAUI などのあらかじめ含まれている業界標準プロトコルを選択したりできます。各ライン レートに対して、これらの設定でプログラムされるシリアル トランシーバー数を指定する必要があります。ライン レートが 6.5Gb/s を超える場合は QPLL の使用が推奨されるので、0.6Gb/s ~ 6.5Gb/s の範囲のライン レートの場合は QPLL か CPLL を選択できるようになっています (QPLL の場合は [Quad PLL] をオンにします)。

シリアル トランシーバーの位置

選択したシリアル トランシーバーの総数に基づいて、使用する各シリアル トランシーバーの位置を指定する必要があります。パネルに表示される領域は、タイルのシリアル トランシーバーの位置を示しています。領域の境界は、各デバイスで使用可能な BUFG の中点に対するシリアル トランシーバーの物理的な位置に基づいています。

基準クロック

選択されているすべてのシリアル トランシーバーに対し、[Refclk Source] で基準クロックのソースを指定する必要があります。ドロップダウン リストには、同じ区画にあるローカル クロックと上部/下部区画の共有クロックに基づいて、可能性のあるクロック ソースが表示されます。

コアの生成

IBERT コアのパラメーターを設定したら、[Generate] をクリックして IBERT コア ファイルを生成します。コアが生成されたら、生成されたファイルのリストが [Readme (コア名)] ウィンドウに表示されます。

IBERT インターフェイス ポート

IBERT コアの I/O 信号には、GTX トランシーバーの基準クロック、GTX トランシーバーの送信ピン/受信ピン、およびシステムクロック 1 つ (オプション) のみが含まれます。

表 1: インターフェイス ポート

ポート名	方向	説明
IBERT_SYSCLOCK_I CONTROL[35:0]	IN IN/OUT	すべての通信ロジックにクロックを供給するクロック。外部クロックがジェネレーターで選択されているときにのみこのポートは表示されます。 ICON コアへのバス接続を制御します。
XiYj_TX_P_OPAD-1:0] ⁽¹⁾ XiYj_TX_P_OPAD[n-1:0] ⁽¹⁾	OUT	使用される n 個の GTX トランシーバーそれぞれの差動ペアを送信
XiYj_RX_N_IPAD[n-1:0] ⁽¹⁾ XiYj_RX_P_IPAD[n-1:0] ⁽¹⁾	IN	使用される n 個の GTX トランシーバーそれぞれの差動ペアを受信
Qk_CLK0_MGTREFCLK_I[m-1:0] ⁽²⁾ Qk_CLK1_MGTREFCLK_I[m-1:0]	IN	GTX トランシーバーの基準クロック 注記: MGTREFCLK ポートの数は、送信ポートと受信ポートの数と同じかそれ以下になります。これは、GTX トランシーバーの中にはクロック入力を共有できるものがあるからです。
XiYj_RXOUTCLK_O ⁽¹⁾	OUT	区画ベースの RX 出力クロック

- 「XiYj」は GTX サイト ロケーションを指します。
- 「Qk」は GTX の区画サイト ロケーションを指します。

パフォーマンスおよびリソース使用率

表 2: コンフィギュレーションの詳細

コンフィギュ	デバイス	IBERT 設定
Config1	XC7VX485T-3FFG1	ライン レートを 12.5Gb/s に設定したシリアル トランシーバー 1 個
Config2	XC7VX485T-3FFG1	ライン レートを 12.5Gb/s に設定したシリアル トランシーバー 8 個
Config3	XC7VX485T-3FFG1	ライン レートを 12.5Gb/s に設定したシリアル トランシーバー 28 個

検証

IBERT コアは、ザイリックス社内で開発されたバス ファンクション モデルを使用し、IP テスト環境で検証されています。

参考資料

ChipScope Pro ソフトウェアとコアの詳細は、<http://japan.xilinx.com/documentation> から『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

Virtex-7 FPGA GTX トランシーバーに関する詳細は、<http://japan.xilinx.com/documentation> から『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』を参照してください。

サポート

ザイリックスでは、製品マニュアルに記述されているように、この LogiCORE™ IP 製品のテクニカル サポートを提供しています。マニュアルで定義されていないデバイスにインプリメントしたり、製品マニュアルで記述されている範囲を超えてカスタマイズしたり、「DO NOT MODIFY」と記述されているセクションに変更を加えたりした場合、タイミング、機能、製品サポートは保証されません。

注文情報

IBERT コアは、ザイリンクス ISE® Design Suite エンド ユーザー ライセンス契約書に基づいて提供されており、ザイリンクスの CORE Generator™ 13.3 またはそれ以降のバージョンを使用して生成できます。CORE Generator は、ザイリンクスの ISE Design Suite 開発ソフトウェアに含まれています。

その他のザイリンクス LogiCORE モジュールおよびソフトウェアの価格や機能については、最寄りのザイリンクス販売代理店までご連絡ください。LogiCORE IP モジュールの詳細については、ザイリンクス IP センターを参照してください。

略語集

略語	正式名
CPRI	Common Packet Radio Interface の略
DFE	Decision Feedback Equalizer の略
DRP	ダイナミック リコンフィギュレーション ポート (Dynamic Reconfiguration Port の略)
FF	フリップフロップ
FPGA	フィールド プログラマブル ゲート アレイ (Field Programmable Gate Array の略)
IBERT	Integrated Bit Error Ratio Tester の略
I/O	入力/出力
ILA	Integrated Logic Analyzer
ISE	Integrated Software Environment の略
JTAG	Joint Test Action Group の略
LUT	ルックアップ テーブル (Lookup Table の略)
MMCM	Mixed-Mode Clock Manager の略
MHz	メガヘルツ
PCS	物理符号化副層 (Physical Coding Sublayer の略)
PLL	位相ロック ループ (Phase-Locked Loop の略)
PMA	物理媒体接続部 (Physical Medium Attachment の略)
PRBS	擬似ランダム バイナリ シーケンス (Pseudorandom binary sequence の略)
RAM	ランダム アクセス メモリ (Random Access Memory の略)
RX	受信
TX	送信
XAUI	eXtended Attachment Unit Interface の略

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2011 年 10 月 19 日	1.0	初版

免責事項

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR

PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://japan.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。