

はじめに

LogiCORE™ IP CPRI™ (Common Public Radio Interface) コアは、高性能な CPRI インターフェイスを低コストで柔軟にインプリメントできるソリューションです。このコアは UltraScale™ アーキテクチャ、Zynq®-7000 All Programmable SoC、および 7 シリーズ デバイスにインプリメントできます。最先端の GTXE2、GTPE2、GTHE2、および GTHE3 トランシーバーを使用して物理層をインプリメントします。コンパクトでカスタマイズ可能なデータ リンク層が FPGA ロジックにインプリメントされます。

その他の資料

このコアの製品ガイドをご利用いただけます。資料は、[CPRI 資料ラウンジ](#) (登録が必要) から入手可能です。

機能

- デザインを UltraScale アーキテクチャ、Zynq-7000、Virtex-7、および Kintex-7 デバイスにインプリメントした場合、GTXE2、GTPE2 または GTHE3 トランシーバーを使用して 614.4、1228.8、2457.6、3072、4915.2、6144、9830.4、および 10137.6Mb/s のライン レートをサポート
- デザインを Artix-7 デバイスにインプリメントした場合、GTPE2 トランシーバーを使用して 614.4、1228.8、2457.6、3072、4915.2、および 6144Mb/s のライン レートをサポート
- 1 コアあたり 1 ~ 48 アンテナ キャリア (AxC) をサポートする UTRA-FDD I/Q モジュール
- オート スピード ネゴシエーション
- CPRI 規格 v6.0 に準拠した高速 (イーサネット) HDLC (High-Level Data Link Control) および低速 HDLC C&M (Control and Management) チャンネルを両方サポート [\[参照 1\]](#)
- CPRI 規格 v6.0 に準拠 [\[参照 1\]](#)

この LogiCORE IP について	
コアの概要	
サポートされるデバイスファミリ (1)	UltraScale アーキテクチャ、Zynq-7000 (2)、7 シリーズ (3)
サポートされるユーザーインターフェイス	一般的なデータ、ステータス、コンフィギュレーション、およびマネージメント インターフェイス、AXI4-Lite マネージメント インターフェイス
コアに含まれるもの	
デザイン ファイル	暗号化済み RTL
サンプル デザイン	VHDL
テストベンチ	VHDL
制約ファイル	XDC
シミュレーションモデル	VHDL、Verilog
サポートされるソフトウェアドライバ	なし
テスト済みデザイン フロー (4)	
デザイン入力	Vivado® Design Suite IP インテグレーター
シミュレーション	サポートされるシミュレータについては、 『Vivado Design Suite ユーザーガイド: リリース ノート ガイド、インストールおよびライセンス』 を参照
合成	Vivado 合成
サポート	
japan.xilinx.com/support で提供	

1. サポートされているデバイスの一覧は、Vivado IP カタログを参照してください。
2. Zynq-7000 010、015、および 020 デバイスを除きます。
3. CS324 および FTG256 パッケージの Artix-7 100T デバイスを除きます。
4. サポートされているツールのバージョンは、[『Vivado Design Suite ユーザーガイド: リリース ノート ガイド、インストールおよびライセンス』](#)を参照してください。

機能 (続き)

- コア生成時にマスター コアまたはスレーブ コアとしてコンフィギュレーション可能
- マスター コアは、コンフィギュレーション ポート 経由でスレーブ 動作に切り換え可能
- REC (Radio Equipment Controller) および RE (Radio Equipment) での使用に適し、マルチホップ システムにも対応
- CPRI 規格 v6.0 の R21 に準拠した遅延計測機能 [参照 1]
- 必要なクロッキングおよびトランシーバー ロジックがコアに含まれており、デザインへの統合が容易
- 合成可能なサンプル デザインとシンプルなデモ用テストベンチが付属
- 同相 (I) および直交位相 (Q) データおよび同期用の使いやすいインターフェイス
- ベンダー固有データの転送をサポート

概要

CPRI コアは、CPRI 規格のレイヤー 1 およびレイヤー 2 を UltraScale アーキテクチャ、Zynq-7000、Virtex-7、Kintex-7、および Artix-7 デバイスにインプリメントします。CPRI コアには、次のクライアント サイド インターフェイスがあります。

- **I/Q インターフェイス** : UMTS (Universal Mobile Telecommunications System) 無線フレーム パルスに同期した無線データ (I/Q サンプル) ストリームで構成されます。
- **同期インターフェイス** : クライアント ロジックはこのインターフェイスを利用して UMTS 無線フレーム パルスおよびクロック周波数を送信してネットワーク時間に同期します。
- **HDLC (High-Level Data Link Control) インターフェイス** : マスター/スレーブ間で管理情報を転送します。HDLC インターフェイスは同期シリアル インターフェイスです。
- **イーサネット インターフェイス** : 最大 3072Mb/s のライン レートをサポートするようにコンフィギュレーションした場合、イーサネット インターフェイスは MII (Media Independent Interface) として生成され、100Mb イーサネット MAC (Media Access Controller) をコアに接続して高速チャネルで管理情報を転送できます。最大で 4915.2、6144、9830.4、または 10137.6Mb/s のライン レートをサポートする場合は、GMII (Gigabit Media Independent Interface) オプションを利用できます。この場合、1Gb イーサネット MAC をコアに接続できます。このコアには、送受信の双方向にイーサネット フレームバッファがあります。オプションにより、フレーム バッファ機能をコアから削除できます。この場合、イーサネット データが AXI4-Stream インターフェイスに現れ、フレーム バッファ機能をコア外部にインプリメントする必要があります。
- **ベンダー固有データ インターフェイス** : クライアント ロジックは、このインターフェイスを利用して CPRI ストリーム内のベンダー固有サブチャネルにアクセスします。
- **管理インターフェイス** : このインターフェイスには、スーパーバイザー プロセッサからデザイン全体を管理するための制御/ステータスレジスタがあります。AXI4-Lite オプションを利用できます。

図 1 に、コアのアーキテクチャを示します。上記のインターフェイスに加え、このコアには次のブロックもあります。

- **ステータス/アラーム ブロック** : コアの内部状態およびリンクの状態を反映します。
- **スタートアップ シーケンサー** : リンク スタートアップ時にライン レートのネゴシエーションおよび C&M (Control and Management) パラメータのネゴシエーションを実行します。このブロックはリンクの状態を継続的に監視し、そのステータス情報をアラーム ブロックへ送信します。
- **UTRA FDD (UMTS Terrestrial Radio Access – Frequency Division Duplexing) I/Q モジュール** : UTRA FDD システムで I/Q サンプルのマルチプレクス/デマルチプレクスをサポートするためのプラグイン I/Q モジュール (図 1 に表示)。
- **E-UTRA (Evolved UMTS Terrestrial Radio Access) I/Q モジュール** : E-UTRA システムで I/Q サンプルのマルチプレクス/デマルチプレクスをサポートするためのプラグイン I/Q モジュール (図 1 では省略) です。
- **Raw モードのレガシ I/Q モジュール** : CPRI コア (v1.x) の Raw モードのインターフェイス タイミングとの下位互換性を維持するためのプラグイン I/Q モジュール (図 1 では省略) です。

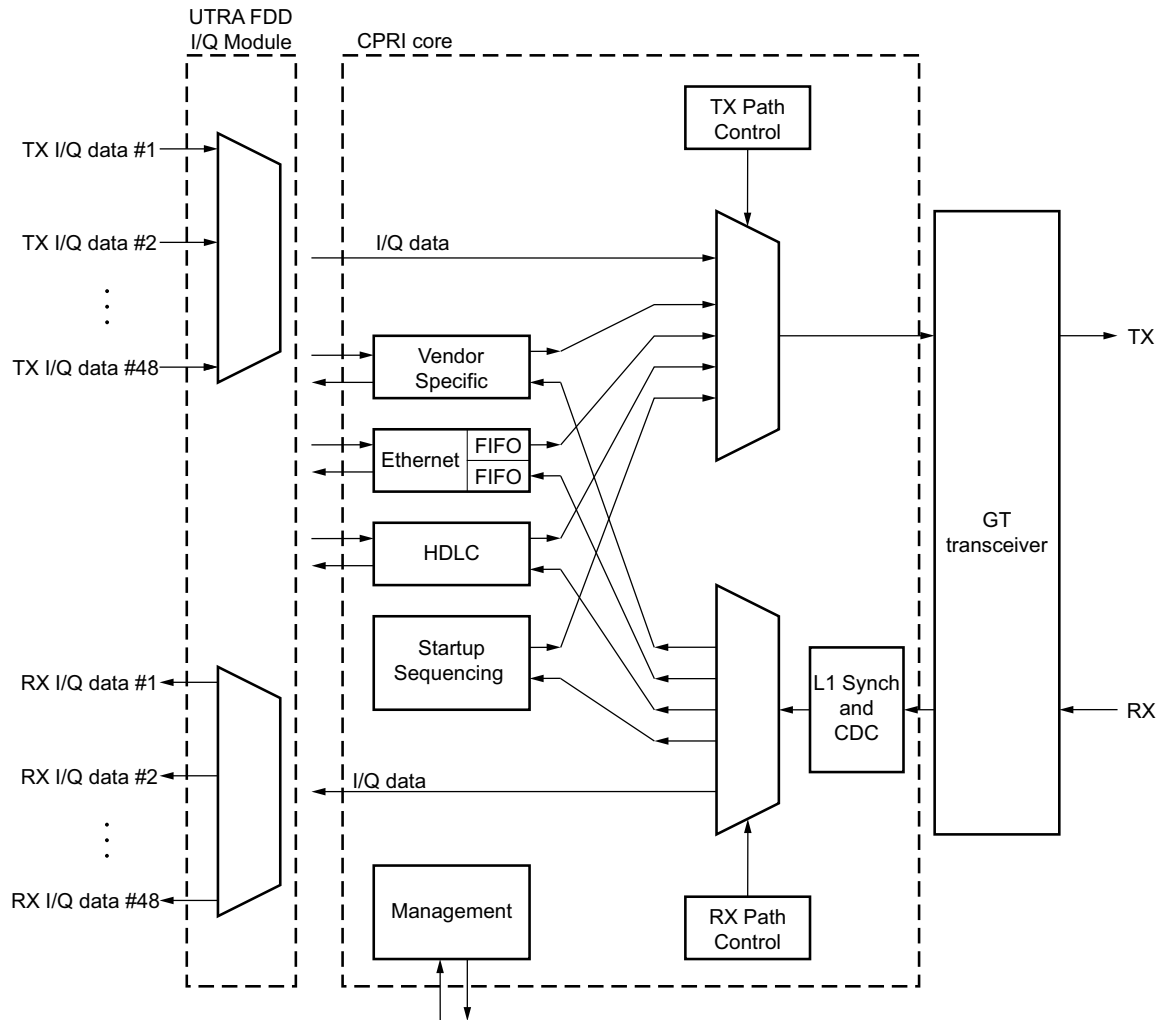


図 1 : CPRI コアの最上位ブロック図

参考資料

ザイリンクス資料は、japan.xilinx.com/support で検索できます。

1. 『CPRI Specification v6.0』2013年8月30日
2. 『IEEE Std.802.3-2005』(standards.ieee.org/getieee802/)
3. 『Vivado Design Suite AXI リファレンス ガイド』(UG1037)
4. 『Vivado Design Suite ユーザー ガイド : IP を使用した設計』(UG896)

サポート

ザイリンクスは、製品資料の説明に従って使用されている LogiCORE IP 製品に対する [テクニカル サポート](#) を提供しています。資料にリストされていないデバイスにインプリメントしたり、許容されている範囲を超えてカスタマイズしたり、あるいは「DO NOT MODIFY」とされているセクションに変更を加えたりした場合、タイミング、機能、製品サポートは保証されません。

ライセンスおよび注文情報

このザイリンクス LogiCORE IP モジュールは、[ザイリンクス コア ライセンス契約](#) の条件に基づいて提供されます。シミュレーションおよびハードウェアにおいてコアのすべての機能にアクセスするには、このコアのライセンスをご購入いただく必要があります。ザイリンクス LogiCORE IP の価格および提供状況については、[ザイリンクス販売代理店](#) にお問い合わせください。

CPRI コアの詳細およびライセンスの取得方法については、[CPRI 製品ページ](#) を参照してください。

この IP およびその他のザイリンクス LogiCORE IP に関する情報は、[ザイリンクス IP コア](#) ページから入手できます。その他のザイリンクス LogiCORE IP モジュールおよびツールの価格や提供状況については、[ザイリンクス販売代理店](#) にお問い合わせください。

関連情報

ザイリンクス製品は、生命維持のための装置、機器、またはシステムでの利用を想定していません。ザイリンクスの正式な書面による承諾なしにザイリンクス製品をこれらのアプリケーションで使用することを禁止します。

改訂履歴

日付	バージョン	内容
2014年10月1日	8.3	10136.7Mb/s 対応コアに速度切り換えを追加。
2014年6月4日	8.2	関連する製品ガイド (PG056) のパラメーター表の更新。
2014年4月2日	8.2	10137.6Mb/s のライン レートを追加。
2013年12月18日	8.1	<ul style="list-style-type: none"> UltraScale アーキテクチャのサポートを追加。 トランシーバー デバッグ インターフェイスを追加。
2013年10月2日	8.0	<ul style="list-style-type: none"> コアのバージョン番号と一致するようにリビジョン番号を 8.0 に変更。 イーサネット フレーム バッファ バイパスのオプションを追加。
2013年3月20日	3.0	Vivado Design Suite およびコア バージョン 7.0 に合わせて内容を更新。Vivado でサポートされない ISE デザイン ツールおよびアーキテクチャをすべて削除。
2012年12月18日	2.0	ISE Design Suite 14.4、Vivado Design Suite 2012.4、およびコア バージョン 6.1 に合わせて内容を更新。
2012年7月25日	1.0	初版DS611 の代替。データシートの内容は新しい製品ガイド (PG056) に取り込まれた。

法的通知

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx's limited warranty, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx's Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。