

DisplayPort RX サブシステム v2.0

製品ガイド

Vivado Design Suite

PG233 2016 年 12 月 20 日

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

目次

IP の概要

第 1 章: 概要

機能概要	4
サポートされていない機能	4
ライセンスおよび注文情報	5

第 2 章: 製品仕様

概要	6
規格	11
リソース使用率	11
ポートの説明	11
レジスタ空間	16

第 3 章: コアを使用するデザイン

クロッキング	17
リセット	18
プログラミング シーケンス	18

第 4 章: デザイン フローの手順

サブシステムのカスタマイズおよび生成	19
コアへの制約	21
シミュレーション	22
合成およびインプリメンテーション	22

付録 A: デバッグ

ザイリンクス ウェブサイト	23
デバッグ ツール	24
ハードウェア デバッグ	24

付録 B: アプリケーション ソフトウェア開発

付録 C: その他のリソースおよび法的通知

ザイリンクス リソース	26
参考資料	26
改訂履歴	26
法的通知	27

はじめに

DisplayPort RX サブシステムは、大規模なビデオ システムにおける 60fps で最大 4k2k のビデオ解像度のシリアル デジタルビデオ データ受信向けのプラグイン ソリューションです。このサブシステムは、必要なモードの選択を容易にし、その他のカスタマイズを自動化します。

機能

- DisplayPort Synk (RX) 機能をサポート
- Single Stream Transport (SST) および Multi-Stream Transport (MST) をサポート
- 1.62/2.7/5.4Gb/s ライン レートを動的にサポート
- 各コンポーネントで 6、8、10、12、または 16 ビット (BPC) を動的にサポート
- RGB および YCbCr444/YCbCr422/Y-Only カラーフォーマットを動的にサポート
- オーディオをサポート
- HDCP 1.3 をサポート
- DP159 リタイマーのプログラム用 AXI IIC Controller
- ネイティブまたはストリーミング ビデオ入力インターフェイスをサポート
- 16 ビットまたは 32 ビット ビデオ PHY (GT) インターフェイスをサポート

この LogiCORE IP について	
コアの概要	
サポートされるデバイスファミリ (1)(2)	UltraScale+™ ファミリ、UltraScale™ アーキテクチャ、Zynq®-7000、7 シリーズ
サポートされるユーザーインターフェイス	AXI4-Stream、AXI4-Lite
リソース	Performance and Resource Utilization (ウェブ ページ)
コアに含まれるもの	
デザイン ファイル	DisplayPort RX コアおよびその他 IP コアとパッケージ化された階層構造のサブシステム
サンプル デザイン	N/A
テストベンチ	N/A
制約ファイル	IP コアには XDC ファイルが付属
シミュレーションモデル	N/A
サポートされるソフトウェアドライバ	スタンドアロン
テスト済みデザイン フロー (3)	
デザイン入力	Vivado® Design Suite
シミュレーション	サポートされるシミュレータについては、 『Vivado Design Suite ユーザー ガイド: リリース ノート ガイド、インストール およびライセンス』 を参照
合成	Vivado 合成
サポート	
ザイリンクス サポート ウェブ ページ で提供	

注記:

1. サポートされているデバイスの一覧は、Vivado IP カタログを参照してください。
2. HDCP について: UltraScale/UltraScale+ は最大 5.4Gb/s をサポート、Kintex-7/Virtex-7 の -1 スピード グレードは最大 2.7Gb/s、-2/-3 は最大 5.4Gb/s をサポートし、Artix-7 ではサポートされていません。
3. サポートされているツールのバージョンは、[『Vivado Design Suite ユーザー ガイド: リリース ノート ガイド、インストールおよびライセンス』](#)を参照してください。

概要

この章では、コアの概要および機能、ライセンス、標準規格の詳細について説明します。DisplayPort RX サブシステムは、DisplayPort Synk (RX) コアを含む階層構造でパッケージ化されたフル機能のサブシステムで、大規模なビデオシステムにおけるアプリケーションにすぐに利用可能です。

機能概要

- Single Stream Transport (SST) モードおよび Multi-Stream Transport (MST) モードの DisplayPort をサポート。
- さまざまな BPC およびカラー フォーマットを動的にサポート。
- ネイティブ ビデオ インターフェイス モードでピクセル モードをサポート。
- 2～8 のチャンネル オーディオをサポート。
- HDCP 1.3 Controller をオプションでサポート。
- 16 ビットまたは 32 ビットの GT 幅をサポート。
- ネイティブまたはストリーミングのビデオ入力インターフェイスをサポート。

サポートされていない機能

- オーディオは MST モードでサポートされない。
- MST オーディオはサポートされない。
- HDCP は MST モードでサポートされない。
- HDCP 2.x はサポートされない。
- ピクセル モードを動的に選択した場合、ビデオ ストリーミング インターフェイスは拡張できない。
- デュアルピクセル スプリッターはネイティブ ビデオ モードでサポートされない。

ライセンスおよび注文情報

ライセンス チェッカー

IP にライセンス キーが必要な場合、そのキーの認証が必要です。Vivado® デザイン ツールでは、設計フローにライセンスが必要な IP の使用をゲーティングする、ライセンス チェックポイントが複数あります。ライセンス チェックが正常に終了すると、IP の生成が継続されます。正常に終了しなければ、IP の生成はエラーとなり停止します。ライセンス チェックポイントが適用されるのは、次のツールです。

- Vivado 合成
- Vivado インプリメンテーション
- write_bitstream (Tcl コマンド)



重要: チェックポイントでは、IP のライセンス レベルは無視されます。有効なライセンスの有無のみを検証します。IP ライセンス レベルは確認しません。

ライセンスの種類

このサブシステムには、[ザイリンクス コア ライセンス契約](#)の条件に基づいて提供される DisplayPort Receive コアのライセンスが必要です。ハードウェアでコアのすべての機能を利用するには、コアのライセンスをご購入いただく必要があります。ザイリンクス LogiCORE IP の価格および提供状況については、[ザイリンクス販売代理店](#)にお問い合わせください。

コアのライセンスに関する詳細は、[DisplayPort コアの製品ページ](#)を参照してください。

その他のザイリンクス LogiCORE IP モジュールに関する情報は、[ザイリンクス IP コア](#)のページを参照してください。その他のザイリンクス LogiCORE IP モジュールおよびツールの価格と提供状況については、[ザイリンクス販売代理店](#)にお問い合わせください。

製品仕様

この章では、コアの概要を示し性能とポートについて詳細に説明します。

概要

DisplayPort RX サブシステムは次のビデオ モードで動作します。

- Single Stream Transport (SST)
- Multi-Stream Transport (MST)

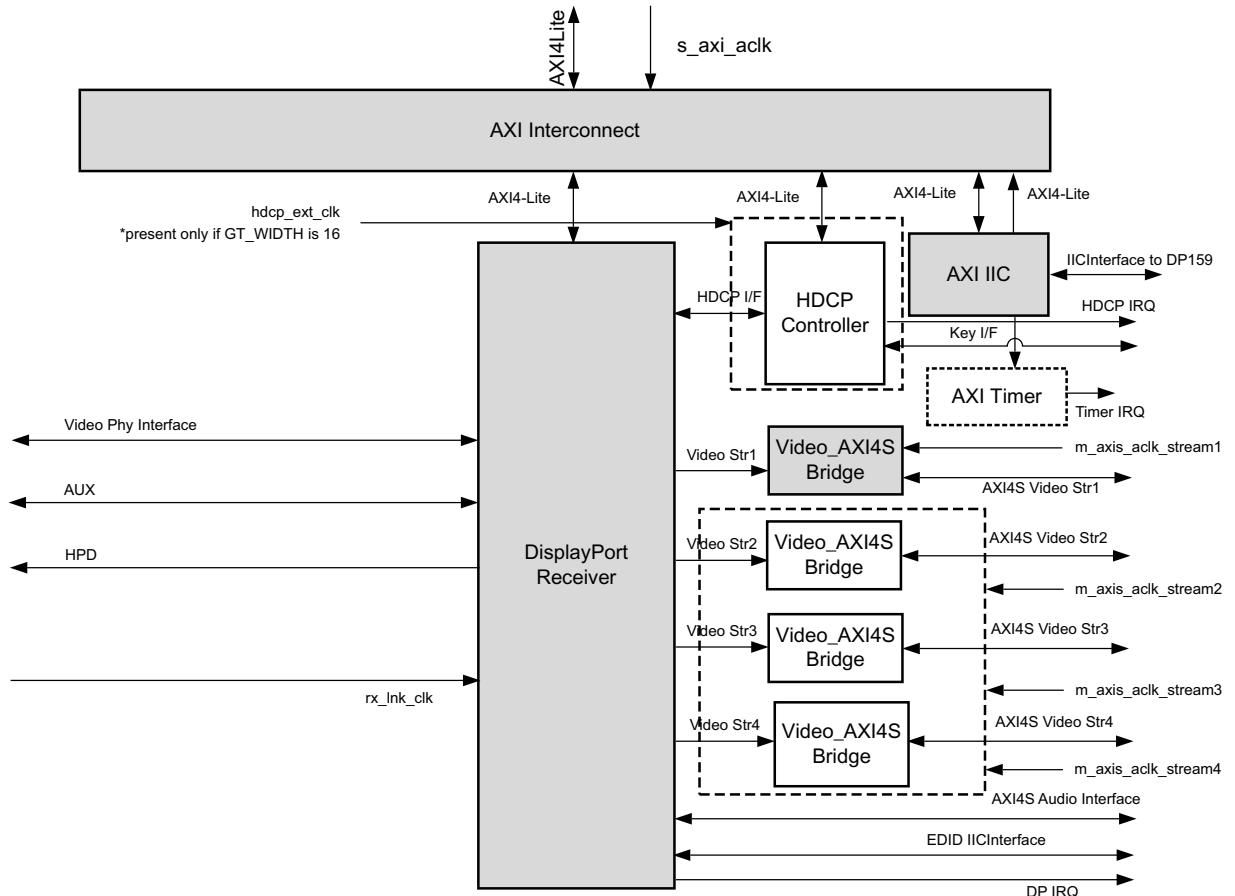
ストリーミング ビデオ インターフェイス

SST または MST モードでのサブシステムは、デフォルトで DisplayPort Receive コア、DP Video to AXI4-Stream Bridge、および TI DP159 への接続に使用する AXI IIC Controller とパッケージ化されています。HDCP 機能を有効にした場合、HDCP コアと AXI Timer コアも DisplayPort RX サブシステムの一部となります。

MST モードでは、SST でリストされるサブコアに加えて、Video to AXI4-Stream Bridge インスタンスがビデオ ストリームの数まで増加します。

DisplayPort RX サブシステムは階層構造でパッケージ化されているため、ユーザーがパラメーターを選択すると、それを基にサブシステムが必要なハードウェアを作成します。図 2-1 に、4 つのストリームを用いる MST を想定したサブシステムのアーキテクチャを示します。

DisplayPort RX サブシステムは、DisplayPort v1.2 プロトコルを使用し、32 ビットまたは 16 ビットのビデオ PHY インターフェイス経由でビデオを受信します。このサブシステムは、DP プロトコル向けに構成されている Video PHY Controller と連動し、マルチピクセル Video to AXI4-Stream プロトコル インターフェイスへビデオを出力します。



X15190-1113

図 2-1: DisplayPort RX サブシステムのブロック図

ネイティブ ビデオ インターフェイス

SST または MST モードでのサブシステムは、デフォルトで DisplayPort Receive コアおよび AXI IIC Controller の 2 つの必須サブコアとパッケージ化されています。HDCP 機能を有効にした場合、HDCP コアと AXI Timer コアも DisplayPort RX サブシステムの一部となります。

DisplayPort RX サブシステムは階層構造でパッケージ化されているため、ユーザーがパラメーターを選択すると、それを基にサブシステムが必要なハードウェアを作成します。図 2-2 に、4 つのストリームを用いる MST を想定したサブシステムのアーキテクチャを示します。

DisplayPort RX サブシステムは、DisplayPort v1.2 プロトコルを使用し、32 ビットまたは 16 ビットのビデオ PHY インターフェイス経由でビデオを受信します。このサブシステムは、DP プロトコル向けに構成されている Video PHY Controller と連動し、マルチピクセル Video to AXI4-Stream プロトコル インターフェイスへビデオを出力します。

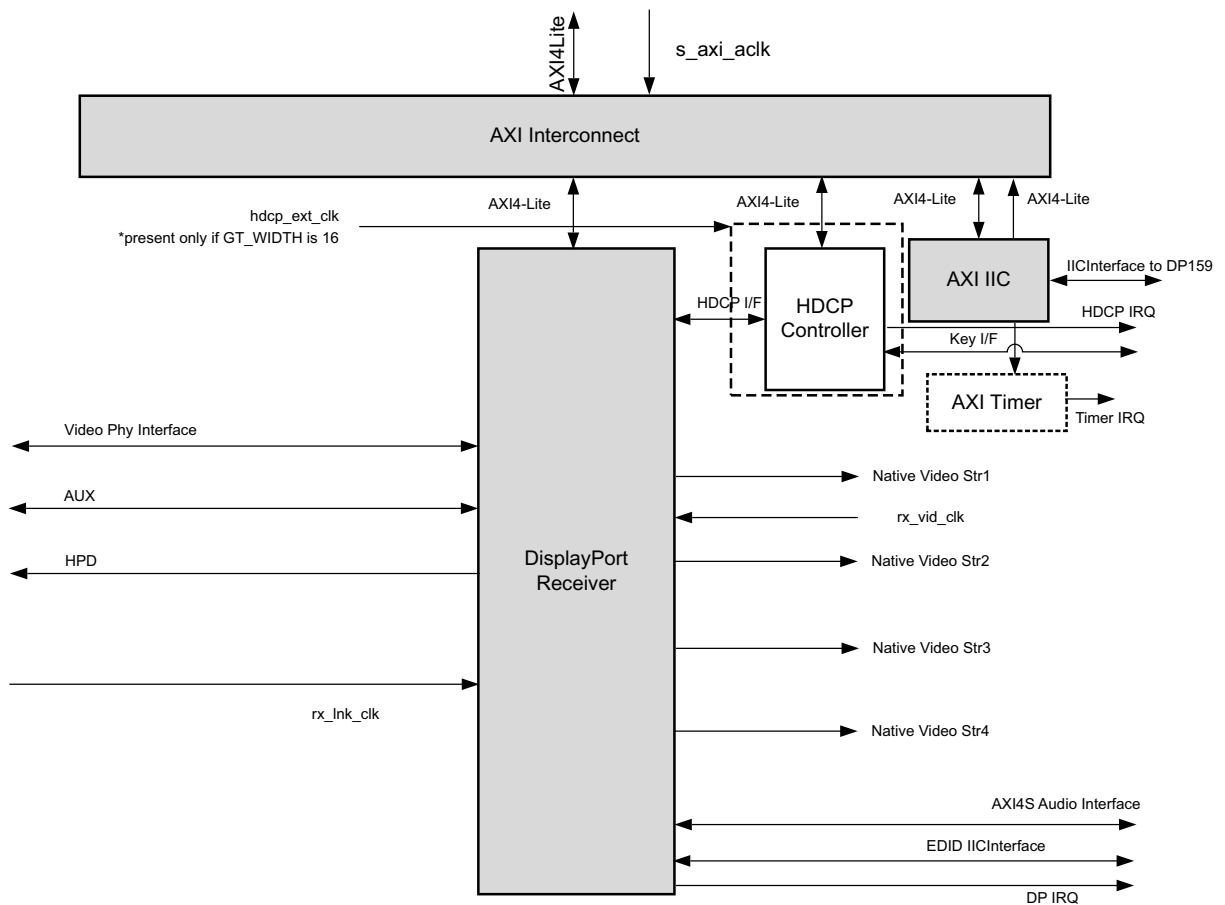


図 2-2: ネイティブ ビデオ インターフェイスを使用する DisplayPort RX サブシステムのブロック図

DisplayPort Receive (RX)

図 2-3 に示すとおり、DisplayPort Receive (RX) コアには次の 4 つの主要なブロックが含まれます。

- メイン リンク: プライマリ ビデオ ストリームを転送します。
- セカンダリ チャネル: ビデオ ストリームのブランキング期間に埋め込まれたオーディオ情報を AXI4-Stream インターフェイスへ転送します。
- AUX チャネル: ソースからシンクへの専用の通信チャネルを確立します。
- DPCD: 各コアの動作パラメーターを決定する DPCD (DisplayPort Configuration Data) 情報を格納します。

詳細は、『DisplayPort 製品ガイド』(PG064) [参照 9] を参照してください。

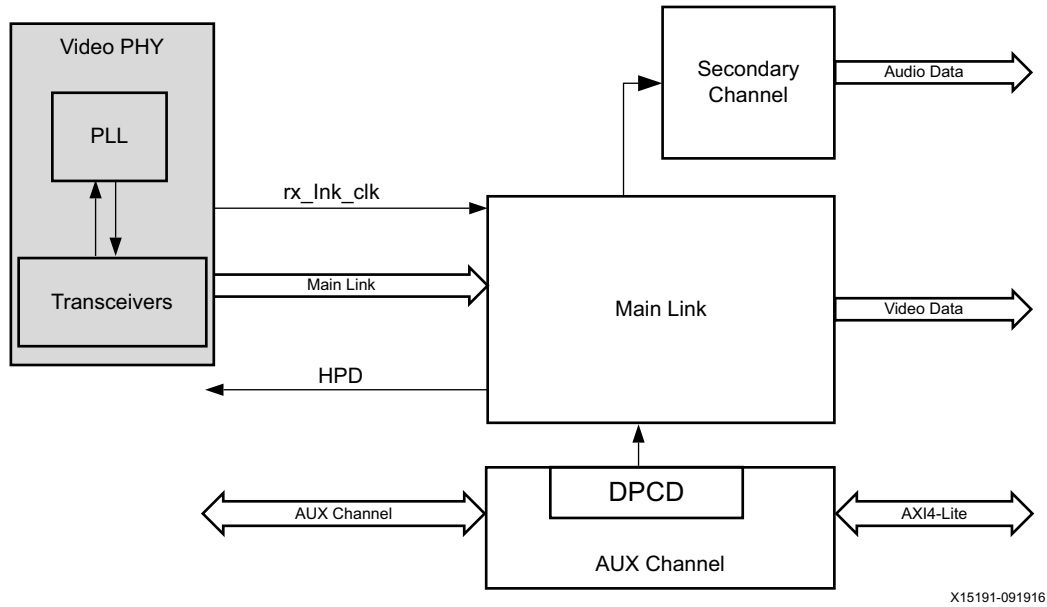


図 2-3: DisplayPort Receive コアブロック図

Video to AXI4-Stream Bridge

Video to AXI4-Stream Bridge は、DisplayPort RX サブシステムで DisplayPort Receive IP のビデオ出力を AXI4 ストリーム規格に変換するために使用されます。

MST モードのサブシステムには N 個のブリッジがあります。N は、サブシステムへ出力される AXI4-Stream の数です。ストリーミング インターフェイスを介したビデオ ピクセル マップの詳細は、『AXI4-Stream Video IP およびシステム デザイン ユーザー ガイド』(UG934) [参照 10] を参照してください。『DisplayPort 製品ガイド』(PG064) [参照 9] には、DisplayPort 出力ビデオ フォーマットに関する情報が記載されています。

ストリーミング インターフェイスでのピクセル マップ

デフォルトのピクセル モードは、サブシステム生成時のレーン数に相当します。

Pixel_Width = MAX_BPC x 3
Interface Width = Pixel Width x LANE_COUNT

たとえば、MAX_BPC を 16 に設定して 4 レーンを用いてシステムが生成された場合、データ幅は 192 (16x4x3) となります。

MAX_BPC	LANES	PIXEL WIDTH	INTERFACE	VIDEO BPC	Pixel 3			Pixel 2			Pixel 1			Pixel 0		
					B	G	R	B	G	R	B	G	R	B	G	R
16	4	48	192	8	191:184	175:168	159:152	143:136	127:120	111:104	95:88	79:72	63:56	47:40	31:24	15:8
16	2	48	96	8							95:88	79:72	63:56	47:40	31:24	15:8
12	4	36	144	10	143:134	131:122	119:110	107:98	95:86	83:74	71:62	59:50	47:38	35:26	23:14	11:2
10	4	30	120	10	119:110	109:100	99:90	89:80	79:70	69:60	59:50	49:40	39:30	29:20	19:10	9:0
8	2	24	48	8							47:40	39:32	31:24	23:16	15:8	7:0

図 2-4: ストリーミング インターフェイスでのピクセル マップの例

AXI Interconnect

サブシステムは、HDCP を有効にしない場合、1 つの AXI4-Lite スレーブ インターフェイスと 2 つの AXI4-Lite マスター インターフェイスを含むザイリンクスの AXI Interconnect IP コアをシステムでクロスバーとして使用します。HDCP を有効にすると、サブシステムでは 4 つの AXI4-Lite マスター インターフェイスがあることになります。

図 2-5 に、DisplayPort RX サブシステム内の AXI スレーブ構造を示します。AXI クロスバー機能の詳細は、『AXI Interconnect 製品ガイド』(PG059) [参照 15] を参照してください。

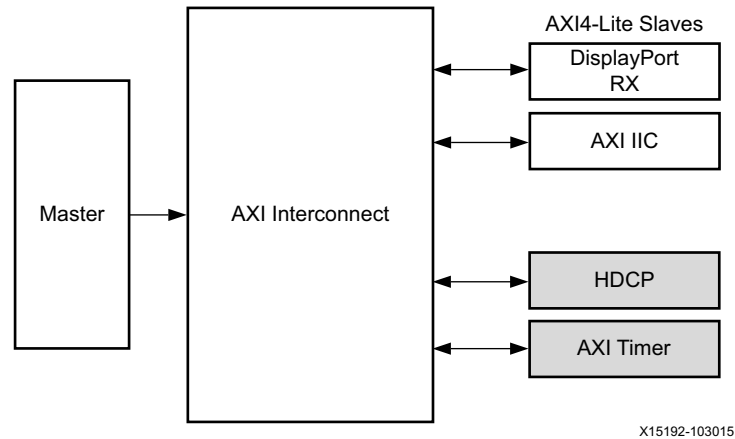


図 2-5: DisplayPort RX サブシステム内の AXI Interconnect

AXI IIC

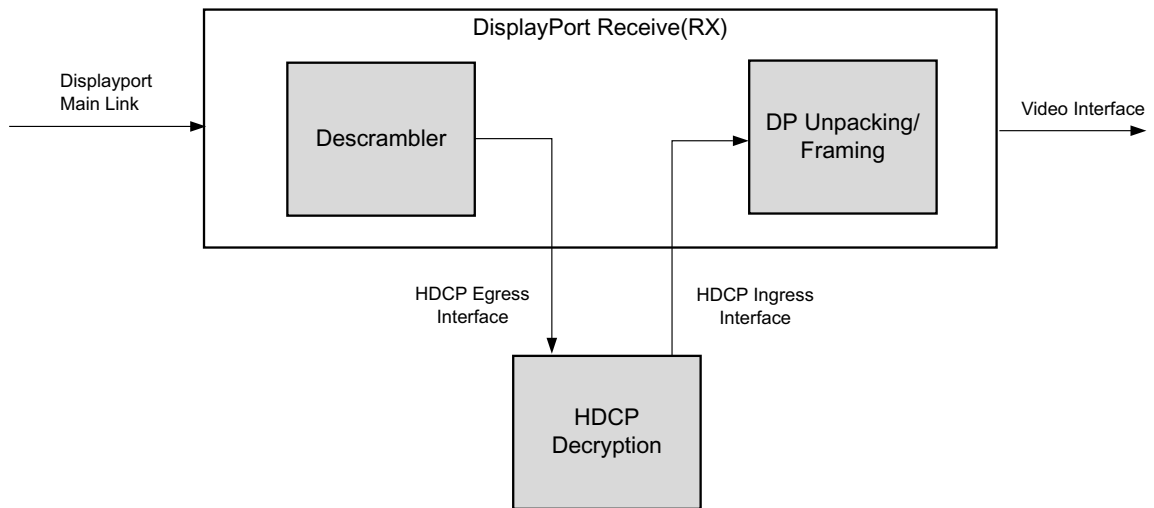
AXI IIC Controller は、DisplayPort RX サブシステムで IIC インターフェイスを介して DP159 リタイマーを設定するために使用されます。DisplayPort RX サブシステム内の AXI IIC Controller は 400KHz で動作します。DisplayPort RX サブシステムドライバーは、DP159 のプログラミングに対応しています。

DP159 向け IIC プログラミングの詳細は、『DisplayPort 製品ガイド』(PG064) [参照 9] を参照してください。

HDCP Controller

HDCP v1.3 プロトコルは、オーディオ/ビジュアルコンテンツを安全に送信する方法を定義します。さらに、オーディオ/ビジュアルコンテンツは DisplayPort インターフェイスを介して送信可能です。DisplayPort RX サブシステムで、HDCP Controller は DisplayPort Receive IP とデータの復号化に使用されます。

図 2-6 に、HDCP Controller を含む DisplayPort RX サブシステムを示します。HDCP の詳細は、『HDCP 製品ガイド』(PG224) [参照 11] を参照してください。



X15193-111715

図 2-6: HDCP Controller を含む DisplayPort RX

AXI Timer

HDCP Controller が復号化に有効な場合、DisplayPort RX サブシステムでは 32 ビット AXI Timer が使用されます。AXI Timer は、AXI4 マスター インターフェイスを介してシステムの基本的なタイマー機能として利用できます。

規格

DisplayPort RX サブシステムは DisplayPort v1.2 規格、HDCP v1.3 規格に準拠し、IIC ならびに AXI4-Lite および AXI4-Stream インターフェイスと互換性があります。



重要: ザイリンクスの DisplayPort サブシステムはコンプライアンス認証を受けています。コンプライアンスレポートの入手、または使用製品のコンプライアンス認証に関する案内をお求めの場合は、お近くのザイリンクス販売代理店にお問い合わせください。

リソース使用率

リソース使用率の詳細は、[パフォーマンスおよびリソース使用率](#)を参照してください。

ポートの説明

DisplayPort RX サブシステム ポートを表 2-1 で説明します。

表 2-1: DisplayPort RX サブシステム ポート

信号名	コアから見た方向	説明
AXI4-Lite インターフェイス		
s_axi_aclk	入力	AXI バス クロック
s_axi_aresetn	入力	AXI リセット。アクティブ Low。
s_axi_awaddr[13:0]	入力	書き込みアドレス
s_axi_awprot[2:0]	入力	プロテクション タイプ
s_axi_awvalid	入力	書き込みアドレスの Valid 信号
s_axi_awready	出力	書き込みアドレスの Ready 信号
s_axi_wdata[31:0]	入力	書き込みデータ
s_axi_wstrb[3:0]	入力	書き込みストロブ
s_axi_wvalid	入力	書き込みデータの Valid 信号
s_axi_wready	出力	書き込みデータの Ready 信号
s_axi_bresp[1:0]	出力	書き込み応答。
s_axi_bvalid	出力	書き込み応答の Valid 信号
s_axi_bready	入力	書き込み応答の Valid 信号
s_axi_araddr[13:0]	入力	読み出しアドレス
s_axi_arprot[2:0]	入力	スヌープ トランザクション タイプ
s_axi_arvalid	入力	読み出しアドレスの Valid 信号
s_axi_arready	出力	読み出しアドレスの Ready 信号
s_axi_rdata[31:0]	出力	読み出しデータ
s_axi_rresp[1:0]	出力	読み出しデータの応答信号
s_axi_rvalid	出力	読み出しデータの Valid 信号
s_axi_rready	入力	読み出しデータの Ready 信号
DP Video PHY サイド バンド ステータス		
s_axis_phy_rx_sb_status_tdata[15:0]	入力	Video PHY ステータス入力
s_axis_phy_rx_sb_status_tready	出力	ステータス用の Video PHY への Ready 信号
s_axis_phy_rx_sb_status_tvalid	入力	Video PHY ステータスの Valid 信号
DP Video PHY サイド バンド 制御		
m_axis_phy_rx_sb_control_tdata[7:0]	出力	Video PHY への制御出力
m_axis_phy_rx_sb_control_tvalid	出力	Video PHY への制御出力 Valid 信号
m_axis_phy_rx_sb_control_tready	入力	制御データ Ready 信号入力
DP リンク クロック インターフェイス		
rx_lnk_clk	入力	リンク クロック
DP Video PHY メイン リンク [Lane0 -Lane3]		
s_axis_lnk_rx_lane0_tdata[31:0]	入力	lane0 用のメイン リンク データ
s_axis_lnk_rx_lane0_tvalid	入力	lane0 用のメイン リンク データ Valid 信号

表 2-1: DisplayPort RX サブシステム ポート (続き)

信号名	コアから見た方向	説明
s_axis_lnk_rx_lane0_tready	出力	lane0 用のメイン リンク データ Ready 信号
s_axis_lnk_rx_lane0_tuser[11:0]	入力	lane0 用のメイン リンク ユーザー データ
s_axis_lnk_rx_lane1_tdata[31:0]	入力	lane1 用のメイン リンク データ
s_axis_lnk_rx_lane1_tvalid	入力	lane1 用のメイン リンク データ Valid 信号
s_axis_lnk_rx_lane1_tready	出力	lane1 用のメイン リンク データ Ready 信号
s_axis_lnk_rx_lane1_tuser[11:0]	入力	lane1 用のメイン リンク ユーザー データ
s_axis_lnk_rx_lane2_tdata[31:0]	入力	lane2 用のメイン リンク データ
s_axis_lnk_rx_lane2_tvalid	入力	lane2 用のメイン リンク データ Valid 信号
s_axis_lnk_rx_lane2_tready	出力	lane2 用のメイン リンク データ Ready 信号
s_axis_lnk_rx_lane2_tuser[11:0]	入力	lane2 用のメイン リンク ユーザー データ
s_axis_lnk_rx_lane3_tdata[31:0]	入力	lane3 用のメイン リンク データ
s_axis_lnk_rx_lane3_tvalid	入力	lane3 用のメイン リンク データ Valid 信号
s_axis_lnk_rx_lane3_tready	出力	lane3 用のメイン リンク データ Ready 信号
s_axis_lnk_rx_lane3_tuser[11:0]	入力	lane3 用のメイン リンク ユーザー データ
DP 受信ビデオ インターフェイス		
rx_vid_clk	入力	DisplayPort RX ビデオ クロック
rx_vid_rst	入力	DisplayPort RX ビデオ リセット
DP RX SS ストリーミング ビデオ Stream1 インターフェイス (ストリーミング インターフェイスが使用されている場合に有効)		
m_axis_aclk_stream1	入力	Stream1 ビデオ クロック入力
m_axis_video_stream1_tdata[191:0]	出力	Stream1 ビデオ データ
m_axis_video_stream1_tlast	出力	Stream1 ビデオ最終データ、ラインの最後のピクセル
m_axis_video_stream1_tready	入力	Stream1 ビデオ データ読み出し
m_axis_video_stream1_tuser	出力	Stream1 ビデオ ユーザー データ
m_axis_video_stream1_tvalid	出力	Stream1 ビデオ データ Valid 信号
DP RX SS ビデオ Stream 2 インターフェイス - MST		
m_axis_aclk_stream2	入力	Stream2 ビデオ クロック入力
m_axis_video_stream2_tdata[191:0]	出力	Stream2 ビデオ データ
m_axis_video_stream2_tlast	出力	Stream2 ビデオ最終データ、ラインの最後のピクセル
m_axis_video_stream2_tready	入力	Stream2 ビデオ データ読み出し
m_axis_video_stream2_tuser	出力	Stream2 ビデオ ユーザー データ
m_axis_video_stream2_tvalid	出力	Stream2 ビデオ データ Valid 信号
DP RX SS ビデオ Stream3 インターフェイス		
m_axis_aclk_stream3	入力	Stream3 ビデオ クロック入力
m_axis_video_stream3_tdata[191:0]	出力	Stream3 ビデオ データ
m_axis_video_stream3_tlast	出力	Stream3 ビデオ最終データ、ラインの最後のピクセル

表 2-1: DisplayPort RX サブシステム ポート (続き)

信号名	コアから見た方向	説明
m_axis_video_stream3_tready	入力	Stream3 ビデオ データ読み出し
m_axis_video_stream3_tuser	出力	Stream3 ビデオ ユーザー データ
m_axis_video_stream3_tvalid	出力	Stream3 ビデオ データ Valid 信号
DP RX SS ビデオ Stream 4 インターフェイス - MST		
m_axis_aclk_stream4	入力	Stream4 ビデオ クロック入力
m_axis_video_stream4_tdata[191:0]	出力	Stream4 ビデオ データ
m_axis_video_stream4_tlast	出力	Stream4 ビデオ最終データ、ラインの最後のピクセル
m_axis_video_stream4_tready	入力	Stream4 ビデオ データ読み出し
m_axis_video_stream4_tuser	出力	Stream4 ビデオ ユーザー データ
m_axis_video_stream4_tvalid	出力	Stream4 ビデオ データ Valid 信号
DP RX SS ネイティブ ビデオ Stream1 インターフェイス		
rx_vid_stream1_tx_vid_enable	出力	ユーザー データ ビデオ イネーブル
rx_vid_stream1_tx_vid_hsync	出力	水平同期パルス。立ち上がりエッジでアクティブ。
rx_vid_stream1_tx_vid_oddeven	出力	奇数 (1) または偶数 (0) フィールド極性を示す。
rx_vid_stream1_tx_vid_pixel0[47:0]	出力	ビデオ データ
rx_vid_stream1_tx_vid_pixel1[47:0]	出力	ビデオ データ
rx_vid_stream1_tx_vid_pixel2[47:0]	出力	ビデオ データ
rx_vid_stream1_tx_vid_pixel3[47:0]	出力	ビデオ データ
rx_vid_stream1_tx_vid_vsync	出力	垂直同期パルス。立ち上がりエッジでアクティブ。
MST ストリーム (n = ストリーム番号 2 ~ 4)		
rx_vid_streamn_tx_vid_enable	出力	ユーザー データ ビデオ イネーブル
rx_vid_streamn_tx_vid_hsync	出力	水平同期パルス。立ち上がりエッジでアクティブ。
rx_vid_streamn_tx_vid_oddeven	出力	奇数/偶数フィールド セレクト。奇数 (1) または偶数 (0) フィールド極性を示す。
rx_vid_streamn_tx_vid_pixel0[47:0]	出力	ビデオ データ
rx_vid_streamn_tx_vid_pixel1[47:0]	出力	ビデオ データ
rx_vid_streamn_tx_vid_pixel2[47:0]	出力	ビデオ データ
rx_vid_streamn_tx_vid_pixel3[47:0]	出力	ビデオ データ
rx_vid_streamn_tx_vid_vsync,	出力	垂直同期パルス。立ち上がりエッジでアクティブ。
AUX IO インターフェイス - 内部の双方向 IOB		
aux_rx_io_p	入出力	双方向 AUX IO- P
aux_rx_io_n	入出力	双方向 AUX IO- n
AUX IO インターフェイス - 内部の単方向 IOB		
aux_rx_channel_in_p	入力	単方向 AUX チャンネル入力 - P
aux_rx_channel_in_n	入力	単方向 AUX チャンネル入力 - n
aux_rx_channel_out_p	出力	単方向 AUX チャンネル出力 - P

表 2-1: DisplayPort RX サブシステム ポート (続き)

信号名	コアから見た方向	説明
aux_rx_channel_out_n	出力	単方向 AUX チャンネル出力 - n
AUX IP インターフェイス - 外部の IOB		
aux_rx_data_in	入力	外部の AUX データ入力
aux_rx_data_out	出力	外部の AUX データ出力
aux_rx_data_en_out_n	出力	外部の AUX データ イネーブル出力アクティブ Low。
HPD インターフェイス		
rx_hpd	出力	DisplayPort RX からの HPD
EDID IIC インターフェイス		
edid_iic_sci_i	入力	EDID IIC SCL 入力
edid_iic_sci_o	出力	EDID IIC SCL 出力
edid_iic_sci_t	出力	EDID IIC SCL イネーブル。IIC SCL イネーブルはアクティブ Low。
edid_iic_sda_i	入力	EDID IIC SDA 入力
edid_iic_sda_o	出力	EDID IIC SDA 出力
edid_iic_sda_t	出力	EDID IIC SDA イネーブル。IIC SDA イネーブルはアクティブ Low。
DP159 インターフェイス		
dp159_iic_sci_i	入力	DP159 IIC SCL 入力
dp159_iic_sci_o	出力	DP159 IIC SCL 出力
dp159_iic_sci_t	出力	DP159 IIC SCL イネーブル
dp159_iic_sda_i	入力	DP159 IIC SDA 入力
dp159_iic_sda_o	出力	DP159 IIC SDA 出力
dp159_iic_sda_t	出力	DP159 IIC SDA イネーブル
dp159_rst	出力	AXI IIC Controller GPIO port0 からの DP159 IIC リセット
HDCP 外部クロック (16 ビット GT インターフェイスで HDCP が選択されている場合に有効)		
hdcp_ext_clk	入力	HDCP 外部クロック (16 ビット GT インターフェイスで HDCP が選択されている場合有効)
HDCP キー インターフェイス		
hdcp_key_aclk	入力	キー クロック
hdcp_key_aresetn	入力	キー インターフェイス リセット。アクティブ Low。
hdcp_key_tdata[63:0]	入力	AXI4-Stream キー Tdata
hdcp_key_last	入力	AXI4-Stream キー Tlast
hdcp_key_tready	出力	AXI4-Stream キー Tready
hdcp_key_tuser[7:0]	入力	AXI4-Stream キー TUSER。KMB はキー番号 0 ~ 41 を送信する必要がある。0 は KSV に相当、1 ~ 40 は HDCP キーの数。
hdcp_key_tvalid	入力	AXI4-Stream キー TValid
reg_key_sel[2:0]	出力	8 組に分割された 40 キーのうちの 1 組を選択

表 2-1: DisplayPort RX サブシステム ポート (続き)

信号名	コアから見た方向	説明
Start_key_transmit	出力	アクティブ High 駆動でキーの送信を開始
割り込み		
dprxss_dp_irq	出力	DisplayPort RX IP 割り込み出力
dprxss_iic_irq	出力	AXI IIC IP 割り込み出力
dprx_hdcp_irq	出力	HDCP IP 割り込み出力
dprx_timer_irq	出力	AXI タイマー割り込み出力

レジスタ空間

このセクションでは、DisplayPort RX サブシステムで利用可能なレジスタの詳細を説明します。アドレス マップは次の領域に分割されます。

- DisplayPort Receive (RX) IP
- AXI IIC
- HDCP
- AXI Timer

DisplayPort レジスタ

DisplayPort RX レジスタの詳細は、『DisplayPort 製品ガイド』(PG064) [\[参照 9\]](#) を参照してください。

AXI IIC レジスタ

AXI IIC レジスタの詳細は、『AXI IIC 製品ガイド』(PG090) [\[参照 13\]](#) を参照してください。

HDCP レジスタ

HDCP レジスタの詳細は、『HDCP 製品ガイド』(PG224) [\[参照 11\]](#) を参照してください。

AXI Timer レジスタ

AXI Timer レジスタの詳細は、『AXI Timer 製品ガイド』(PG079) [\[参照 12\]](#) を参照してください。

コアを使用するデザイン

この章では、コアを使用した設計をより容易にするためのガイドラインおよび追加情報を紹介します。

クロッキング

このセクションでは、リンク クロック (rx_lnk_clk)、ビデオ クロック (rx_vid_clk)、およびビデオブリッジ AXI4-Stream マスター インターフェイス クロックについて説明します。MST モードでは、rx_vid_clk だけがすべてのストリーム ビデオ インターフェイスへ接続されます。その他のクロックの詳細は、『DisplayPort 製品ガイド』(PG064) [参照 9] を参照してください。

rx_vid_clk は 150MHz 以上である必要があります。m_axis_aclk_streamn は rx_vid_clk と同じかそれ以上にできます。

rx_lnk_clk は、Video PHY (GT) が生成する DisplayPort RX サブシステムに入力するリンク クロックです。32 ビットのビデオ PHY(GT) データ インターフェイスの場合、rx_lnk_clk の周波数は $\langle \text{line_rate} \rangle / 40\text{MHz}$ です。

16 ビット GT インターフェイスの hdcv_ext_clk は、ユーザーが外部 MMCM から供給する必要があります。hdcv_ext_clk の周波数要件は、 $\text{rx_lnk_clk} / 2$ です。

表 3-1 にクロックの範囲を示します。

表 3-1: クロックの範囲

クロックドメイン	最小 (MHz)	最大 (MHz)	説明
rx_lnk_clk	40	270	リンク クロック
rx_vid_clk	25	150	ビデオ クロック
s_axi_aclk	25	135	ホスト プロセッサ クロック

リセット

サブシステムには、AXI4-Lite、AXI4-Stream、および Video インターフェイスのそれぞれに 1 つのリセット入力があります。

- `s_axi_aresetn`: アクティブ Low の AXI4-Lite リセット。これですべてのプログラミングレジスタがリセットされます。
- `rx_vid_rst`: アクティブ High のビデオパイプ リセット。4 つのストリームを用いる MST の場合、4 つのビデオリセットが存在します。
- `dp159_rst`: AXI IIC GPIO ポートを介して生成される DP159 リタイマーへのアクティブ High のソフトリセット。このリセットは、GPIO ポート向けの AXI IIC プログラミングを通じてアサートされます。詳細は、『AXI IIC Controller 製品ガイド』(PG090) [参照 13] を参照してください。

アドレス マップの例

表 3-2 に、サブシステムのベースアドレス 0x44C0_0000 (14 ビット) に基づく例を示します。Video to AXI4-Stream Bridge にレジスタはありません。

表 3-2: アドレス マップの例

名称	SST	MST
DisplayPort RX	0x44C0_0000	0x44C0_0000
AXI IIC Controller	0x44C1_0000	0x44C1_0000
HDCP Controller	0x44C2_0000	0x44C2_0000
AXI Timer	0x44C3_0000	0x44C3_0000

プログラミング シーケンス

PHY 関連のプログラミングの詳細は、『Video PHY Controller 製品ガイド』(PG230) [参照 14] を参照してください。

SST/MST モードおよびオーディオのプログラミング シーケンスは、『DisplayPort 製品ガイド』(PG064) [参照 9] を参照してください。

HDCP 関連のプログラミング シーケンスは、『HDCP Controller 製品ガイド』(PG222) [参照 11] を参照してください。

デザイン フローの手順

この章では、サブシステムのカスタマイズおよび生成について説明します。一般的な Vivado® デザイン フローおよび IP インテグレーターの詳細は、次の Vivado Design Suite ユーザー ガイドを参照してください。

- 『Vivado Design Suite ユーザー ガイド：IP インテグレーターを使用した IP サブシステムの設計』(UG994) [参照 1]
- 『Vivado Design Suite ユーザー ガイド：IP を使用した設計』(UG896) [参照 2]
- 『Vivado Design Suite ユーザー ガイド：入門』(UG910) [参照 3]
- 『Vivado Design Suite ユーザー ガイド：ロジック シミュレーション』(UG900) [参照 4]

サブシステムのカスタマイズおよび生成

ここでは、ザイリンクス ツールを使用し、Vivado® Design Suite でサブシステムをカスタマイズおよび生成する方法について説明します。

Vivado IP インテグレーターでサブシステムをカスタマイズおよび生成する場合は、『Vivado Design Suite ユーザー ガイド：IP インテグレーターを使用した IP サブシステムの設計』(UG994) [参照 1] を参照してください。IP インテグレーターは、デザインの検証または生成時に一部のコンフィギュレーション値を自動的に計算する場合があります。値が変わるかどうかを確認するには、この章のパラメーターの説明を参照してください。パラメーター値を確認するには、Tcl コンソールから `validate_bd_design` コマンドを実行してください。

サブシステムのカスタマイズは、サブシステム IP コアに関連する各種パラメーターの値を次の手順に従って指定することで可能です。

1. IP カタログからサブシステムを選択します。
2. 選択したサブシステムをダブルクリックするか、ツールバーまたは右クリック メニューから [Customize IP] コマンドをクリックします。

詳細は、『Vivado Design Suite ユーザー ガイド：IP を使用した設計』(UG896) [参照 2] および『Vivado Design Suite ユーザー ガイド：入門』(UG910) [参照 3] を参照してください。

注記: この章の図には Vivado IDE のスクリーンショットが使用されていますが、現在のバージョンとはレイアウトが異なる場合があります。

IP のカスタマイズ

図 4-1 に、設定画面を示します。

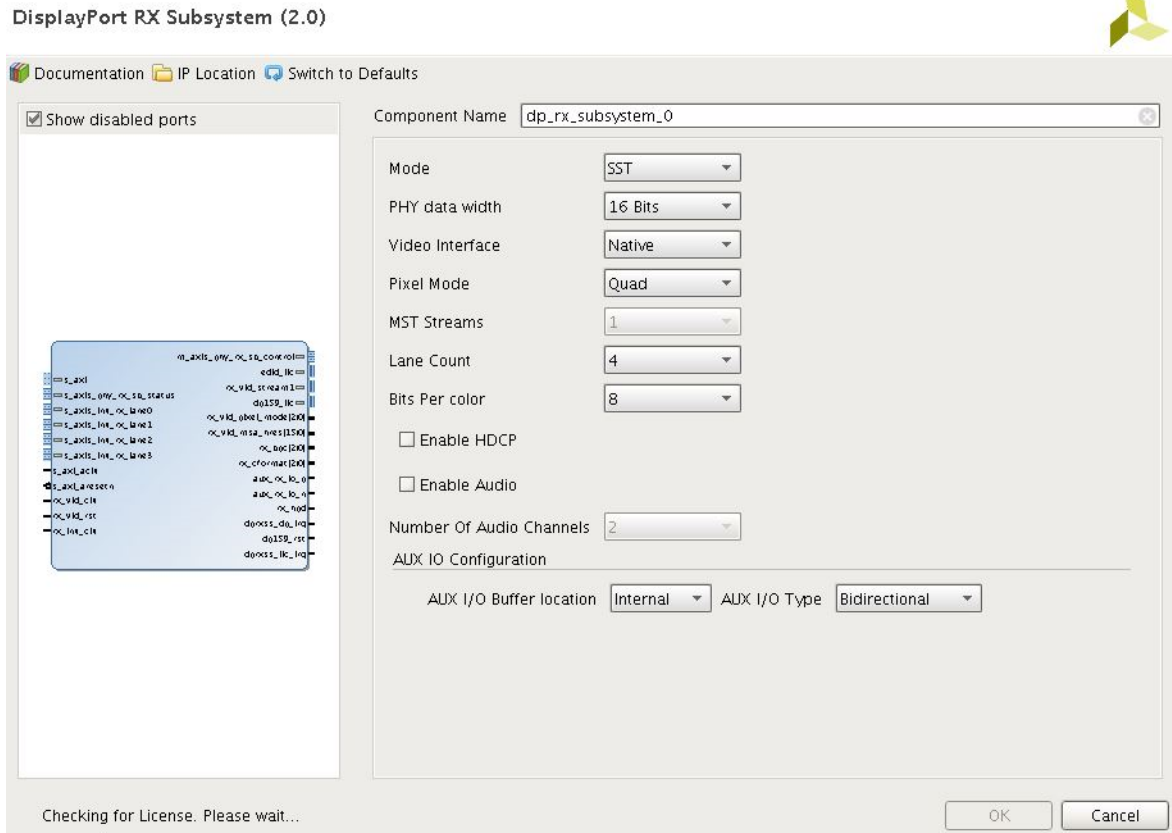


図 4-1: 設定画面

- **[Component Name]:** コンポーネント名は、コアの最上位ラッパー ファイルの名前として使用します。下位の ネットリストは、元の名前のままです。最初の 1 文字は必ず小文字アルファベットとし、2 文字目以降は a ~ z、0 ~ 9、アンダースコア (_) を自由に組み合わせることができます。「displayport_0」は内部モジュール名として 使用するため、コンポーネント名には使用しないでください。デフォルトは dp_rx_subsystem_0 です。
- **[Mode]:** DisplayPort IP に必要な分解能を選択します。デフォルト値は SST です。
- **[PHY Data Width]:** GT データ幅が 16 ビットまたは 32 ビットかを選択します。
- **[Video Interface]:** 入力ビデオインターフェイスがストリーミングまたはネイティブかを選択します。
- **[Pixel Mode]:** ネイティブ インターフェイスが選択されている場合に有効です。ピクセル モードがシングル、デュアル、またはクロッドのいずれかを選択します。
- **[MST Streams]:** MST モードでのストリームの数を選択します。
- **[Lane Count]:** レーンの数を選択します。
- **[Bits Per Color]:** 必要なコンポーネントあたりのビット数 (BPC) を選択します。
- **[Enable HDCP]:** HDCP を有効にします。
- **[Enable Audio]:** オーディオ サポートを有効にします。
- **[Number of Audio Channels]:** オーディオ チャネルの数を選択します。
- **[AUX I/O Buffer location]:** AUX チャネルのバッファの位置を選択します。
- **[AUX I/O Type]:** バッファ タイプが双方向か単方向かを選択します。

ユーザー パラメーター

表 4-1 に、Vivado IDE の GUI フィールドとユーザー パラメーターの対応関係を示します。ユーザー パラメーターは Tcl コンソールで表示できます。

表 4-1: Vivado IDE のパラメーターとユーザー パラメーターの対応表

Vivado IDE のパラメーター /値	ユーザー パラメーター /値	デフォルト値
[Mode]	MODE	SST
[PHY Data Width]	PHY_DATA_WIDTH	16
[Video Interface]	VIDEO_INTERFACE	AXI4 Stream
[Pixel Mode]	PIXEL_MODE	Quad
[MST Streams]	NUM_STREAMS	1
[Lane Count]	LANE_COUNT	4
[Bits Per Color]	BITS_PER_COLOR	8
[Enable HDCP]	HDCP_ENABLE	0
[Enable Audio]	AUDIO_ENABLE	0
[Number of Audio Channels]	AUDIO_CHANNELS	2
[AUX I/O Buffer location]	AUX_IO_LOC	Internal
[AUX IO Type]	AUX_IO_TYPE	Bidirectional

出力の生成

詳細は、『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896) [\[参照 2\]](#) を参照してください。

コアへの制約

ここでは、Vivado Design Suite でコアに制約を指定する方法について説明します。

必須の制約

このコアに必須の制約はありません。サブシステムであるため、各サブコアがそれぞれの制約を生成し、サブシステムにそれらが適用されます。

デバイス、パッケージ、スピード グレードの選択

サポートされるデバイスの詳細は、「[IP の概要](#)」を参照してください。

クロック周波数

クロック周波数の詳細は、[第3章の「クロッキング」](#)を参照してください。

クロック管理

クロック管理に関する特定の制約はありません。

クロック配置

クロック配置に関する特定の制約はありません。

バンキング

バンキングに関する特定の制約はありません。

トランシーバーの配置

トランシーバーは DisplayPort RX サブシステムの外部となるため、トランシーバーの配置に関する特定の制約はありません。

I/O 規格と配置

特定の I/O 制約の詳細は、『DisplayPort 製品ガイド』(PG064) [\[参照 9\]](#) を参照してください。

シミュレーション

DisplayPort RX サブシステムのサンプル デザインのシミュレーション サポートはありません。

合成およびインプリメンテーション

合成およびインプリメンテーションの詳細は、『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896) [\[参照 2\]](#) を参照してください。

デバッグ

この付録では、ザイリンクス サポート ウェブサイトより入手可能なリソースおよびデバッグ ツールについて説明します。



ヒント: IP の生成にエラーが発生し停止した場合、ライセンスに問題がある可能性があります。詳細は、[第 1 章の「ライセンスチェッカー」](#)を参照してください。

ザイリンクス ウェブサイト

DisplayPort サブシステムを使用した設計およびデバッグでヘルプが必要な場合は、[ザイリンクス サポート ウェブページ](#)から製品の資料、リリース ノート、アンサーなどを参照するか、テクニカル サポートでケースを開いてください。

資料

この製品ガイドは DisplayPort サブシステムに関する主要資料です。このガイド並びに全製品の設計プロセスをサポートする資料はすべて、ザイリンクス サポート ウェブ ページ (<http://japan.xilinx.com/support>) または Xilinx Documentation Navigator から入手できます。

Xilinx Documentation Navigator は、[ダウンロード ページ](#)からダウンロードできます。このツールの詳細および機能は、インストール後にオンライン ヘルプを参照してください。

アンサー

アンサーには、よく発生する問題についてその解決方法、およびザイリンクス製品に関する既知の問題などの情報が記載されています。アンサーは、ユーザーが該当製品の最新情報にアクセスできるよう作成および管理されています。

このコアに関するアンサーの検索には、[ザイリンクス サポート ウェブ ページ](#)にある検索ボックスを使用します。より確かな検索結果を得るには、次のようなキーワードを使用してください。

- 製品名
- ツールで表示されるメッセージ
- 問題の概要

検索結果は、フィルター機能を使用してさらに絞り込むことができます。

DisplayPort サブシステムに関するマスター アンサー

AR: [65447](#)

テクニカル サポート

ザイリンクスは、製品資料の説明に従って使用されている LogiCORE™ IP 製品に対するテクニカル サポートを [ザイリンクス サポート ウェブ ページ](#) で提供しています。ただし、次のいずれかに該当する場合、タイミング、機能、サポートは保証されません。

- 資料で定義されていないデバイスにソリューションをインプリメントした場合。
- 資料で定義されている許容範囲を超えてカスタマイズした場合。
- 「DO NOT MODIFY」とされているデザイン セクションに変更を加えた場合。

ザイリンクス テクニカル サポート へのお問い合わせに関しては、[ザイリンクス サポート ウェブ ページ](#) を参照してください。

デバッグ ツール

DisplayPort サブシステム デザインの問題を解決するには、数多くのツールを利用できます。さまざまな状況をデバッグするのに有益なツールを理解しておくことが重要です。

Vivado Design Suite のデバッグ機能

Vivado® Design Suite のデバッグ機能は、Logic Analyzer および Virtual I/O コアをユーザー デザインに直接挿入します。デバッグ機能を使用すると、トリガー条件を設定して、アプリケーションおよび統合ブロックのポート信号をハードウェアに取り込むことができます。取り込まれた信号は、その後解析できます。Vivado IDE のこの機能は、ザイリンクス デバイスで実行されるデザインの論理デバッグおよび検証に使用されます。

Vivado ロジック解析は次の IP ロジック デバッグ コアと共に使用されます。

- ILA 2.0 (およびそれ以降のバージョン)
- VIO 2.0 (およびそれ以降のバージョン)

詳細は、『Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ』(UG908) [\[参照 6\]](#) を参照してください。

ハードウェア デバッグ

ハードウェアの問題は、リンク立ち上げ時の問題から、テスト後に生じる問題までさまざまです。一般的なハードウェアの問題に関するデバッグ手順の詳細は、『DisplayPort 製品ガイド』(PG064) [\[参照 9\]](#) を参照してください。

アプリケーション ソフトウェア 開発

ソフトウェアフローが実行された MST または SST かに応じて、ソフトウェアはサブシステムへ接続されている MST/SST RX を検出できます。図 B-1 に、SST モードでの DisplayPort RX サブシステムのアプリケーションソフトウェアフローを示します。

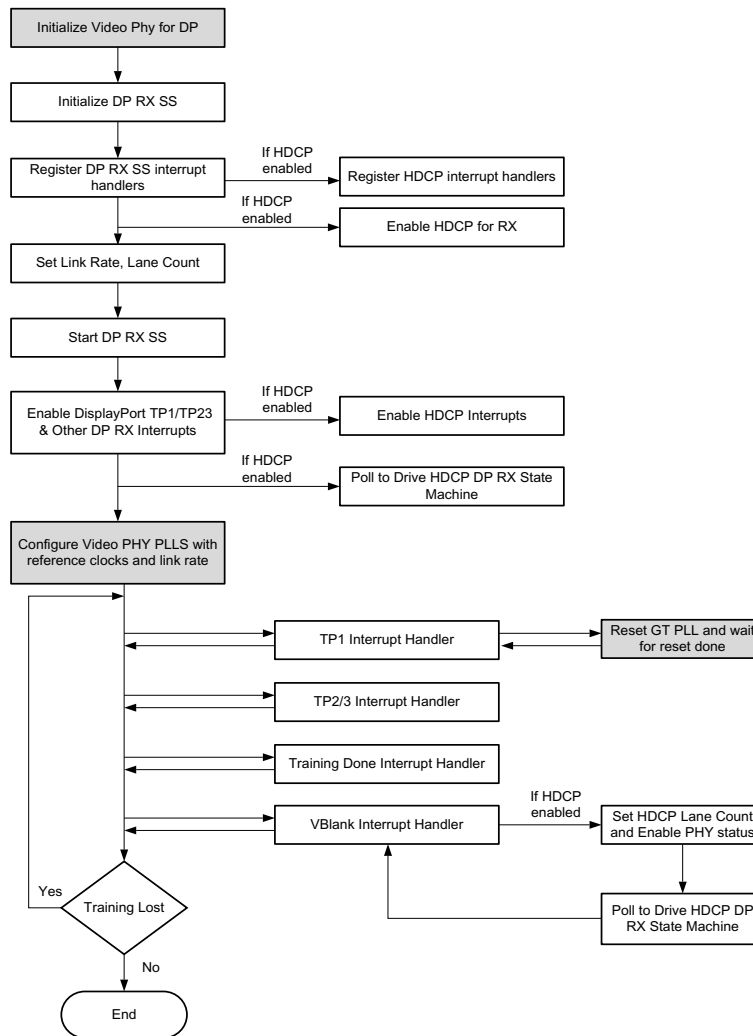


図 B-1: SST モードでの DisplayPort RX サブシステム ソフトウェア フロー

注記: Video PHY は DisplayPort RX サブシステムの外部にあり、サブシステムが規定どおりに動作するよう設定する必要があります。Video PHY の設定の詳細は、『HDCP 製品ガイド』(PG230) [参照 14] を参照してください。

その他のリソースおよび法的通知

ザイリンクス リソース

アンサー、資料、ダウンロード、フォーラムなどのサポート リソースは、[ザイリンクス サポート サイト](#)を参照してください。

参考資料

次の資料は、この製品ガイドの補足資料として役立ちます。

1. 『Vivado Design Suite ユーザー ガイド: IP インテグレーターを使用した IP サブシステムの設計』(UG994: [英語版](#)、[日本語版](#))
 2. 『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896: [英語版](#)、[日本語版](#))
 3. 『Vivado Design Suite ユーザー ガイド: 入門』(UG910: [英語版](#)、[日本語版](#))
 4. 『Vivado Design Suite ユーザー ガイド: ロジック シミュレーション』(UG900: [英語版](#)、[日本語版](#))
 5. 『ISE から Vivado Design Suite への移行ガイド』(UG911: [英語版](#)、[日本語版](#))
 6. 『Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ』(UG908: [英語版](#)、[日本語版](#))
 7. 『Vivado Design Suite ユーザー ガイド: インプリメンテーション』(UG904: [英語版](#)、[日本語版](#))
 8. 『Vivado Design Suite: AXI リファレンス ガイド』(UG1037: [英語版](#)、[日本語版](#))
 9. 『DisplayPort LogiCORE IP 製品ガイド』(PG064: [英語版](#)、[日本語版](#))
 10. 『AXI4-Stream Video IP およびシステム デザイン ガイド』([UG934](#))
 11. 『HDCP Controller 製品ガイド』([PG224](#))
 12. 『AXI Timer 製品ガイド』([PG079](#))
 13. 『AXI IIC Bus Interface 製品ガイド』([PG090](#))
 14. 『Video PHY Controller 製品ガイド』([PG230](#))
 15. 『AXI Interconnect 製品ガイド』([PG059](#))
-

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年12月20日	2.0	「IPの概要」の「サポートされるデバイスファミリ」に HDCP に関する注記を追加。
2016年11月30日	2.0	「規格」セクションに重要な注記を追加。
2016年10月5日	2.0	HDCP の機能を更新。
2016年4月6日	2.0	16ビット GT インターフェイスおよびピクセルモードでのネイティブのサポートを追加。
2015年11月18日	1.0	初版

法的通知

本通知に基づいて貴殿または貴社（本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ）に開示される情報（以下「本情報」といいます）は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で（with all faults）という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず（商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません）、すべての保証および条件を負わない（否認する）ものとします。また、(2) ザイリンクスは、本情報（貴殿または貴社による本情報の使用を含む）に関し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない（契約上、不法行為上（過失の場合を含む）、その他のいかなる責任の法理によるかを問わない）ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害（第三者が起した行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます）が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品（製品番号に「XA」が含まれる）は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能（「セーフティ設計」）がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション（「セーフティアプリケーション」）における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2015-2016 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。