

# DisplayPort TX サブシステム v2.0

## 製品ガイド

Vivado Design Suite

PG199 2016 年 12 月 20 日

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

# 目次

## IP の概要

### 第 1 章: 概要

機能概要 .....	4
サポートされていない機能 .....	4
ライセンスおよび注文情報 .....	5

### 第 2 章: 製品仕様

概要 .....	6
規格 .....	13
リソース使用率 .....	13
ポートの説明 .....	14
レジスタ空間 .....	18

### 第 3 章: コアを使用するデザイン

クロッキング .....	20
リセット .....	21
プログラミング シーケンス .....	22

### 第 4 章: デザイン フローの手順

サブシステムのカスタマイズおよび生成 .....	23
コアへの制約 .....	25
シミュレーション .....	26
合成およびインプリメンテーション .....	26

### 付録 A: デバッグ

ザイリンクス ウェブサイト .....	27
デバッグ ツール .....	28
ハードウェア デバッグ .....	28

### 付録 B: アプリケーション ソフトウェア開発

### 付録 C: その他のリソースおよび法的通知

ザイリンクス リソース .....	30
参考資料 .....	30
改訂履歴 .....	31
法的通知 .....	31

## はじめに

DisplayPort TX サブシステムは、大規模なビデオ システムにおける 60fps で最大 4k2k のビデオ解像度のシリアル デジタル データ送信向けのプラグイン ソリューションです。このサブシステムは、必要なモードの選択を容易にし、その他のカスタマイズを自動化します。

## 機能

- DisplayPort Source (TX) 送信をサポート
- Ultra HD (60fps) で Multi-Stream Transport (MST) モードおよび Single Stream Transport (SST) モードをサポート
- 1.62/2.7/5.4Gb/s のリンク レートを動的にサポート
- 各コンポーネントで 6、8、10、12、または 16 ビット (BPC) を動的にサポート
- RGB/YCbCr444/YCbCr422/Y\_Only カラー フォーマットを動的にサポート
- ストリーミング ビデオ インターフェイス モードと解像度が同じ最大 2 つのストリームへと内部分割されるワイド スクリーンをサポート
- 32 または 16 ビットの Video PHY (GT) インターフェイスをサポート
- 2 ~ 8 のチャンネル オーディオをサポート
- HDCP 1.3 暗号化をサポート
- ネイティブまたはストリーミング ビデオ入力インターフェイスをサポート

この LogiCORE IP について	
<b>コアの概要</b>	
サポートされるデバイスファミリ (1)(2)	UltraScale+™ ファミリ、UltraScale™ アーキテクチャ、Zynq®-7000、7 シリーズ
サポートされるユーザーインターフェイス	AXI4-Stream、AXI4-Lite
リソース	<a href="#">Performance and Resource Utilization (ウェブ ページ)</a>
<b>コアに含まれるもの</b>	
デザイン ファイル	DisplayPort TX コアおよびその他 IP コアとパッケージ化された階層構造のサブシステム
サンプル デザイン	N/A
テストベンチ	N/A
制約ファイル	IP コアには XDC ファイルが付属
シミュレーションモデル	N/A
サポートされるソフトウェアドライバ	スタンドアロン
<b>テスト済みデザイン フロー (3)</b>	
デザイン入力	Vivado® Design Suite
シミュレーション	サポートされるシミュレータについては、 <a href="#">『Vivado Design Suite ユーザー ガイド: リリース ノート ガイド、インストール およびライセンス』</a> を参照
合成	Vivado 合成
<b>サポート</b>	
<a href="#">ザイリンクス サポート ウェブ ページ</a> で提供	

### 注記:

1. サポートされているデバイスの一覧は、Vivado IP カタログを参照してください。
2. HDCP について: UltraScale/UltraScale+ は最大 5.4Gb/s をサポートし、Kintex-7/Virtex-7 の -1 スピード グレードは最大 2.7Gb/s、-2/-3 は最大 5.4Gb/s をサポート、Artix-7 ではサポートされていません。
3. サポートされているツールのバージョンは、[『Vivado Design Suite ユーザー ガイド: リリース ノート ガイド、インストールおよびライセンス』](#)を参照してください。

## 概要

この章では、コアの概要および機能、ライセンス、標準規格の詳細について説明します。DisplayPort TX サブシステムは、DisplayPort Transmit (TX) コアを含む階層構造でパッケージ化されたフル機能のサブシステムで、大規模なビデオシステムにおけるアプリケーションにすぐに利用可能です。

---

### 機能概要

- UHD (最大 60fps) で Multi-Stream Transport (MST) モードと SST モードをサポート。
- 各色 6、8、10、12 または 16 ビットおよびラインレートを動的にサポート。
- RGB/YCbCr444/ YCbCr422/Y\_Only カラーフォーマットを動的にサポート。
- HDCP 1.3 Controller をオプションでサポート。
- ネイティブまたはストリーミングのビデオ入力インターフェイスをサポート。

---

### サポートされていない機能

- オーディオは MST モードでサポートされない。
- HDCP は MST モードでサポートされない。
- HDCP 2.x はサポートされない。
- ピクセルモードを動的に選択した場合、ビデオストリーミングインターフェイスは拡張できない。
- デュアルピクセルスプリッターはネイティブビデオモードでサポートされない。

# ライセンスおよび注文情報

## ライセンス チェッカー

IP にライセンス キーが必要な場合、そのキーの認証が必要です。Vivado® デザイン ツールでは、設計フローにライセンスが必要な IP の使用をゲーティングする、ライセンス チェックポイントが複数あります。ライセンス チェックが正常に終了すると、IP の生成が継続されます。正常に終了しなければ、IP の生成はエラーとなり停止します。ライセンス チェックポイントが適用されるのは、次のツールです。

- Vivado 合成
- Vivado インプリメンテーション
- write\_bitstream (Tcl コマンド)



**重要:** チェックポイントでは、IP のライセンス レベルは無視されます。有効なライセンスの有無のみを検証します。IP ライセンス レベルは確認しません。

## ライセンスの種類

このサブシステムには、[ザイリンクス コア ライセンス契約](#)の条件に基づいて提供される DisplayPort Transmit コアのライセンスが必要です。シミュレーションおよびハードウェアでコアのすべての機能を利用するには、コアのライセンスをご購入いただく必要があります。ザイリンクス LogiCORE IP の価格および提供状況については、[ザイリンクス販売代理店](#)にお問い合わせください。

コアのライセンスに関する詳細は、[DisplayPort コアの製品ページ](#)を参照してください。

その他のザイリンクス LogiCORE IP モジュールに関する情報は、[ザイリンクス IP コア](#)のページを参照してください。その他のザイリンクス LogiCORE IP モジュールおよびツールの価格と提供状況については、[ザイリンクス販売代理店](#)にお問い合わせください。

# 製品仕様

この章では、コアの概要を示し性能とポートについて詳細に説明します。

---

## 概要

DisplayPort TX サブシステムは、ストリーミングおよびネイティブ インターフェイスの両方で次のビデオ モードで動作します。

- Single Stream Transport (SST)
- Multi-Stream Transport (MST)

## ストリーミング ビデオ インターフェイス

SST モードのサブシステムは 3 つのサブコア (DisplayPort Transmit コア、Video Timing Controller (VTC)、DP AXI4-Stream to Video Bridge) とパッケージ化されています。SST モードの TX サブシステムには、暗号化に使用する HDCP コントローラーと、HDCP 機能のヘルパー コアとしての AXI Timer も含まれます。

DisplayPort TX サブシステムは階層構造でパッケージ化されているため、ユーザーがパラメーターを選択すると、それを基にサブシステムが必要なハードウェアを作成します。図 2-1 に、4 つのストリームを用いる MST を想定したサブシステムのアーキテクチャを示します。

サブシステムにはマルチ ピクセル AXI4-Stream ビデオ プロトコル インターフェイスが含まれます。DisplayPort TX サブシステムは、DisplayPort v1.2 プロトコルを使用してビデオを出力します。このサブシステムは、DP プロトコル向けに構成されている Video PHY Controller と連動します。

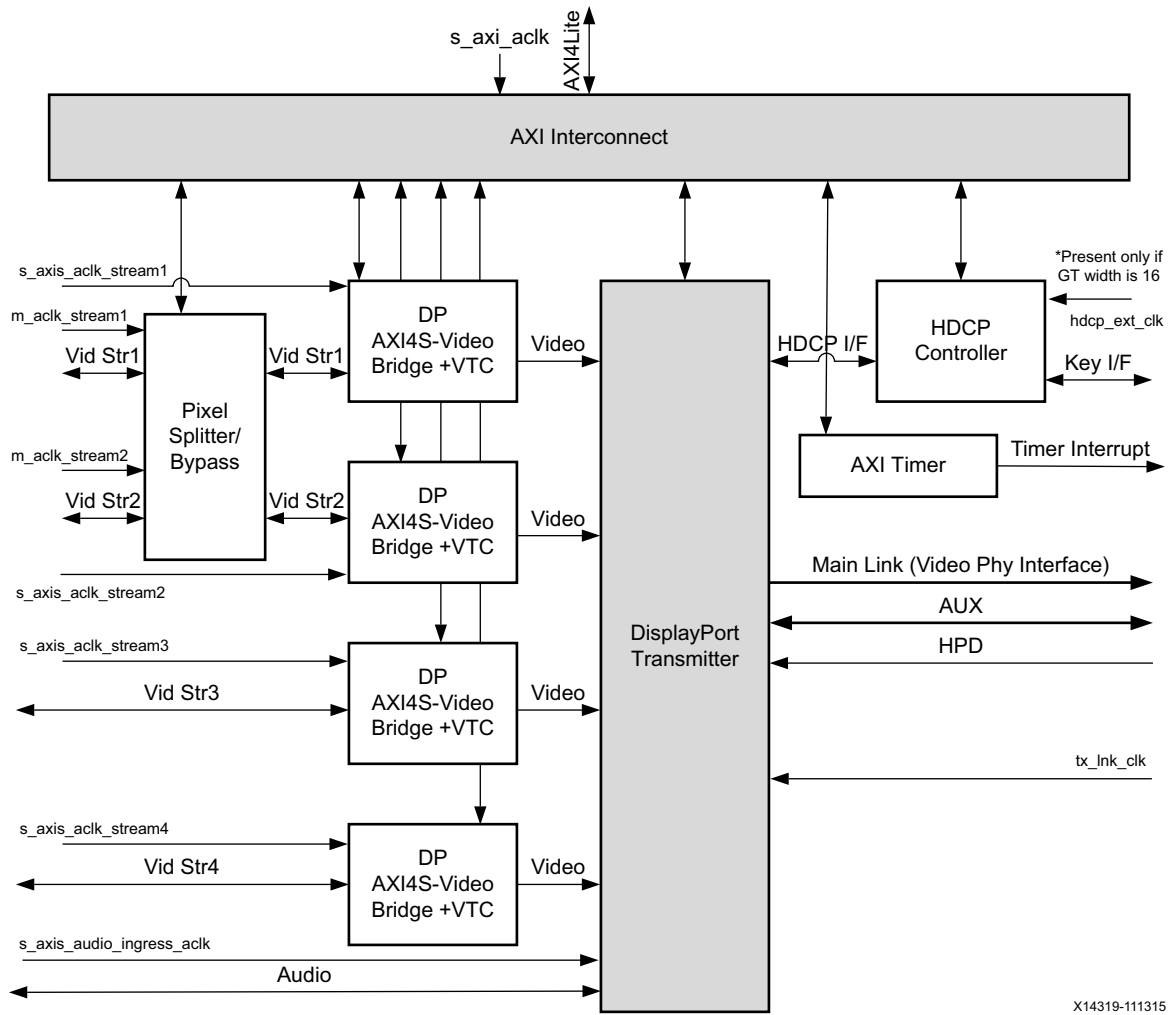


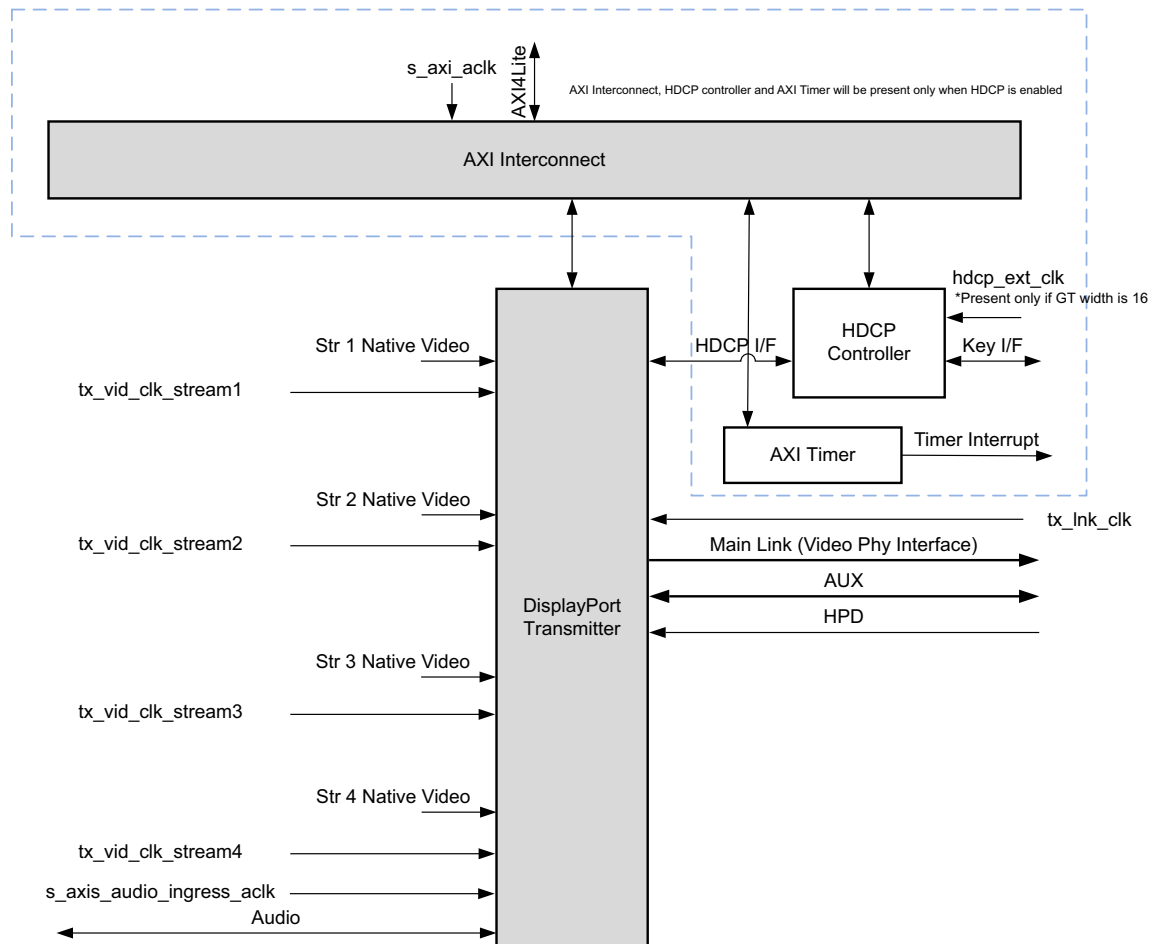
図 2-1: DisplayPort TX サブシステムのストリーミングビデオ インターフェイスのブロック図

MST モードでのサブシステムには 4 つのサブコア (Dual Splitter、DisplayPort AXI4-Stream to Video Bridge、Video Timing Controller、DisplayPort Transmitter) が含まれます。

## ネイティブ ビデオ インターフェイス

ネイティブ インターフェイスを有効にした SST モードでは、サブシステムには DisplayPort Transmit サブコアしかデフォルトでパッケージ化されません。SST モードの TX サブシステムには、暗号化に使用する HDCP コントローラーと、HDCP 機能のヘルパー コアとしての AXI Timer を有効にするオプションも含まれます。

図 2-2 に、4 つのネイティブ ビデオ ストリームを用いる MST を想定したサブシステムのアーキテクチャを示します。サブシステムにはマルチ ピクセル ネイティブ ビデオ プロトコル インターフェイスが含まれます。このサブシステムは、DisplayPort v1.2 プロトコルを使用してビデオを出力し、DP プロトコル向けに構成されている Video PHY Controller と連動します。



X16177-022316

図 2-2: DisplayPort TX サブシステムのネイティブ ビデオ インターフェイスのブロック図



## DisplayPort Dual Splitter

Dual Splitter は、2つのストリームを用いる MST をサポートする目的でフレームを垂直方向に分割するために使用します (図 2-3 参照)。フレームは分割されますが、1つのフレームとして見えます。Dual Splitter には、最大 1.5 スキャンライン分のデータを保持するためのバッファが備わっています。

注記: このコアは、MST がストリーミング インターフェイス モードで有効のときにのみ現れます。Dual Splitter の使用時は、未使用の入力ビデオ ストリームがグランド接続されていることを確認してください。

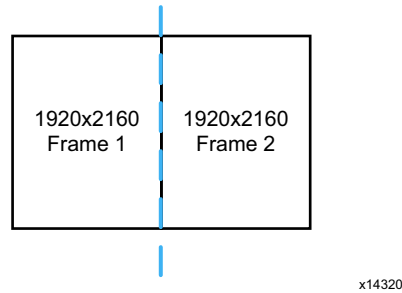


図 2-3: 垂直方向に分割されるフレーム

## スプリッター インターフェイス

スプリッターの入力および出力は、AXI4-Stream インターフェイスを介するビデオです。図 2-4 に、このインターフェイスのタイミングを示します。

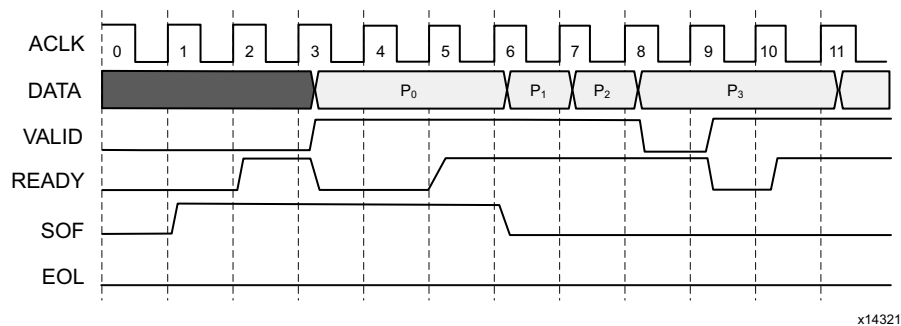


図 2-4: AXI4-Stream インターフェイスを介するビデオのタイミング

モードに基づいて、Dual Splitter のコア制御レジスタ (CORE\_CONTROL\_REG) でクロックあたりの入力サンプルおよび出力サンプルを設定する必要があります。CORE\_CONTROL\_REG の説明は、「Dual Splitter レジスタ」を参照してください。

## DisplayPort の AXI4-Stream to Video Bridge

DisplayPort の AXI4-Stream to Video Bridge は、DisplayPort Transmit IP コアの要件に従って AXI4-Stream インターフェイス経由でビデオをネイティブ ビデオ フォーマットに割り当てます。このブリッジ コアは、ザイリンクスの AXI4-Stream to Video Out コアを使用して AXI4-Stream と DisplayPort ネイティブ ビデオ間のフォーマット変換を実行します。

AXI4-Stream to Video Out コアの詳細は、『AXI4-Stream to Video Out 製品ガイド』(PG044) [参照 10] を参照してください。

AXI4-Stream を介するビデオの詳細は、『Vivado Design Suite: AXI リファレンス ガイド』(UG1037) [参照 8] を参照してください。

『DisplayPort LogiCORE IP 製品ガイド』(PG064) [参照 9] には、DisplayPort 入力ビデオフォーマットに関する説明が含まれます。

ブリッジコアの受信側は AXI4-Stream を介するビデオです。詳細は、「[ポートの説明](#)」を参照してください。

MST モードのサブシステムには N 個のブリッジがあります。N は、サブシステムへ入力される AXI4-Stream の数です。

## ストリーミング インターフェイスでのピクセル マップ

デフォルトのピクセル モードは、サブシステム生成時のレーン数に相当します。

$$\text{Pixel\_Width} = \text{MAX\_BPC} \times 3$$

$$\text{Interface Width} = \text{Pixel Width} \times \text{LANE\_COUNT}$$

たとえば、MAX\_BPC を 16 に設定して 4 レーンを用いてシステムが生成された場合、データ幅は 192 (16x4x3) となります。

MAX_BPC	LANES	PIXEL WIDTH	INTERFACE	VIDEO BPC	Pixel 3			Pixel 2			Pixel 1			Pixel 0		
					B	G	R	B	G	R	B	G	R	B	G	R
16	4	48	192	8	191:184	175:168	159:152	143:136	127:120	111:104	95:88	79:72	63:56	47:40	31:24	15:8
16	2	48	96	8							95:88	79:72	63:56	47:40	31:24	15:8
12	4	36	144	10	143:134	131:122	119:110	107:98	95:86	83:74	71:62	59:50	47:38	35:26	23:14	11:2
10	4	30	120	10	119:110	109:100	99:90	89:80	79:70	69:60	59:50	49:40	39:30	29:20	19:10	9:0
8	2	24	48	8							47:40	39:32	31:24	23:16	15:8	7:0

図 2-5: ストリーミング インターフェイスでのピクセル マップの例

## Video Timing Controller

ザイリンクスの Video Timing Controller はビデオ タイミングの生成に使用します。このコアは、サブシステムがストリーミング インターフェイス モードに設定されている場合に必要になります。コアの詳細は、『[Video Timing Controller 製品ガイド](#)』(PG016) [参照 11] を参照してください。



**重要:** 適切なフロント ポートとバック ポーチのブランキング期間の生成をプログラムする必要があります。

## DisplayPort Transmit

DisplayPort Transmit コアには、図 2-6 に示すとおり次のコンポーネントが含まれます。

- メイン リンク: プライマリ ビデオ ストリームを転送します。
- セカンダリ リンク: メイン リンクのブランキング期間にオーディオ情報を埋め込んで転送します。
- AUX チャンネル: ソースからシンクへの専用の通信チャンネルを確立します。

詳細は、『DisplayPort 製品ガイド』(PG064) [参照 9] を参照してください。

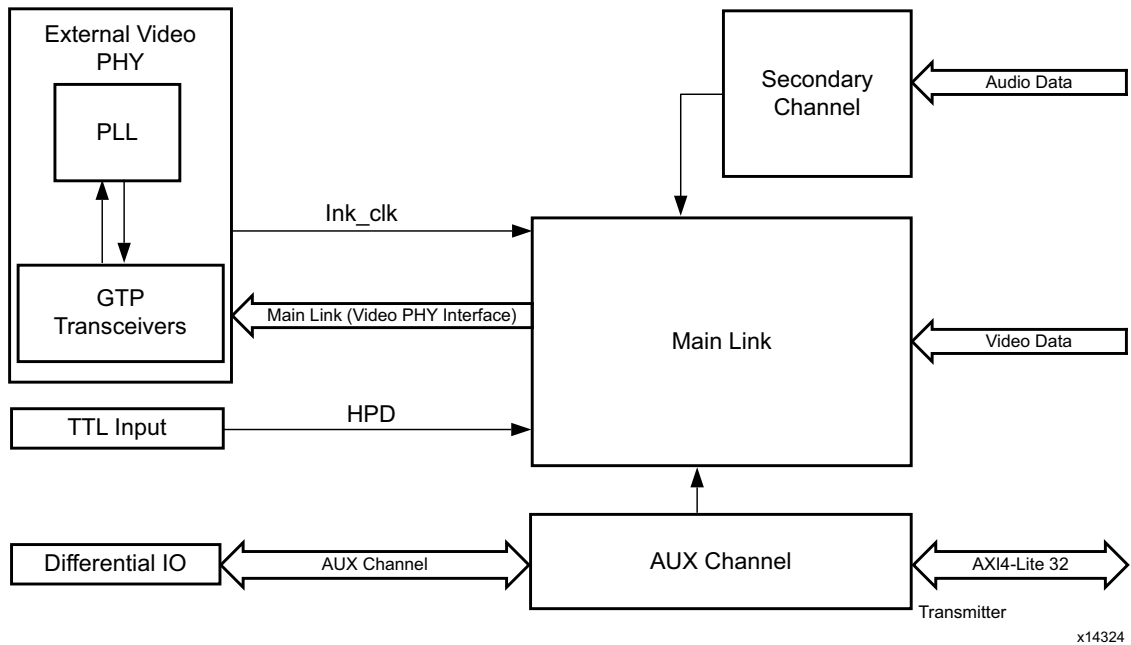


図 2-6: DisplayPort Transmit コアのブロック図

## AXI Interconnect

サブシステムは、ザイリンクスの AXI Interconnect IP コアを AXI4-Lite インターフェイスを含むクロスバーとして使用します。図 2-7 に、DisplayPort TX サブシステム内の AXI スレーブ構造を示します。

注記: N 個のストリームを用いる MST の場合、N 個のビデオ タイミング コントローラーが存在します。第 3 章の「アドレス マップの例」を参照してください。

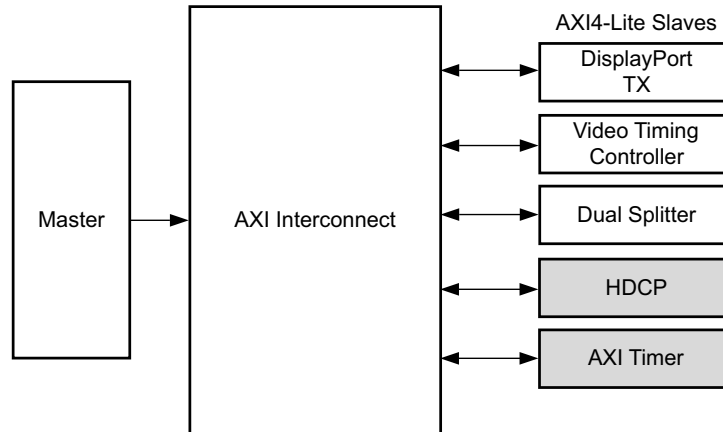


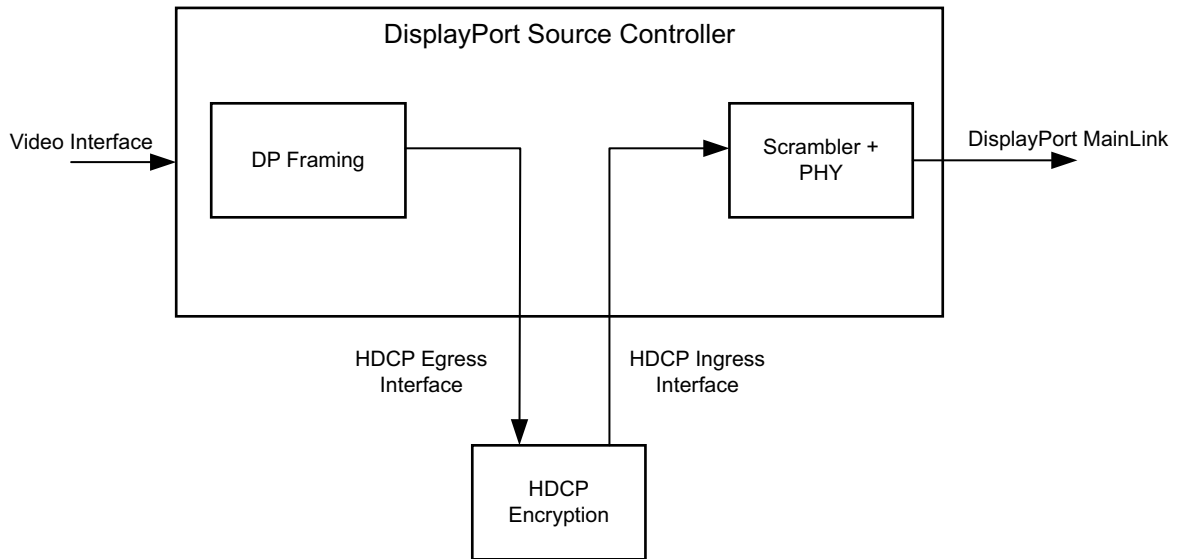
図 2-7: DisplayPort TX サブシステム内の AXI4-Lite Interconnect

注記: Video Timing Controller と Dual Splitter は、サブシステムがストリーミング インターフェイス モードで生成される場合にのみ現れます。

## HDCP Controller

DCP v1.3 プロトコルは、オーディオ/ビジュアル コンテンツを安全に送信する方法を定義します。さらに、オーディオ/ビジュアル コンテンツは DisplayPort インターフェイスを介して送信可能です。DisplayPort TX サブシステムで、HDCP Controller は DisplayPort Transmit IP とデータの暗号化にしようされます。

図 2-8 に、HDCP Controller を含む DisplayPort TX サブシステムを示します。HDCP の詳細は、『HDCP 製品ガイド』(PG224) [参照 12] を参照してください。



X15176-102915

図 2-8: HDCP Controller を含む DisplayPort TX

## AXI Timer

HDCP Controller が暗号化に有効な場合、DisplayPort TX サブシステムでは 32 ビット AXI Timer が使用されます。AXI Timer は、AXI4 マスター インターフェイスを介してシステムの基本的なタイマー機能として利用できます。

## 規格

DisplayPort TX サブシステムは DisplayPort v1.2 規格、HDCP v1.3 規格に準拠し、AXI4-Lite および AXI4-Stream インターフェイスと互換性があります。



**重要:** ザイリンクスの DisplayPort サブシステムはコンプライアンス認証を受けています。コンプライアンス レポートの入手、または使用製品のコンプライアンス認証に関する案内をお求めの場合は、お近くのザイリンクス販売代理店にお問い合わせください。

## リソース使用率

リソース使用率の詳細は、[パフォーマンスおよびリソース使用率](#)を参照してください。

## ポートの説明

DisplayPort TX サブシステム ポートを表 2-1 で説明します。

表 2-1: DisplayPort TX サブシステム ポート

信号名	コアから見た方向	説明
<b>AXI4-Lite インターフェイス</b>		
s_axi_aclk	入力	AXI バス クロック
s_axi_aresetn	入力	AXI リセット。アクティブ Low。
s_axi_awaddr[18:0]	入力	書き込みアドレス
s_axi_awprot[2:0]	入力	プロテクション タイプ
s_axi_awvalid	入力	書き込みアドレスの Valid 信号
s_axi_awready	出力	書き込みアドレスの Ready 信号
s_axi_wdata[31:0]	入力	書き込みデータ バス
s_axi_wstrb[3:0]	入力	書き込みストロブ
s_axi_wvalid	入力	書き込みの Valid 信号
s_axi_wready	出力	書き込みの Ready 信号
s_axi_bresp[1:0]	出力	書き込み応答
s_axi_bvalid	出力	書き込み応答の Valid 信号
s_axi_bready	入力	応答の Ready 信号
s_axi_araddr[18:0]	入力	読み出しアドレス
s_axi_arprot[2:0]	入力	プロテクション タイプ
s_axi_arvalid	入力	読み出しアドレスの Valid 信号
s_axi_arready	出力	読み出しアドレスの Ready 信号
s_axi_rdata[31:0]	出力	読み出しデータ
s_axi_rresp[1:0]	出力	読み出し応答
s_axi_rvalid	出力	読み出しの Valid 信号
s_axi_rready	入力	読み出しの Ready 信号
<b>AXI4-Stream インターフェイス (ストリーミング インターフェイスを選択している場合にのみ有効)</b>		
s_axis_aclk_stream1	入力	AXI4-Stream クロック
s_axis_aresetn_stream1	入力	AXI4-Stream リセット。アクティブ Low。
s_axis_video_stream1_tdata[191:0]	入力	ビデオ データ入力
s_axis_video_stream1_tlast	入力	ビデオ ライン終了
s_axis_video_stream1_tready	出力	AXI4-Stream の Tready 出力
s_axis_video_stream1_tuser	入力	ビデオ フレーム開始
s_axis_video_stream1_tvalid	入力	ビデオ Valid 信号
<b>ネイティブ ビデオ インターフェイス (ネイティブ ビデオを選択している場合にのみ有効)</b>		
tx_video_stream1_tx_vid_vsync	入力	垂直同期パルス。立ち上がりエッジでアクティブ。

表 2-1: DisplayPort TX サブシステム ポート (続き)

信号名	コアから見た方向	説明
tx_video_stream1_tx_vid_hsync	入力	水平同期パルス。立ち上がりエッジでアクティブ。
tx_video_stream1_tx_vid_enable	入力	ユーザー データ ビデオ イネーブル
tx_video_stream1_tx_vid_pixel0[47:0]	入力	ビデオ データ
tx_video_stream1_tx_vid_pixel1[47:0]	入力	ビデオ データ
tx_video_stream1_tx_vid_pixel2[47:0]	入力	ビデオ データ
tx_video_stream1_tx_vid_pixel3[47:0]	入力	ビデオ データ
tx_video_stream1_tx_vid_oddeven	入力	奇数/偶数フィールド セレクト。奇数 (1) または偶数 (0) フィールド極性を示す。
<b>MST ストリーム (n = ストリーム番号 2 ~ 4)</b>		
注記: クロック値は、第 3 章の「クロッキング」を参照してください。		
s_axis_aclk_streamn	入力	MST ストリーム クロック
s_axis_aresetn_streamn	入力	MST ストリーム リセット。アクティブ Low。
s_axis_video_streamn_tdata[191:0]	入力	MST ストリームのビデオ データ入力
s_axis_video_streamn_tlast	入力	MST ストリームのビデオ ライン終了
s_axis_video_streamn_tready	出力	MST ストリームの入力の Ready 信号
s_axis_video_streamn_tuser	入力	MST ストリームのビデオ フレーム開始
s_axis_video_streamn_tvalid	入力	MST ストリームのビデオ Valid 信号
m_aclk_stream1	入力	Stream1 のビデオ パイプ クロック。MST 構成で使用。
m_aresetn_stream1	入力	アクティブ Low の Stream 1 のビデオ パイプ リセット。MST 構成で使用。
m_aclk_stream2	入力	Stream 2 のビデオ パイプ クロック。MST 構成で使用。
m_aresetn_stream2	入力	アクティブ Low の Stream 2 のビデオ パイプ リセット。MST 構成で使用。
tx_vid_clk_streamn	入力	MST ストリーム n のユーザー データ クロック
tx_vid_rst_streamn	入力	アクティブ High のユーザー ビデオ リセット
tx_video_streamn_tx_vid_vsync	入力	垂直同期パルス。立ち上がりエッジでアクティブ。
tx_video_streamn_tx_vid_hsync	入力	水平同期パルス。立ち上がりエッジでアクティブ。
tx_video_streamn_tx_vid_enable	入力	ユーザー データ ビデオ イネーブル
tx_video_streamn_tx_vid_pixel0[47:0]	入力	ビデオ データ
tx_video_streamn_tx_vid_pixel1[47:0]	入力	ビデオ データ
tx_video_streamn_tx_vid_pixel2[47:0]	入力	ビデオ データ
tx_video_streamn_tx_vid_pixel3[47:0]	入力	ビデオ データ
tx_video_streamn_tx_vid_oddeven	入力	奇数/偶数フィールド セレクト。奇数 (1) または偶数 (0) フィールド極性を示す。
<b>ユーザー ポート</b>		
tx_vid_clk_stream1	入力	ユーザー ビデオ クロック
tx_vid_rst_stream1	入力	ユーザー ビデオ リセット。アクティブ High。
tx_hpd	入力	RX から TX へのホットプラグ検出信号

表 2-1: DisplayPort TX サブシステム ポート (続き)

信号名	コアから見た方向	説明
<b>オーディオ ストリーミング インターフェイス</b>		
s_axis_audio_ingress_aclk	入力	AXI4-Stream クロック
s_axis_audio_ingress_aresetn	入力	アクティブ Low リセット
s_axis_audio_ingress_tdata[31:0]	入力	ストリーミング データ入力 <ul style="list-style-type: none"> <li>• [3:0] - プリアンブル コード                             <ul style="list-style-type: none"> <li>◦ 4'b0001: サブフレーム 1/オーディオブロックの開始</li> <li>◦ 4'b0010: サブフレーム 1</li> <li>◦ 4'b0011: サブフレーム 2</li> </ul> </li> <li>• [27:4] - オーディオ サンプル ワード</li> <li>• [28] - バリディティ ビット (V)</li> <li>• [29] - ユーザー ビット (U)</li> <li>• [30] - チャンネル ステータス (C)</li> <li>• [31] - パリティ (P)</li> </ul>
s_axis_audio_ingress_tid[7:0]	入力	<ul style="list-style-type: none"> <li>• [3:0] - オーディオ チャンネル ID</li> <li>• [7:4] - オーディオ パケット ストリーム ID</li> </ul>
s_axis_audio_ingress_tvalid	入力	マスターからのオーディオ データに対する Valid 信号
s_axis_audio_ingress_tready	出力	DisplayPort ソースからの Ready 信号
<b>外部 Video PHY 側帯波ステータス インターフェイス</b>		
s_axis_phy_tx_sb_status_tdata[7:0]	出力	Video PHY への側帯波ステータス
s_axis_phy_tx_sb_status_tready	入力	Video PHY からの側帯波ステータス Ready 信号入力
s_axis_phy_tx_sb_status_tvalid	出力	Video PHY への側帯波ステータス データ Valid 信号
<b>外部 Video PHY クロック インターフェイス</b>		
tx_lnk_clk	入力	外部 Video PHY からのリンク クロック入力
<b>外部 Video PHY レーン n [n = 0 ~ Lane_Count-1] インターフェイス</b>		
m_axis_lnk_tx_lanen_tdata[31:0]	出力	外部 Video PHY へのレーン n データ
m_axis_lnk_tx_lanen_tvalid	出力	外部 Video PHY へのレーン n データ Valid 信号
m_axis_lnk_tx_lanen_tready	入力	外部 Video PHY からのレーン n データ Ready 信号
m_axis_lnk_tx_lanen_tuser[11:0]	出力	外部 Video PHY へのレーン n ユーザー データ出力
<b>HDCP キー インターフェイス</b>		
hdcp_ext_clk	入力	HDCP 外部クロック (16 ビット GT インターフェイスで HDCP が選択されている場合有効)
hdcp_key_aclk	入力	キー クロック
hdcp_key_aresetn	入力	キー インターフェイス リセット。アクティブ Low。
hdcp_key_tdata[63:0]	入力	AXI4-Stream キー Tdata
hdcp_key_last	入力	AXI4-Stream キー Tlast
hdcp_key_tready	出力	AXI4-Stream キー Tready
hdcp_key_tuser[7:0]	入力	AXI4-Stream キー TUSER。KMB はキー番号 0 ~ 41 を送信する必要がある。 0 は KSV に相当、1 ~ 40 は HDCP キーの数。



表 2-1: DisplayPort TX サブシステム ポート (続き)

信号名	コアから見た方向	説明
hdcp_key_tvalid	入力	AXI4-Stream キー TValid
reg_key_sel[2:0]	出力	8 組に分割された 40 キーのうちの 1 組を選択
start_key_transmit	出力	アクティブ High 駆動でキーの送信を開始
AUX 信号		
aux_tx_io_n	出力	負極性の AUX マンチェスター II データ
aux_tx_io_p	出力	正極性の AUX マンチェスター II データ
aux_tx_channel_in_p	入力	正極性の AUX チャンネル入力。[AUX IO Type] が Unidirectional の場合に有効。
aux_tx_channel_in_n	入力	負極性の AUX チャンネル入力。[AUX IO Type] が Unidirectional の場合に有効。
aux_tx_channel_out_p	出力	正極性の AUX チャンネル出力。[AUX IO Type] が Unidirectional の場合に有効。
aux_tx_channel_out_n	出力	負極性の AUX チャンネル出力。[AUX IO Type] が Unidirectional の場合に有効。
aux_tx_data_out	出力	AUX データ出力。[AUX IO Buffer location] が External の場合に有効。
aux_tx_data_in	入力	AUX データ入力。[AUX IO Buffer location] が External の場合に有効。
aux_tx_data_en_out_n	出力	AUX データ出力イネーブル。アクティブ Low。[AUX IO Buffer location] が External の場合にのみ有効。
割り込みインターフェイス		
dptxss_dp_irq	出力	DisplayPort TX IP 割り込み出力
dptxss_hdcp_irq	出力	HDCP IP 割り込み出力
dptxss_timer_irq	出力	HDCP が有効の場合にのみ、AXI Timer IP の割り込み出力は有効。

## レジスタ空間

このセクションでは、DisplayPort TX サブシステムで利用可能なレジスタの詳細を説明します。アドレス マップは次の領域に分割されます。

- Dual Splitter
- VTC 0 (4 つのストリームに対して最大で 3)
- DisplayPort Transmit
- HDCP Controller
- AXI Timer



ヒント: これらレジスタへのアクセスについては、第3章の「プログラミング シーケンス」を参照してください。

### Dual Splitter レジスタ

表 2-2 に Dual Splitter レジスタの詳細を示します。

表 2-2: Dual Splitter レジスタの定義

オフセット	レジスタ	アクセス	デフォルト値	説明
0x0000	GENR_CONTROL_REG	R/W	0x2	<ul style="list-style-type: none"> <li>• [0] – スプリッターを有効にする</li> <li>• [1] – レジスタの更新</li> <li>• [31] – ソフト リセット ビット</li> </ul> このレジスタに値 2 を書き込むと、ほかのレジスタのプログラミングが可能です。プログラミングの最後にレジスタを 3 に設定します。
0x0008	GENR_ERROR_REG	R/W	0x0	<ul style="list-style-type: none"> <li>• [0] – スレーブの早期 EOL</li> <li>• [1] – スレーブの遅延 EOL</li> <li>• [2] – スレーブの早期 SOF</li> <li>• [3] – スレーブの遅延 SOF</li> </ul>
0x000C	IRQ_ENABLE	R/W	0	[0] – エラー条件に基づく割り込み
0x0020	TIME_CONTROL REG <sup>(1)</sup>	R/W	0x0870_0F00	次の入力イメージサイズを含む <ul style="list-style-type: none"> <li>• [15:0] - 高さ</li> <li>• [15:0] - 幅</li> </ul> 注記: 4k@60 フレーム分割モードの場合、HRES は実際の HRES/4 にプログラムする必要があります。

表 2-2: Dual Splitter レジスタの定義

オフセット	レジスタ	アクセス	デフォルト値	説明
0x0100	CORE_CONTROL_REG	R/W	0x00_01_01_01	4k@60 フレーム分割モードの場合、このレジスタは 0x020404 にプログラム可能です。その他すべてのモードでは、0x10404 にプログラム可能です。 <ul style="list-style-type: none"> <li>• [7:0] – クロックあたりサンプルの入力数</li> <li>• [15:8] – クロックあたりサンプルの出力数</li> <li>• [23:16] – イメージセグメントの数</li> <li>• [31:24] – セグメントが重複するサンプルの数サブシステムは重ならない 2 つのフレームをサポートするため、0 にプログラムする必要があります。</li> </ul>

**注記:**

1. 高さ (Height) は VRES で、幅 (Width) は HRES で示します。

## Video Timing Controller レジスタ

Video Timing Controller (VTC) レジスタの詳細は、『Video Timing Controller 製品ガイド』(PG016) [\[参照 11\]](#) を参照してください。

## DisplayPort レジスタ

DisplayPort レジスタの詳細は、『DisplayPort 製品ガイド』(PG064) [\[参照 9\]](#) を参照してください。

## HDCP レジスタ

HDCP レジスタの詳細は、『HDCP 製品ガイド』(PG224) [\[参照 12\]](#) を参照してください。

## AXI Timer レジスタ

AXI Timer レジスタの詳細は、『AXI Timer 製品ガイド』(PG079) [\[参照 13\]](#) を参照してください。

## コアを使用するデザイン

この章では、コアを使用した設計をより容易にするためのガイドラインおよび追加情報を紹介します。

### クロッキング

このセクションでは、リンク クロック (tx\_lnk\_clk) およびビデオ クロック (tx\_vid\_clk\_stream1) について説明します。その他のクロックの詳細は、『DisplayPort 製品ガイド』(PG064) [参照 9] を参照してください。

AXI4-Stream to Video Bridge では非同期クロッキングが可能です。指定のビデオ解像度に対する値は Consumer Electronics Association (CEA)/VESA の Display Monitor Timing (DMT) 規格に基づきます。MST モードの場合も、tx\_vid\_clk\_stream1 および s\_axis\_aclk\_stream1 を同じ値にでき、あるいは s\_axis\_aclk\_stream1 の周波数を tx\_vid\_clk\_stream1 のものよりも高くできます。

tx\_lnk\_clk は、Video PHY (GT) が生成する DisplayPort TX サブシステムに入力するリンク クロックです。tx\_lnk\_clk の周波数は、32 ビット Video PHY (GT) データ インターフェイスの場合は <math>\langle \text{line\\_rate} \rangle / 40\text{Mhz}</math> となり、16 ビット Video PHY (GT) インターフェイスの場合は <math>\langle \text{line\\_rate} \rangle / 20\text{Mhz}</math> となります。推奨値は、表 3-1 を参照してください。

16 ビット GT インターフェイスでの hdp\_ext\_clk 入力には外部の MMCM から駆動する必要があり、この場合の周波数は  $\text{hdp\_ext\_clk} = \text{tx\_lnk\_clk} / 2\text{Mhz}$  にする必要があります。

ネイティブ モードでは、指定の解像度に対する TX ビデオ クロックの範囲は Consumer Electronics Association (CEA)/VESA の Display Monitor Timing (DMT) 規格に従う必要があります。

表 3-1: クロッキング

解像度	AXI4-Stream (s_axis_aclk_stream1)	ビデオ パイプ (m_aclk_stream1)	ユーザー ビデオ クロック (tx_vid_clk_stream1)
60fps の 4k2k (フレーム分割モード)	148.5 <sup>(1)</sup>	74.25 <sup>(1)</sup>	74.25 <sup>(1)</sup>
その他のモード	ビデオ クロック <sup>(2)</sup>	ビデオ クロック <sup>(2)</sup>	ビデオ クロック <sup>(2)</sup>

注記:

- MST ストリーム 1 および MST ストリーム 2 にのみ適用されます。
- MST が有効の場合の 4 つのストリームすべてに適用されます。各 DMT 解像度に対応するビデオ クロック範囲は、DMT/CEA 仕様を参照してください。

## リセット

サブシステムには、AXI4-Lite、AXI4-Stream、および Video インターフェイスのそれぞれに 1 つのリセット入力があります。

- `s_axi_aresetn`: アクティブ Low の AXI4-Lite リセット。これですべてのプログラミングレジスタがリセットされます。
- `tx_vid_reset_stream1`: アクティブ High のビデオパイプリセット。4 つのストリームを用いる MST の場合、4 つのビデオリセットがあります。
- `s_axis_aresetn_stream1`: アクティブ Low の AXI4-Stream インターフェイスリセット。4 つのストリームを用いる MST の場合、各ストリームに対応する 4 つのリセットがあります。
- `m_aresetn_stream1`: ストリーム 1 および 2 に対応するアクティブ Low のリセット。

## アドレスマップの例

表 3-2 に、サブシステムのベースアドレス 0x44C0\_0000 (19 ビット) に基づく例を示します。DisplayPort TX サブシステムには 0x00000 のオフセットアドレスから開始する 19 ビットアドレスマッピングが必要です。このアドレスマッピングは、TX サブシステムがストリーミングインターフェイスモードに設定されている場合に適用可能です。ネイティブインターフェイスモードでは、Dual Splitter および Video Timing Controller は現れません。

表 3-2: アドレスマップの例

	SST	MST
DisplayPort TX コア	0x44C0_0000	0x44C0_0000
Dual Splitter	N/A	0x44C1_0000
VTC 0	0x44C2_0000	0x44C2_0000
VTC 1 (N = 2)	N/A	0x44C3_0000
VTC 2 (N = 3)	N/A	0x44C4_0000
VTC 3 (N = 4)	N/A	0x44C5_0000
HDCP Controller	0x44C3_0000	N/A
AXI Timer	0x44C4_0000	N/A

## プログラミング シーケンス

このセクションでは、2つのストリームを用いる MST モードで UHD@60 を使用するサブシステムのプログラミング シーケンスについて説明します。DisplayPort TX サブシステムのコンポーネントを次の順序でプログラムし、有効にします。HDCP Controller および AXI Timer のアドレス マップは、HDCP が SST モードで有効の場合に存在します。

1. DisplayPort TX コア
2. Dual Splitter
3. Video Timing Controller

### Dual Splitter のプログラミング

次の手順に従って Dual Splitter をプログラムします。

1. GENR\_CONTROL\_REG に 0x02 を書き込みます。これにより、プログラミング シーケンスが開始され、Dual Splitter レジスタのアップデート ビットがセットされます。
2. TIME\_CONTROL\_REG に垂直方向および水平方向の解像度を書き込みます。
3. Dual Splitter は、入力フレームを垂直方向に 2 分割しなければならない構成で使用します。CORE\_CONTROL\_REG に、重なるセグメントの数、クロックあたりの出力サンプル、およびクロックあたりの入力サンプルを書き込みます。

4K フレーム分割モードでは、0x100 レジスタに 0x02\_04\_04 (セグメントの数=2、出力におけるクロックあたりのサンプルの数=4、入力におけるクロックあたりのサンプルの数=4) を書き込みます。

その他のモードでは、0x010404 (セグメントの数=1 (バイパス)、出力サンプルの数=4、入力サンプルの数=4) を書き込みます。

4. GENR\_CONTROL\_REG に 0x03 を書き込み、プログラムされた解像度および分割機能に対して Dual Splitter を有効にします。

Dual Splitter をプログラムする際は、次の点に注意してください。

- フレーム内の 2 つのセグメントが重ならないようにします。
- Dual Splitter のセグメント 0 は左側のフレームで、セグメント 1 は右側のフレームです。
- Dual Splitter の 2 つのセグメントのタイミングは独立していますが、新しいラインが開始されるまでに前のラインの両セグメントが完了する必要があります。
- フレーム分割モードの 4k@60 では、フレームの幅 (HRES) は実際の HRES/4 と同じである必要があります。

# デザイン フローの手順

この章では、サブシステムのカスタマイズおよび生成について説明します。一般的な Vivado® デザイン フローおよび IP インテグレーターの詳細は、次の Vivado Design Suite ユーザー ガイドを参照してください。

- 『Vivado Design Suite ユーザー ガイド: IP インテグレーターを使用した IP サブシステムの設計』(UG994) [参照 1]
- 『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896) [参照 2]
- 『Vivado Design Suite ユーザー ガイド: 入門』(UG910) [参照 3]
- 『Vivado Design Suite ユーザー ガイド: ロジック シミュレーション』(UG900) [参照 4]

---

## サブシステムのカスタマイズおよび生成

ここでは、ザイリンクス ツールを使用し、Vivado® Design Suite でサブシステムをカスタマイズおよび生成する方法について説明します。

Vivado IP インテグレーターでサブシステムをカスタマイズおよび生成する場合は、『Vivado Design Suite ユーザー ガイド: IP インテグレーターを使用した IP サブシステムの設計』(UG994) [参照 1] を参照してください。IP インテグレーターは、デザインの検証または生成時に一部のコンフィギュレーション値を自動的に計算する場合があります。値が変わるかどうかを確認するには、この章のパラメーターの説明を参照してください。パラメーター値を確認するには、Tcl コンソールから `validate_bd_design` コマンドを実行してください。

サブシステムのカスタマイズは、サブシステム IP コアに関連する各種パラメーターの値を次の手順に従って指定することで可能です。

1. IP カタログからサブシステムを選択します。
2. 選択したサブシステムをダブルクリックするか、ツールバーまたは右クリック メニューから [Customize IP] コマンドをクリックします。

詳細は、『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896) [参照 2] および『Vivado Design Suite ユーザー ガイド: 入門』(UG910) [参照 3] を参照してください。

**注記:** この章の図には Vivado IDE のスクリーンショットが使用されていますが、現在のバージョンとはレイアウトが異なる場合があります。

## IP のカスタマイズ

図 4-1 に、設定画面を示します。

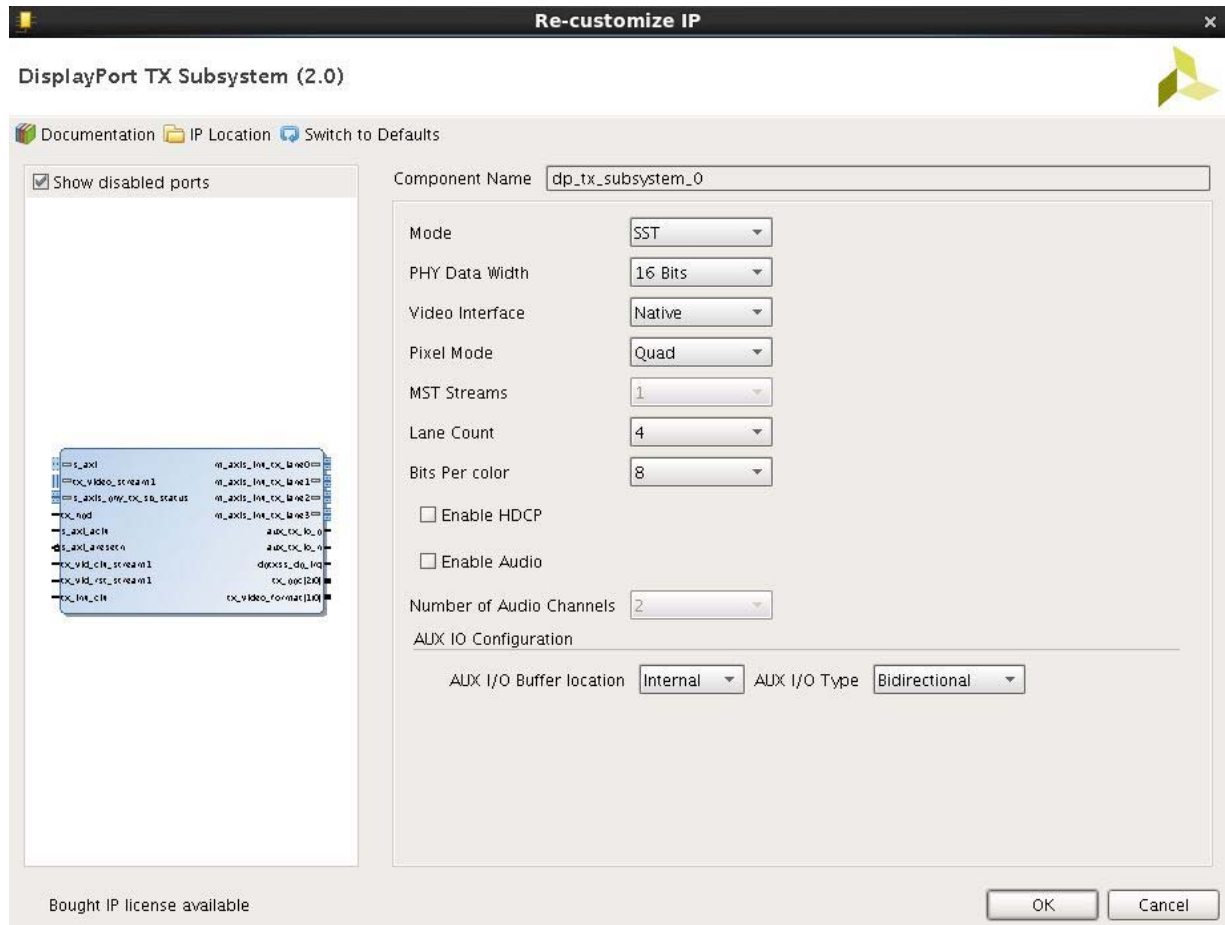


図 4-1: 設定画面

- **[Component Name]:** コンポーネント名は、コアの最上位ラッパーファイルの名前として使用します。下位のネットリストは、元の名前のままです。最初の 1 文字は必ず小文字アルファベットとし、2 文字目以降は a ~ z、0 ~ 9、アンダースコア ( ) を自由に組み合わせることができます。「displayport\_0」は内部モジュール名として使用するため、コンポーネント名には使用しないでください。デフォルトは dp\_tx\_subsystem\_0 です。
- **[Mode]:** ビデオストリーム出力に必要な分解能を選択します。デフォルト値は SST です。
- **[PHY Data Width]:** GT データ幅が 16 ビットまたは 32 ビットかを選択します。
- **[Video Interface]:** 入力ビデオインターフェイスがストリーミングまたはネイティブかを選択します。
- **[Pixel Mode]:** ネイティブインターフェイスが選択されている場合に有効です。ピクセルモードがシングル、デュアル、またはクワッドのいずれかを選択します。
- **[MST Streams]:** MST モードでのストリームの数を選択します。
- **[Lane Count]:** レーンの数を選択します。サポートされる最大ピクセルモードはレーンの数に従います。ピクセルモードはソフトウェアを介して動的に変更できますが、この変更によるビデオストリーミング幅への影響はありません。
- **[Bits Per Color]:** 必要なコンポーネントあたりのビット数 (BPC) を選択します。
- **[Enable Audio]:** オーディオサポートを有効にします。
- **[Enable HDCP]:** HDCP 暗号化を有効にします。



- **[Audio Channels]:** オーディオ チャンネルの数を選択します。
- **[AUX I/O Buffer location]:** AUX チャンネルのバッファの位置を選択します。
- **[AUX I/O Type]:** バッファ タイプが双方向か単方向かを選択します。

## ユーザー パラメーター

表 4-1 に、Vivado IDE の GUI フィールドとユーザー パラメーターの対応関係を示します。ユーザー パラメーターは Tcl コンソールで表示できます。DisplayPort TX サブシステムでのライン レートおよびピクセル モードのサポートは、ソフトウェアで設定します。最大ピクセル モードのサポートはレーンの数に従います。

表 4-1: Vivado IDE のパラメーターとユーザー パラメーターの対応

Vivado IDE のパラメーター / 値	ユーザー パラメーター / 値	デフォルト値
[Mode]	MODE	SST
[PHY Data Width]	PHY_DATA_WIDTH	16
[Video Interface]	VIDEO_INTERFACE	AXI4 Stream
[Pixel Mode]	PIXEL_MODE	Quad
[MST Streams]	NUM_STREAMS	1
[Lane Count]	LANE_COUNT	4
[Bits Per Color]	BITS_PER_COLOR	8
[Enable HDCP]	HDCP_ENABLE	0
[Enable Audio]	AUDIO_ENABLE	0
[Number of Audio Channels]	AUDIO_CHANNELS	2
[AUX I/O Buffer location]	AUX_IO_LOC	Internal
[AUX IO Type]	AUX_IO_TYPE	Bidirectional

## 出力の生成

詳細は、『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896) [参照 2] を参照してください。

## コアへの制約

ここでは、Vivado Design Suite でコアに制約を指定する方法について説明します。

### 必須の制約

このコアには、必須となる制約はありません。

### デバイス、パッケージ、スピード グレードの選択

サポートされるデバイスの詳細は、「IP の概要」を参照してください。

## クロック周波数

クロック周波数の詳細は、[第 3 章の「クロッキング」](#)を参照してください。

## クロック管理

クロック管理に関する特定の制約はありません。

## クロック配置

クロック配置に関する特定の制約はありません。

## バンキング

バンキングに関する特定の制約はありません。

## トランシーバーの配置

トランシーバー配置に関する特定の制約はありません。

## I/O 規格と配置

特定の I/O 制約の詳細は、『DisplayPort 製品ガイド』(PG064) [\[参照 9\]](#)を参照してください。

---

## シミュレーション

DisplayPort TX サブシステムのサンプル デザインのシミュレーション サポートはありません。

---

## 合成およびインプリメンテーション

合成およびインプリメンテーションの詳細は、『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896) [\[参照 2\]](#)を参照してください。

# デバッグ

この付録では、ザイリンクス サポート ウェブサイトより入手可能なリソースおよびデバッグ ツールについて説明します。



**ヒント:** IP の生成にエラーが発生し停止した場合、ライセンスに問題がある可能性があります。詳細は、[第 1 章の「ライセンスチェッカー」](#)を参照してください。

---

## ザイリンクス ウェブサイト

DisplayPort サブシステムを使用した設計およびデバッグでヘルプが必要な場合は、[ザイリンクス サポート ウェブページ](#)から製品の資料、リリース ノート、アンサーなどを参照するか、テクニカル サポートでケースを開いてください。

### 資料

この製品ガイドは DisplayPort サブシステムに関する主要資料です。このガイド並びに全製品の設計プロセスをサポートする資料はすべて、ザイリンクス サポート ウェブ ページ (<http://japan.xilinx.com/support>) または Xilinx Documentation Navigator から入手できます。

Xilinx Documentation Navigator は、[ダウンロード ページ](#)からダウンロードできます。このツールの詳細および機能は、インストール後にオンライン ヘルプを参照してください。

### アンサー

アンサーには、よく発生する問題についてその解決方法、およびザイリンクス製品に関する既知の問題などの情報が記載されています。アンサーは、ユーザーが該当製品の最新情報にアクセスできるよう作成および管理されています。

このコアに関するアンサーの検索には、[ザイリンクス サポート ウェブ ページ](#)にある検索ボックスを使用します。より的確な検索結果を得るには、次のようなキーワードを使用してください。

- 製品名
- ツールで表示されるメッセージ
- 問題の概要

検索結果は、フィルター機能を使用してさらに絞り込むことができます。

DisplayPort サブシステムに関するマスター アンサー

AR: [59384](#)

## テクニカル サポート

ザイリンクスは、製品資料の説明に従って使用されている LogiCORE™ IP 製品に対するテクニカル サポートを[ザイリンクス サポート ウェブ ページ](#)で提供しています。ただし、次のいずれかに該当する場合、タイミング、機能、サポートは保証されません。

- 資料で定義されていないデバイスにソリューションをインプリメントした場合。
- 資料で定義されている許容範囲を超えてカスタマイズした場合。
- 「DO NOT MODIFY」とされているデザイン セクションに変更を加えた場合。

ザイリンクス テクニカル サポートへのお問い合わせに関しては、[ザイリンクス サポート ウェブ ページ](#)を参照してください。

---

## デバッグ ツール

DisplayPort サブシステム デザインの問題を解決するには、数多くのツールを利用できます。さまざまな状況をデバッグするのに有益なツールを理解しておくことが重要です。

### Vivado Design Suite のデバッグ機能

Vivado® Design Suite のデバッグ機能は、Logic Analyzer および Virtual I/O コアをユーザー デザインに直接挿入します。デバッグ機能を使用すると、トリガー条件を設定して、アプリケーションおよび統合ブロックのポート信号をハードウェアに取り込むことができます。取り込まれた信号は、その後解析できます。Vivado IDE のこの機能は、ザイリンクス デバイスで実行されるデザインの論理デバッグおよび検証に使用されます。

Vivado ロジック解析は次の IP ロジック デバッグ コアと共に使用されます。

- ILA 2.0 (およびそれ以降のバージョン)
- VIO 2.0 (およびそれ以降のバージョン)

詳細は、『Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ』(UG908) [\[参照 6\]](#)を参照してください。

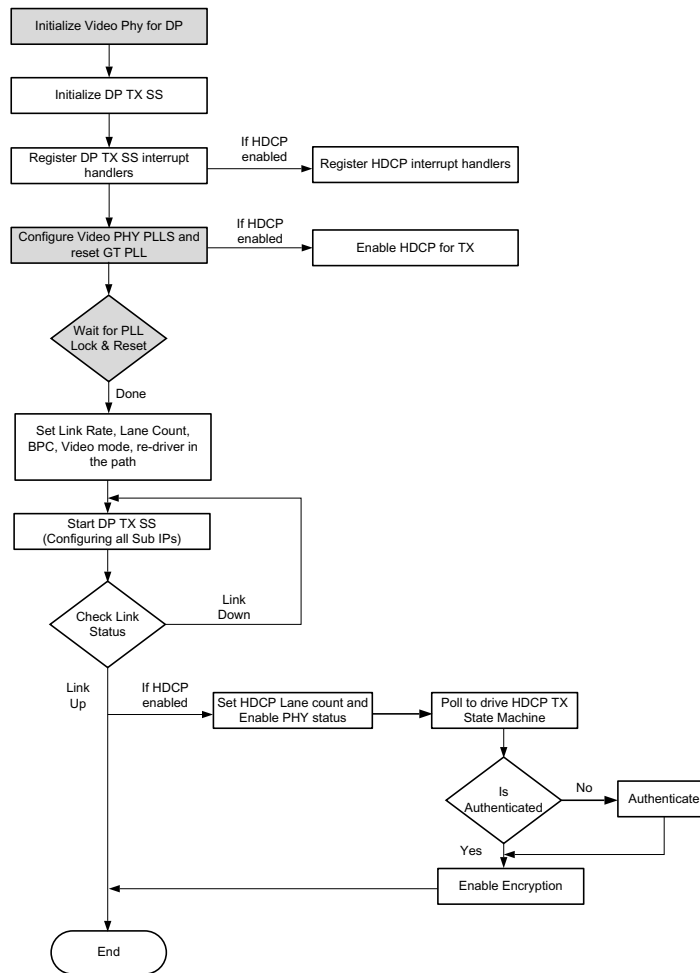
---

## ハードウェア デバッグ

ハードウェアの問題は、リンク立ち上げ時の問題から、テスト後に生じる問題までさまざまです。一般的なハードウェアの問題に関するデバッグ手順の詳細は、『DisplayPort 製品ガイド』(PG064) [\[参照 9\]](#)を参照してください。

# アプリケーションソフトウェア開発

ソフトウェアフローが実行された MST または SST かに応じて、ソフトウェアはサブシステムへ接続されている MST/SST RX を検出できます。図 B-1 に、DisplayPort TX サブシステム アプリケーションソフトウェアフローを示します。



X14338-111615

図 B-1: ソフトウェアフロー

注記: Video PHY は DisplayPort TX サブシステムの外部にあり、サブシステムが規定どおりに動作するよう設定する必要があります。Video PHY の設定の詳細は、『HDCP 製品ガイド』(PG230) [参照 14] を参照してください。

# その他のリソースおよび法的通知

---

## ザイリンクス リソース

アンサー、資料、ダウンロード、フォーラムなどのサポート リソースは、[ザイリンクス サポート サイト](#)を参照してください。

---

## 参考資料

次の資料は、この製品ガイドの補足資料として役立ちます。

注記: 日本語版のバージョンは、英語版より古い場合があります。

1. 『Vivado Design Suite ユーザー ガイド: IP インテグレーターを使用した IP サブシステムの設計』(UG994: [英語版](#)、[日本語版](#))
2. 『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896: [英語版](#)、[日本語版](#))
3. 『Vivado Design Suite ユーザー ガイド: 入門』(UG910: [英語版](#)、[日本語版](#))
4. 『Vivado Design Suite ユーザー ガイド: ロジック シミュレーション』(UG900: [英語版](#)、[日本語版](#))
5. 『ISE から Vivado Design Suite への移行ガイド』(UG911: [英語版](#)、[日本語版](#))
6. 『Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ』(UG908: [英語版](#)、[日本語版](#))
7. 『Vivado Design Suite ユーザー ガイド: インプリメンテーション』(UG904: [英語版](#)、[日本語版](#))
8. 『Vivado Design Suite: AXI リファレンス ガイド』(UG1037: [英語版](#)、[日本語版](#))
9. 『DisplayPort LogiCORE IP 製品ガイド』(PG064: [英語版](#)、[日本語版](#))
10. 『AXI4-Stream to Video Out LogiCORE IP 製品ガイド』([PG044](#))
11. 『Video Timing Controller LogiCORE IP 製品ガイド』([PG016](#))
12. 『HDCP Controller 製品ガイド』([PG224](#))
13. 『AXI Timer 製品ガイド』([PG079](#))
14. 『Video PHY Controller 製品ガイド』([PG230](#))

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年12月20日	2.0	「IP の概要」の「サポートされるデバイスファミリ」に HDCP に関する注記を追加。
2016年11月30日	2.0	「規格」セクションに重要な注記を追加。
2016年10月5日	2.0	HDCP の機能を更新。
2016年4月6日	2.0	16 ビット GT インターフェイスおよびピクセル モードでのネイティブのサポートを追加。
2015年11月18日	1.0	初版

## 法的通知

本通知に基づいて貴殿または貴社（本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ）に開示される情報（以下「本情報」といいます）は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず（商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません）、すべての保証および条件を負わない（否認する）ものとします。また、(2) ザイリンクスは、本情報（貴殿または貴社による本情報の使用を含む）に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない（契約上、不法行為上（過失の場合を含む）、その他のいかなる責任の法理によるかを問わない）ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害（第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます）が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

### 自動車用のアプリケーションの免責条項

オートモーティブ製品（製品番号に「XA」が含まれる）は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能（「セーフティ設計」）がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション（「セーフティアプリケーション」）における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2015-2016 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。