

はじめに

ATC2 (Agilent Trace Core 2) は、カスタマイズ可能なデバッグキャプチャコアであり、特に最新の Agilent 社ロジックアナライザと機能するように設計されています。ATC2 を使用すると、外部の Agilent 社ロジックアナライザから FPGA デザイン内部のネットへアクセスできます。

機能

- ・ 64 個のユーザーが選択可能なバンクあり
- ・ 同期および非同期のタイミングモードあり
- ・ 自動ピンマップ機能あり

ATC2 コアの詳細は、『ChipScope Pro ソフトウェアおよびコアユーザーガイド』を参照してください。

LogiCORE IP に関する情報				
コアの内容				
サポートされるデバイスファミリ ⁽¹⁾	Spartan®-3、Spartan-3E、Spartan-3A、Spartan-3A DSP、Spartan-6、Virtex®-4、Virtex-5、Virtex-6			
使用リソース ⁽²⁾	I/O	LUT	フリップフロップ	ブロックRAM
	8	122	185	0
特別機能	なし			
コアに含有されるもの				
マニュアル	製品仕様			
デザインファイルフォーマット	なし			
制約ファイル	なし			
検証	なし			
インスタンス化シエーションテンプレート	Verilog および VHDL ラッパー			
リファレンスデザイン / アプリケーションノート	なし			
その他の項目	CDC (Signal Description) ファイル			
デザイン ツール要件				
ザイリンクス インプリメンテーション ツール	ISE® 11.2			
検証	ChipScope™ Pro 11.2			
シミュレーション	シミュレーションでのサポートなし			
合成	XST で合成されたネットリスト			
サポート				
ザイリンクスによるサポートあり				

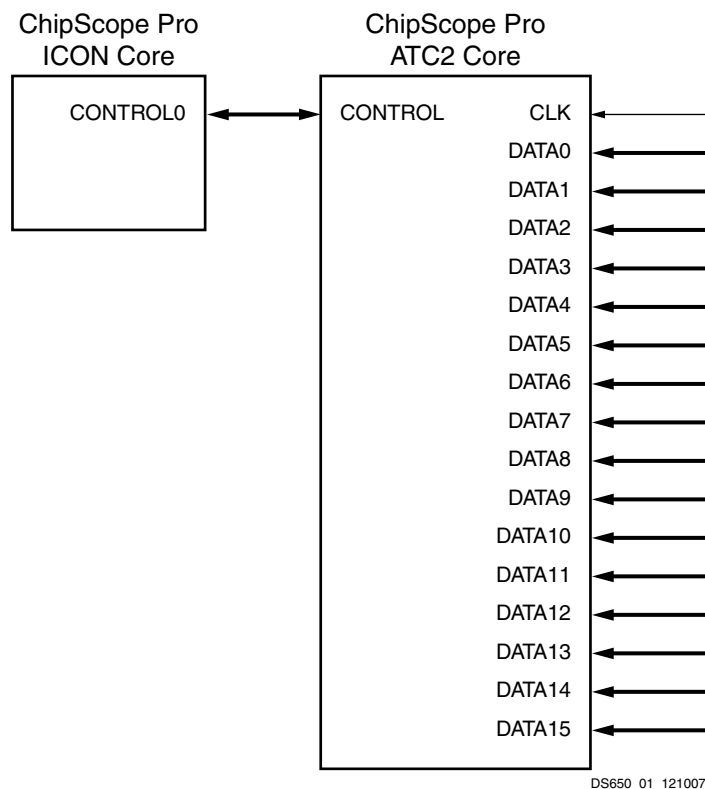
1. これらの FPGA ファミリの派生デバイスも含む
2. 1つの8ビット幅バンクを含む Virtex-4 デバイスファミリを仮定して概算しています。

アプリケーション

ATC2 コアは、ChipScope Pro ソフトウェアおよび外部の Agilent Logic Analyzer を使用して検証またはデバッグする必要のあるアプリケーションで使用されるように設計されています。

ファンクションの詳細

ATC2 コアとの通信は、次の図のように、ICON コアを介した JTAG ポートへの接続を使用して行われます。



DS650_01_121007

図 1 : ATC2 コアと ICON コアの接続

ATC2 コアのパスは、次で構成されています。

- ・ ユーザー FPGA デザインに接続される、実行時に選択可能な最大 64 の入力信号バンク
- ・ Agilent 社ロジック アナライザのプローブ コネクタに接続される最大 128 の出力データ ピン
- ・ オプションとして、各出力データ ピンで使用可能な 2 倍の TDM (Time-Division Multiplexing) があり、これを使用すると、個々の信号バンク幅を 128 から 2 倍の 256 ビットにできます。
- ・ 非同期タイミングおよび同期ステート キャプチャ モードを共にサポート
- ・ それぞれの出力データ ピンに対して、ピンごとにすべての有効な I/O 規格、駆動能力、および出力スループートをサポート
- ・ Agilent 社のプローブ接続技術をサポート 詳細は、<http://www.agilent.com/find/softtouch>を参照してください。

動作時に使用可能なデータ プローブ ポイントの最大数は、次の式で求められます。

$$(64 \text{ データ ポート}) * (\text{データ ポートごとに } 128 \text{ ビット}) * (2x \text{ TDM}) = 16,384 \text{ プローブ ポイント}$$

ATC2 コアのパスキャプチャおよび実行時の制御

外部の Agilent ロジック アナライザを使用し、ATC2 コアを通過するデータをトリガ、およびキャプチャします。これにより、Agilent 社ロジック アナライザの複雑なトリガ、ワード数の多いトレース メモリ、およびシステム レベルのデータ関連機能を十分に活用できます。ATC2 コアで提供される内部デザイン ノードがより見やすくなります。また、JTAG ポート接続を介して ATC2

コアと通信することによって、動作時にアクティブ データ ポート 選択を制御する場合にも使用されます。

ATC2 インターフェイス ポート

ATC2 コアの I/O 信号には、次の表に示すように、ICON への制御バスとクロック信号、信号バンクが含まれます。

表 1 : ATC2 インターフェイス ポート

ポート名	方向	説明
CLK	入力	データをステート モードで同期するのに必要なデザイン クロックです。オプションです (state_synchronous パラメータによって異なる)。
CONTROL[35:0]	入出力	ICON コアの制御バスで、必須です。
DATA<n>[<m>-1:0]	入力	幅 <m> のデータ信号の入力バンク数 <n> です。必須の <n> = 0 以外はオプションです (signal_bank_count = <n>+1 パラメータ (<n> は 1 ~ 63 のいずれか) によって異なる)。

ATC2 の XCO パラメータ

次の表は、ATC2 の XCO パラメータを示しています。

表 2 : ATC2 の XCO パラメータ

パラメータ名	使用可能な値	デフォルト値	説明
atck_drive	なし ⁽¹⁾	なし ⁽¹⁾	ATCK ピンの駆動電流
atck_io_standard	なし ⁽¹⁾	なし ⁽¹⁾	ATCK ピンの I/O 規格
atck_pin_loc	アルファベット文字 および数字すべて	なし	ATCK ピンのピン位置
atck_slew_rate	fast、slow	fast	ATCK ピンのスルー レート
atd_drivers	same_as_atck、 different_than_atck	same_as_atck	すべてのデータ ピンに ATCK 設定 (same_as_atck) を使用するか、データ ピンごとに個別の設定 (different_than_atck) を使用するか決定します。
atd_pin_count	4-64	8	使用するデータ ピンの数
atd<n>_drive	なし ⁽¹⁾	なし ⁽¹⁾	データ ピン <n> の駆動電流
atd<n>_io_standard	なし ⁽¹⁾	なし ⁽¹⁾	データ ピン <n> の I/O 規格
atd<n>_pin_loc	アルファベット文字 および数字すべて	なし	データ ピン <n> のピン位置
atd<n>_slew_rate	fast、slow	fast	データ ピン <n> のスルー レート
component_name	A-Z、0-9、および _ (アンダースコア) を 含む文字列	vio	コンポーネント インスタンスの名前
driver_endpoint_type	single-ended、 differential	single-ended	使用する出力ドライバの種類。すべてのピンに適用されます。
enable_always_on_mode	true、false	false	FPGA コンフィギュレーション直後に測定をイネーブルにします。
enable_auto_setup	true、false	true	データを正しくアライメントするためのテスト パターンを使用する回路を含めます。

表 2 : ATC2 の XCO パラメータ (Cont'd)

パラメータ名	使用可能な値	デフォルト値	説明
max_frequency_range	0-100_mhz、 101-200_mhz、 201-300_mhz、 301-500_mhz	0-100_mhz	コアの動作範囲を設定します。これはコア生成時の機能設定中に使用されま す。
signal_bank_count	1、2、4、8 16、32、64	1	信号バンク数
tdm_rate	1x、2x	1x	デザイン速度の 1x または 2x 多重の TDM (Time-Division Multiplexing) レート

1. 使用可能な I/O 規格は、選択した FPGA デバイス ファミリによって異なります。詳細は、該当する FPGA デバイス ファ
ミリのデータシートを参照してください。選択した I/O 規格によっては、別の駆動電流が選択できるようにもなります。

制限

1 つのデザインには、最大で 15 個までの ATC2 コアが使用できま
す。

ように、ATC2 コアは既にデザインに含まれる ICON および
OPB_MDM コンポーネント インスタンスに依存します。

EDK での ATC2 コアの使用方法

ATC2 コアは、エンベデッド開発キット (EDK) を使用してエンベ
デッド プロセッサ デザインに挿入できます。この場合、次の図の

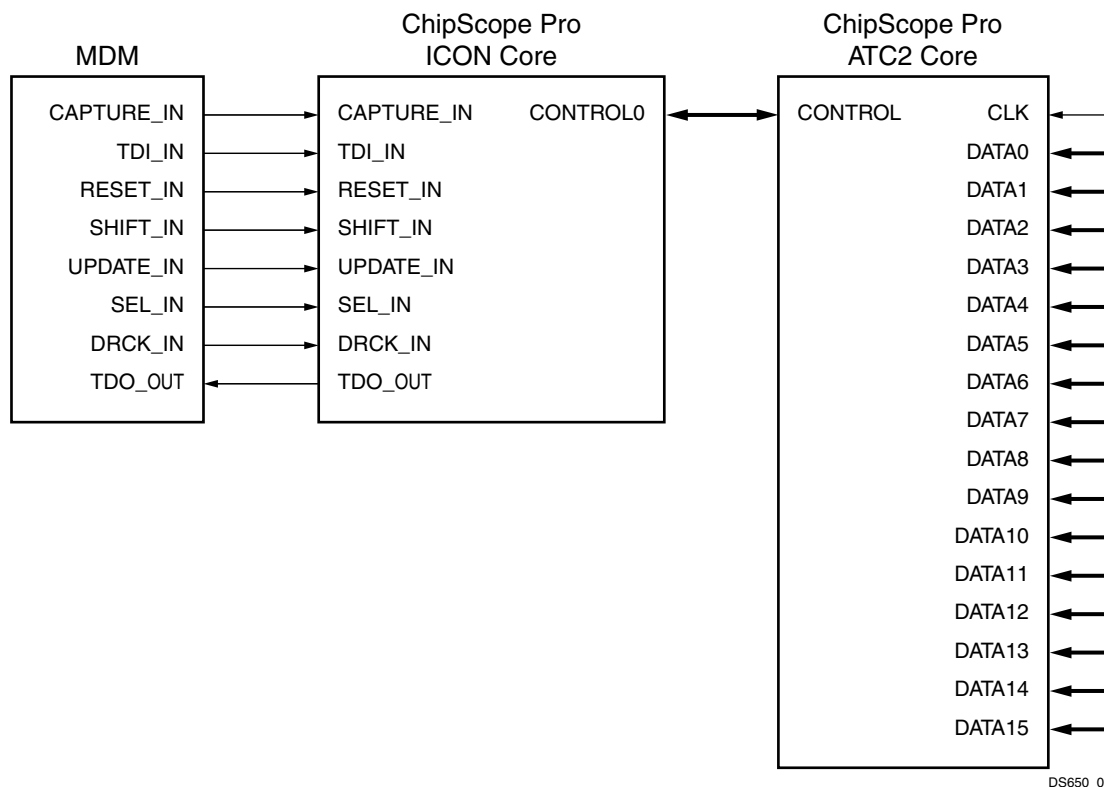


図 2 : EDK デザインの ATC2 コア コンポーネント

EDK では、ATC2 コアが Tcl スクリプトを使用してツールに統合
されています。EDK の PlatGen ツールが実行されると、Tcl スク
リプトが呼び出され、このスクリプトがコマンド ラインモードで

CORE Generator を呼び出します。Tcl スクリプトからは CORE
Generator にパラメータ ファイル (.xco) が渡され、ATC2 コアの
ネットリストが生成されます。また、Tcl スクリプトはコアパラ

メータに基づいて ATC2 ポートと一致するように、HDL ラッパーを生成します。

ATC2 コア用に生成された HDL ラッパー ファイルを合成するには、XST 合成ツールが使用されます。XST および ChipScope Pro CORE Generator からの NGC ネットリスト出力は、ザイリンクスの ISE Design Suite に読み込まれ、実際のデバイスのインプリメンテーションに使用されます。

検証

ATC2 コアは、ザイリンクス社内で開発されたバス ファンクション モデルを使用し、IP テスト環境で検証されています。

参考資料

[1] ChipScope Pro ソフトウェアとコアの詳細は、
<http://japan.xilinx.com/literature/literature-chipscope.htm> から『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

[2] EDK での ChipScope Pro を使用したハードウェア検証については、次から Platform Studio のオンライン ヘルプを参照してください。
http://toolbox.xilinx.com/docsan/xilinx11j/help/platform_studio/platform_studio.htm

[3] System Generator for DSP での ChipScope Pro を使用したハードウェア検証については、次の『System Generator for DSP ユーザー ガイド』を参照してください。
http://japan.xilinx.com/support/sw_manuals/sysgen_ug.pdf

サポート

ザイリンクスでは、製品マニュアルに記述されているように、この LogiCORE 製品のテクニカル サポートを提供しています。マニュアルで定義されていないデバイスにインプリメントしたり、製品マニュアルで記述されている範囲を超えてカスタマイズしたり、「DO NOT MODIFY」と記述されているセクションに変更を加えたりした場合、タイミング、機能、製品サポートは保証されません。

注文情報

ATC2 コアは、[ザイリンクス エンド ユーザー ライセンス契約書](#)に基づいて提供されており、ザイリンクスの CORE Generator 11.2 またはそれ以降のバージョンを使用して生成できます。CORE Generator は、ザイリンクスの ISE Design Suite 開発ソフトウェアに含まれています。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	変更内容
2008年3月24日	1.0	リリース 10.1 用 (初期リリース)
2008年4月25日	1.1	リリース 10.1 サービス パック 1 用にアップデート
2008年9月19日	1.2	リリース 10.1 サービス パック 3 用にアップデート
2009年4月7日	2.0	リリース 11.1 用にアップデート
2009年6月24日	2.1	リリース 11.2 用にアップデート

免責事項

Xilinx is providing this product documentation, hereinafter “Information,” to you “AS IS” with no warranty of any kind, express or implied. Xilinx makes no representation that the Information, or any particular implementation thereof, is free from any claims of infringement. You are responsible for obtaining any rights you may require for any implementation based on the Information. All specifications are subject to change without notice. XILINX EXPRESSLY DISCLAIMS ANY WARRANTY WHATSOEVER WITH RESPECT TO THE ADEQUACY OF THE INFORMATION OR ANY IMPLEMENTATION BASED THEREON, INCLUDING BUT NOT LIMITED TO ANY WARRANTIES OR REPRESENTATIONS THAT THIS IMPLEMENTATION IS FREE FROM CLAIMS OF INFRINGEMENT AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE. Except as stated herein, none of the Information may be copied, reproduced, distributed, republished, downloaded, displayed, posted, or transmitted in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx.

本資料は英語版 (v2.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。