

はじめに

Virtex[®]-5 GTP デバイス用の ChipScope[™] Pro の Integrated Bit Error Ratio Tester (IBERT) はカスタマイズ可能なコアで、Virtex-5 GTP トランシーバの評価および監視のために使用できます。このデザインには、FPGA ロジックにインプリメントされたパターン ジェネレータおよびパターン チェッカのほか、MGT のポートと DRP 属性へのアクセスが含まれます。また、通信ロジックも含まれ、JTAG を使用してランタイムにアクセスできるようになっています。IBERT コアは内臓型デザインなので、生成すると、ビットストリーム生成も含めたすべてのインプリメンテーション フローをそのまま実行できます。

機能

- ChipScope Pro Analyzer ソフトウェア と IBERT コアの通信パスを提供
- Virtex-5 GTP トランシーバ数をユーザーが選択可能
- 各トランシーバに必要なライン レート、リファレンス クロック レート、リファレンス クロック ソース、およびデータパス幅にカスタマイズ可能
- ピンまたはイネーブルになった MGT の 1 つから供給されるシステム クロックが必要

IBERT コアの詳細は、『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

LogiCORE IP に関する情報				
コアの内容				
サポートされるデバイスファミリ (1)	Virtex-5			
使用リソース (2)	I/O	LUT	フリップフロップ数	ブロック RAM
	4	2634	2768	0
特別機能	なし			
コアに含有されるもの				
マニュアル	製品仕様			
デザイン ファイル フォーマット	なし			
制約ファイル	なし			
検証	なし			
インスタンス化テンプレート	なし			
リファレンス デザイン / アプリケーション ノート	なし			
その他の項目	.bit (デザイン ビットストリーム)			
デザイン ツール要件				
ザイリンクス インプリメンテーション ツール	Xilinx [®] ISE [®] 11.3			
検証	ChipScope Pro 11.3			
シミュレーション	シミュレーションでのサポートなし			
合成	XST で合成されたネットリスト			
サポート				
ザイリンクスによるサポートあり				

1. これらの FPGA ファミリの派生デバイスも含む
2. 20 ビット幅のシングル MGT デザインの場合

アプリケーション

IBERT コアは、Virtex-5 GTP トランシーバを検証または評価する必要があるアプリケーションで使用されるように設計されています。

ファンクションの詳細

IBERT コアには、Virtex-5 GTP トランシーバのボード ベースの PMA 評価機能とデモ プラットフォームが含まれます。IBERT コアのパラメータは、異なる MGT およびクロック トポロジを使用するために変更可能で、別のラインレート、リファレンス クロック レート、ファブリック幅を使用するためにカスタマイズすることもできます。各 MGT には必要なデータ パターン ジェネレータおよびチェッカが含まれるので、さまざまな PRBS およびクロック パターンがチャンネルに送信されます。また、MGT のコンフィギュレーションおよびチューニングには、MGT の DRP ポートへ通信するロジックを介してアクセスでき、これにより属性設定およびポートの値を制御するレジスタを変更できます。ランタイム中、ChipScope Analyzer ツールは、ザイリンクス ケーブルと IBERT コアの一部である IP ロジックを使用し、JTAG を介して IBERT コアへ通信します。

MGT の機能

IBERT コアは PMA の評価とデモ用に設計されています。次の MGT の主な PMA 機能はすべてサポートされており、IBERT で制御可能です。

- TX プリエンファシスおよびポストエンファシス
- TX 差動スイング
- RX イコライゼーション
- PLL 除算器の設定

トランシーバの PCS 機能の中には、次のように IBERT の範囲外のものもあります。

- クロック コレクション
- チャンネル ボンディング
- 8B/10B、64B/66B、または 64B/67B エンコーディング
- TX または RX バッファのバイパス

パターン ジェネレータおよびパターン チェッカ

IBERT デザインでイネーブルになった各 MGT には、パターン ジェネレータとパターン チェッカの両方が含まれます。パターン ジェネレータはトランスミッタを介してデータを送信します。パターン チェッカはレシーバからのデータを受信し、それを内部で生成されたパターンと比較します。IBERT には、PRBS 7-bit、PRBS 15-bit、PRBS 23-bit、PRBS31-bit、Clk 2x (101010...) および Clk 10x(11111111110000000000...) などのパターンが含まれます。これらのパターンは、選択したファブリック幅用に最適化され、ランタイム中に選択できます。TX パターンと RX パターンは個別に選択できます。

パターン チェッカ ロジックでは、ChipScope Analyzer ソフトウェアで表示されるリンク信号も生成されます。チャンネルは、データがエラーなしに 5 サイクル連続するとリンクされます。入力データは内部で生成されたパターンと比較されます。このチャンネルリンクは、チェッカがエラーを含む 5 サイクルのデータを連続して受信すると、削除されず、内部カウンタには、受信されたワード数とエラーが累積されます。

DRP およびポートのアクセス

IBERT を使用すると、MGT ポートおよび属性をユーザーが柔軟に変更できるようにもなります。IBERT コアには、MGT の属性をランタイム ソフトウェアにより監視および変更できるようにするための DRP インターフェイス ロジックが含まれます。読み出しおよび書き込み可能なレジスタも必要な場合は含まれ、MGT のさまざまなポートに接続されます。これらすべては、ChipScope Analyzer ツールを使用してランタイム時にアクセスできます。

システム クロック

IBERT コアには、通信ロジックと IBERT コアに含まれるその他のロジックにクロックを供給するため、フリー ランニング システム クロックが必要です。このクロックは、生成時に FPGA ピンから駆動するか、コアの MGT の 1 つの

TXOUTCLK ポートから駆動するように選択できます。システム クロックの速度が 150MHz を超える場合は、DCM を使用して内部で分周し、タイミング制約を満たします。

IBERT インターフェイス ポート

IBERT コアの I/O 信号には、MGT インターフェイス クロック、MGT 送信ピン/受信ピン、およびシステム クロック 1 つ (オプション) のみが含まれます。

表 1: ILA インターフェイス ポート

ポート名	方向	説明
SYSCLK	入力	すべての通信ロジックにクロックを供給するデザイン クロック (ユーザーが内部 MGT クロックを生成時に選択してこのファンクションを実行することもできるので、このポートはオプションです)
TXN[n-1:0], TXP[n-1:0]	出力	使用される n 個の MGT それぞれの差動ペアを送信
RXN[n-1:0], RXP[n-1:0]	出力	使用される n 個の MGT それぞれの差動ペアを受信
MGTREFCLK_P[m-1:0], MGTREFCLK_N[m-1:0]	入力	MGT リファレンス クロック (MGT の中にはクロック入力を共有するものもあるので、必ずしも $m = n$ にする必要はありません)

制限

1 つのデバイスに対して生成できるのは、1 つの IBERT コアのみで、この IBERT コアがデザイン全体を占めます。IBERT コアはユーザー ロジックには統合できません。

検証

IBERT コアは、ザイリンクス社内で開発されたバス ファンクション モデルを使用し、IP テスト環境で検証されています。

参考資料

- ChipScope Pro ソフトウェアとコアの詳細は、<http://japan.xilinx.com/documentation> から『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。
- EDK での ChipScope Pro を使用したハードウェア検証については、<http://japan.xilinx.com/documentation> から Platform Studio のオンライン ヘルプを参照してください。
- System Generator for DSP での ChipScope Pro を使用したハードウェア検証については <http://japan.xilinx.com/documentation> から『System Generator for DSP ユーザー ガイド』を参照してください。

サポート

ザイリンクスでは、製品マニュアルに記述されているように、この LogiCORE 製品のテクニカル サポートを提供しています。マニュアルで定義されていないデバイスにインプリメントしたり、製品マニュアルで記述されている範囲を超えてカスタマイズしたり、「DO NOT MODIFY」と記述されているセクションに変更を加えたりした場合、タイミング、機能、製品サポートは保証されません。

注文情報

IBERT コアは、ザイリンクス エンド ユーザー ライセンス契約書に基づいて提供されており、ザイリンクスの CORE Generator 11 またはそれ以降のバージョンを使用して生成できます。CORE Generator は、ザイリンクスの ISE Design Suite 開発ソフトウェアに含まれています。

その他のザイリンクス LogiCORE モジュールおよびソフトウェアの価格や機能については、最寄りの[ザイリンクス販売代理店](#)までご連絡ください。LogiCORE モジュールの詳細については、[ザイリンクス IP センタ](#)を参照してください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	変更内容
2010年4月19日	1.0	リリース 12.1 用 (初期リリース)

免責事項

Xilinx is providing this product documentation, hereinafter “Information,” to you “AS IS” with no warranty of any kind, express or implied. Xilinx makes no representation that the Information, or any particular implementation thereof, is free from any claims of infringement. You are responsible for obtaining any rights you may require for any implementation based on the Information. All specifications are subject to change without notice. XILINX EXPRESSLY DISCLAIMS ANY WARRANTY WHATSOEVER WITH RESPECT TO THE ADEQUACY OF THE INFORMATION OR ANY IMPLEMENTATION BASED THEREON, INCLUDING BUT NOT LIMITED TO ANY WARRANTIES OR REPRESENTATIONS THAT THIS IMPLEMENTATION IS FREE FROM CLAIMS OF INFRINGEMENT AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE. Except as stated herein, none of the Information may be copied, reproduced, distributed, republished, downloaded, displayed, posted, or transmitted in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx.

本資料は英語版 (v 1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。