

はじめに

ChipScope™ Pro Integrated CONTroller (ICON) は、FPGA デバイスの JTAG バウンダリ スキャン (BSCAN) と次の ChipScope Pro コアのインターフェイスに使用されるコアです。

- ・ Integrated Logic Analyzer (ILA)
- ・ Virtual Input/Output (VIO)
- ・ Agilent Trace Core 2 (ATC2)
- ・ Integrated Bus Analyzer (IBA)

このインターフェイスを使用すると、デバイスの JTAG ポートを介して ChipScope Pro Analyzer ソフトウェアからこれらのコアへの通信が可能になります。ICON コアは Verilog または VHDL デザインに直接これらのコアを簡単にインスタンスシートおよび接続できるように設計されています。また、ザイリンクスのエンベデッド デザインキット (EDK) ツールを使用してエンベデッド システム デザインに追加することもできます。

機能

- ・ ChipScope Pro Analyzer ソフトウェアと ILA、VIO、ATC2、IBA コア間に JTAG ポートを使用した通信パスを提供します。
- ・ BSCAN コンポーネントの USER スキャン チェーン機能を使用して JTAG チェーンに接続します。
- ・ ILA、VIO、ATC2、IBA コアへの接続を最大で 15 までサポートします。
- ・ EDK コアの opb_mdm で提供されるような内部または外部インスタンスシートの BSCAN プリミティブのいずれかに接続されます (オプション)。

ICON コアの詳細は、『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

LogiCORE IP に関する情報				
コアの内容				
サポートされるデバイスファミリー ⁽¹⁾	Spartan®-3、Spartan-3E、Spartan-3A、Spartan-3A DSP、Virtex®-4、Virtex-5、Virtex-6			
使用リソース ⁽²⁾	I/O	LUT	フリップフロップ	ブロック RAM
	0	193	28	0
特別機能	デフォルトで BSCAN プリミティブを含有			
コアに含有されるもの				
マニュアル	製品仕様			
デザイン ファイルフォーマット	なし			
制約ファイル	なし			
検証	なし			
インスタンスシエーションテンプレート	Verilog および VHDL ラッパー			
リファレンス デザイン / アプリケーションノート	なし			
その他の項目	なし			
デザイン ツール要件				
ザイリンクス インプリメンテーション ツール	ISE® 11.2			
検証	ChipScope Pro 11.2			
シミュレーション	シミュレーションでのサポートなし			
合成	XST で合成されたネットリスト			
サポート				
ザイリンクスによるサポートあり				

1. これらの FPGA ファミリの派生デバイスも含む
2. 次は、4つの制御ポートを含む Virtex-4 デバイス ファミリーに基づいて概算されています。結果は、デバイス ファミリーおよび使用されるパラメータによって異なります。

アプリケーション

ICON コアは、ChipScope Pro ソフトウェアおよびコアを使用して検証またはデバッグする必要のあるアプリケーションで使用されるように設計されています。

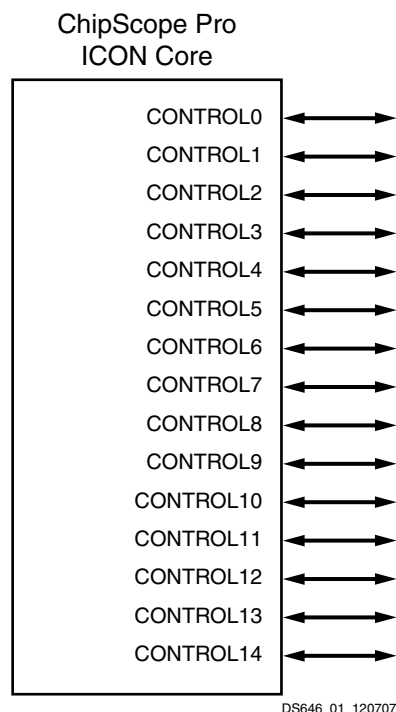
機能の詳細

ICON コアは、ターゲット FPGA の JTAG バウンダリ スキャンポートを介して ChipScope Pro Analyzer ツールと最大 15 個までの ChipScope Pro ターゲット コア (ILA、IBA、VIO および ATC2) 間のインターフェイスを提供します。ICON は、FPGA の BSCAN プリミティブ コンポーネントで提供される USER スキャンチェーンを使用して、FPGA の JTAG バウンダリ スキャンの TAP コントローラとターゲット コアのギャップを埋めるコアで、

ChipScope Pro Analyzer から該当するターゲット コアに送信されるさまざまなコマンドを配線します。

ICON コアは、BSCAN プリミティブ コンポーネントを自動的に含めるか (図 1 参照)、デザインのどこかで BSCAN を使用する (3 ページの図 2 参照) ように設定できます。また、BSCAN が ICON コアに含まれ、FPGA デバイス ファミリーで BSCAN コンポーネントごとに複数の USER スキャンチェーンがサポートされる場合は、未使用の BSCAN USER スキャンチェーンをポート信号に配線することもできます (3 ページの図 3 参照)。

ターゲット コアへの ICON コアの接続は、専用の双方向制御ポートとしてインプリメントされます。この制御ポートには、コンフィギュレーションおよびターゲット コアとの通信に必要な JTAG クロック、入力および出力データ、制御信号などが含まれます。



DS646_01_120707

図 1 : 内部 BSCAN コンポーネントを含む ICON コア

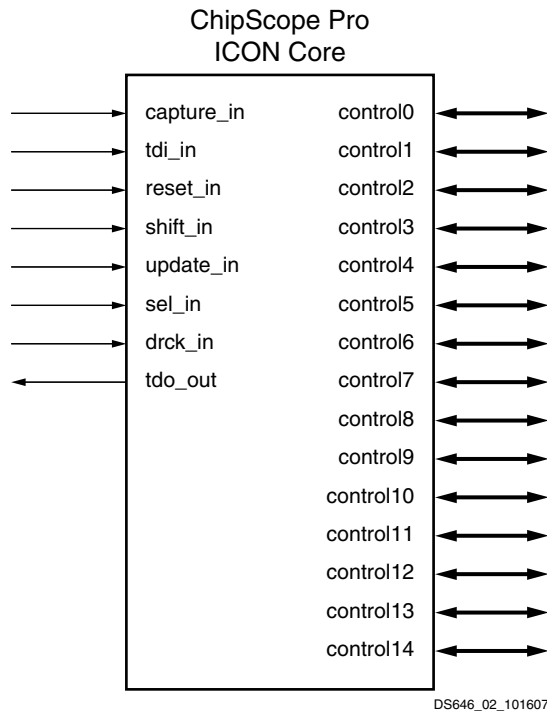


図 2 : 外部 BSCAN コンポーネントを含む ICON コア

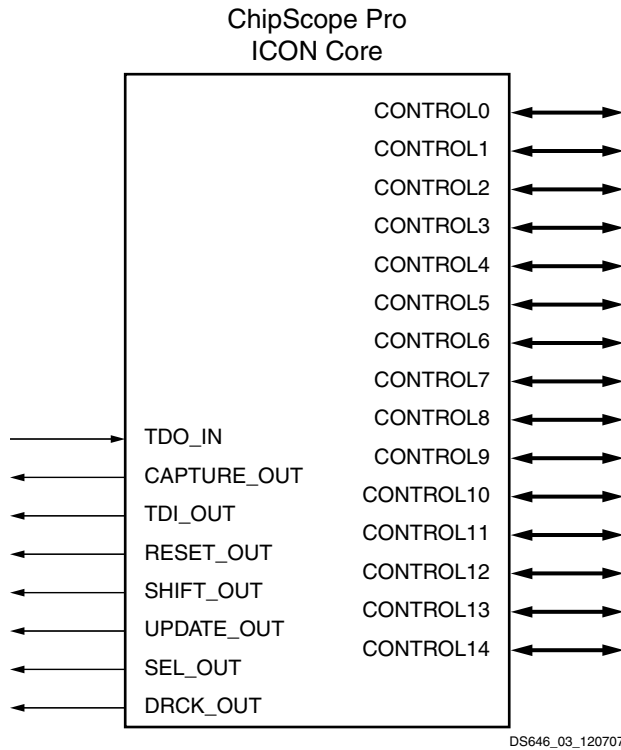


図 3 : 内部 BSCAN コンポーネントとエクスポート済みの未使用 BSCAN 信号を含む ICON コア

ICON インターフェイス ポート

ICON コアの I/O 信号には、ICON コアをターゲット コアに接続するのに必要な制御バスと、オプションの BSCAN 関連信号が含まれます。

表 1: ICON インターフェイス ポート

ポート名	方向	説明
CAPTURE_IN	入力	外部 BSCAN コンポーネントからの CAPTURE 信号。オプション (use_ext_bscan パラメータによって異なる)
CAPTURE_OUT	出力	内部 BSCAN コンポーネントの未使用の USER スキャンチェーンからの CAPTURE 信号。オプション (use_unused_bscan パラメータによって異なる)
CONTROL0[35:0]	入出力 ⁽¹⁾	最初の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。必須です。
CONTROL1[35:0]	入出力 ⁽¹⁾	2 つ目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL2[35:0]	入出力 ⁽¹⁾	3 つ目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL3[35:0]	入出力 ⁽¹⁾	4 つ目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL4[35:0]	入出力 ⁽¹⁾	5 つ目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL5[35:0]	入出力 ⁽¹⁾	6 つ目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL6[35:0]	入出力 ⁽¹⁾	7 つ目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL7[35:0]	入出力 ⁽¹⁾	8 つ目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL8[35:0]	入出力 ⁽¹⁾	9 つ目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL9[35:0]	入出力 ⁽¹⁾	10 個目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL10[35:0]	入出力 ⁽¹⁾	11 個目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL11[35:0]	入出力 ⁽¹⁾	12 個目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)

表 1: ICON インターフェイス ポート (Cont'd)

ポート名	方向	説明
CONTROL12[35:0]	入出力 ⁽¹⁾	13 個目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL13[35:0]	入出力 ⁽¹⁾	14 個目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
CONTROL14[35:0]	入出力 ⁽¹⁾	15 個目の ChipScope Pro ターゲット コアへの制御およびステータス接続を提供。オプション (number_control_ports パラメータによって異なる)
DRCK_IN	入力	外部 BSCAN コンポーネントからの DRCK 信号。オプション (use_ext_bscan パラメータによって異なる)
DRCK_OUT	出力	内部 BSCAN コンポーネントの未使用の USER スキャンチェーンからの DRCK 信号。オプション (use_unused_bscan パラメータによって異なる)
RESET_IN	入力	外部 BSCAN コンポーネントからの RESET 信号。オプション (use_ext_bscan パラメータによって異なる)
RESET_OUT	出力	内部 BSCAN コンポーネントの未使用の USER スキャンチェーンからの RESET 信号。オプション (use_unused_bscan パラメータによって異なる)
SEL_IN	入力	外部 BSCAN コンポーネントからの SEL 信号。オプション (use_ext_bscan パラメータによって異なる)
SEL_OUT	出力	内部 BSCAN コンポーネントの未使用の USER スキャンチェーンからの SEL 信号。オプション (use_unused_bscan パラメータによって異なる)
SHIFT_IN	入力	外部 BSCAN コンポーネントからの SHIFT 信号。オプション (use_ext_bscan パラメータによって異なる)
SHIFT_OUT	出力	内部 BSCAN コンポーネントの未使用の USER スキャンチェーンからの SHIFT 信号。オプション (use_unused_bscan パラメータによって異なる)
TDI_IN	入力	外部 BSCAN コンポーネントからの TDI 信号。オプション (use_ext_bscan パラメータによって異なる)
TDI_OUT	出力	内部 BSCAN コンポーネントの未使用の USER スキャンチェーンからの TDI 信号。オプション (use_unused_bscan パラメータによって異なる)
TDO_IN	入力	内部 BSCAN コンポーネントの未使用の USER スキャンチェーンからの TDO 信号。オプション (use_unused_bscan パラメータによって異なる)
TDO_OUT	出力	外部 BSCAN コンポーネントからの TDO 信号。オプション (use_ext_bscan パラメータによって異なる)
UPDATE_IN	入力	外部 BSCAN コンポーネントからの UPDATE 信号。オプション (use_ext_bscan パラメータによって異なる)
UPDATE_OUT	出力	内部 BSCAN コンポーネントの未使用の USER スキャンチェーンからの UPDATE 信号。オプション (use_unused_bscan パラメータによって異なる)

1. Xilinx Platform Studio を使用して作成したプロジェクトの場合、CONTROL ポートの方向は OUT です。

ICON の XCO パラメータ

表 2 は、ICON の XCO パラメータを示しています。

表 2: ICON の XCO パラメータ

パラメータ名	使用可能な値	デフォルト値	説明
component_name	A-z、0-9、および_(アンダースコア)を含む文字列	アイコン	インスタンス化されたコンポーネントの名前
number_control_ports	1 ~ 15	1	この ICON コアに接続される ChipScope Pro ターゲット コアの数
use_ext_bscan	False = 内部を使用 True = 外部を使用	False	BSCAN プリミティブ コンポーネントの外部または内部インスタンスを使用
use_jtag_bufg	False = BUFG をイネーブル True = BUFG をディスエーブル	False	BUFG を JTAG (DRCK) クロック信号に追加するかどうかを指定
use_unused_bscan	False = 使用なし True = 使用あり	0	未使用の内部 BSCAN コンポーネント信号がポートに接続されるかどうかを指定
user_scan_chain	USER1、USER2、USER3、USER4	USER1	ICON コアで使用される BSCAN USER スキャンチェーンの数 ⁽¹⁾

1. USER1、USER2、USER3 および USER4 は、Virtex-4 および Virtex-5 デバイス ファミリーでのみサポートされます。その他のデバイスファミリでは、USER1 および USER2 のみサポートされます。

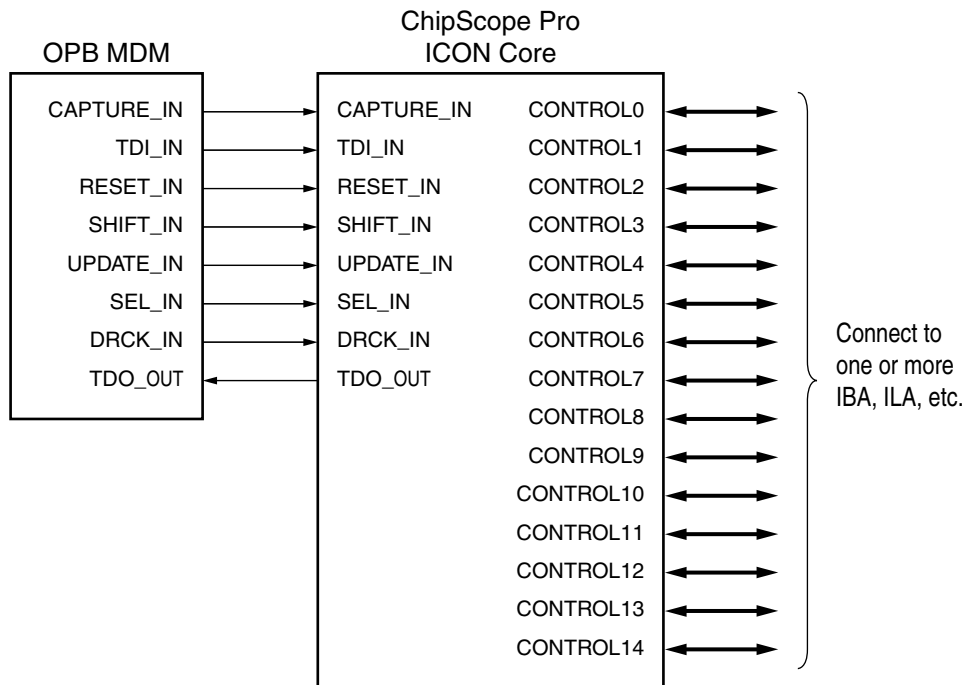
制限

現在のところ、ChipScope Pro では各デザインで 1 つの ICON コアしかサポートされていません。

EDK での ICON コアの使用法

ICON コアは、エンベデッド開発キット (EDK) を使用してエンベデッド プロセッサ デザインに挿入できます。この場合、ICON コアは BSCAN コンポーネント

インスタンスによって異なります。このコンポーネントのインターフェイスは、OPB_MDM ペリフェラル コンポーネントによりエクスポートされます (図 4 参照)。



DS646_04_120707

図 4 : EDK の XPS デザインの ICON コア コンポーネント

EDK では、ICON コアが Tcl スクリプトを使用してツールに統合されています。EDK の PlatGen ツールが実行されると、Tcl スクリプトが呼び出され、このスクリプトがコマンドラインモードで CORE Generator を呼び出します。Tcl スクリプトからは CORE Generator にパラメータファイル (.xco) が渡され、ICON コアのネットリストが生成されます。また、Tcl スクリプトは表 3 のコアパラメータに基づいて ICON ポートと一致するように、HDL ラッパーを生成します。ICON コア用に生成された HDL ラッパー ファイルを合成するには、XST 合成ツールが使用されます。XST および ChipScope Pro CORE Generator からの NGC ネットリスト出力は、ザイリンクスの ISE Design Suite に読み込まれ、実際のデバイスのインプリメンテーションに使用されます。

表 3 : ICON の EDK 用パラメータ

パラメータ名	使用可能な値	デフォルト値	説明
c_disable_jtag_bufg_insertion	整数 : 1 = BUFG をディスエーブル 0 = BUFG をイネーブル	0	BUFG を JTAG (または DRCK) クロック信号に追加するかどうかを指定
c_family	virtex4、virtex5、virtex6、virtex6l、spartan3、spartan3E、spartan3A、spartan3Adsp、spartan6	なし	FPGA デバイス ファミリをターゲットに指定
c_force_bscan_user_port	整数 : 1、3、または 4 (ポート 2 は OPB_MDM が使用)	1	ICON コアで使用される BSCAN USER スキャン チェーンの数
c_num_control_ports	整数 :1-15	1	この ICON コアに接続される ChipScope Pro ターゲット コアの数
c_system_contains_mdm	整数 : 1 = システムに MDM 含有 0 = システムに MDM 含有なし	0 (ツールで自動的に計算)	ICON コアを含むシステムに OPB_MDM ペリフェラルも含めるかどうかを指定。このパラメータは BSCAN コンポーネントをインストールすべきかどうかを決定

検証

ICON コアは、ザイリンクス社内で開発されたバス ファンクション モデルを使用し、IP テスト環境で検証されています。

参考資料

[1] ChipScope Pro ソフトウェアとコアの詳細は、次の『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

http://japan.xilinx.com/support/documentation/sw_manuals/chipscope_pro_sw_cores_10_1_ug029.pdf

[2] EDK での ChipScope Pro を使用したハードウェア検証については、次のサイトから Platform Studio 11.2 のオンライン ヘルプを参照してください。

http://japan.xilinx.com/itp/xilinx11/help/platform_studio/platform_studio_start.htm

[3] System Generator for DSP での ChipScope Pro を使用したハードウェア検証については、次の『System Generator for DSP

ユーザー ガイド』を参照してください。

http://japan.xilinx.com/support/sw_manuals/sysgen_ug.pdf

サポート

ザイリンクスでは、製品マニュアルに記述されているように、この LogiCORE 製品のテクニカル サポートを提供しています。マニュアルで定義されていないデバイスにインプリメントしたり、製品マニュアルで記述されている範囲を超えてカスタマイズしたり、「DO NOT MODIFY」と記述されているセクションに変更を加えたりした場合、タイミング、機能、製品サポートは保証されません。

注文情報

ICON コアは、[ザイリンクス エンド ユーザー ライセンス契約書](#)に基づいて提供されており、ザイリンクスの CORE Generator 11.2 またはそれ以降のバージョンを使用して生成できます。

CORE Generator は、ザイリンクスの ISE Design Suite 開発ソフトウェアに含まれています。

その他のザイリンクス LogiCORE モジュールおよびソフトウェアの価格や機能については、最寄りの[ザイリンクス販売代理店](#)ま

でご連絡ください。LogiCORE モジュールの詳細については、[ザ
イリックス IP センタ](#)を参照してください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	変更内容
2008年3月24日	1.0	リリース 10.1 用 (初期リリース)
2008年9月19日	1.1	リリース 10.1 サービス パック 3 用にアップデート
2009年4月7日	2.0	リリース 11.1 用にアップデート
2009年6月24日	2.1	リリース 11.2 用にアップデート
2009年9月16日	2.2	リリース 11.3 用にアップデート

免責事項

Xilinx is providing this product documentation, hereinafter “Information,” to you “AS IS” with no warranty of any kind, express or implied. Xilinx makes no representation that the Information, or any particular implementation thereof, is free from any claims of infringement. You are responsible for obtaining any rights you may require for any implementation based on the Information. All specifications are subject to change without notice. XILINX EXPRESSLY DISCLAIMS ANY WARRANTY WHATSOEVER WITH RESPECT TO THE ADEQUACY OF THE INFORMATION OR ANY IMPLEMENTATION BASED THEREON, INCLUDING BUT NOT LIMITED TO ANY WARRANTIES OR REPRESENTATIONS THAT THIS IMPLEMENTATION IS FREE FROM CLAIMS OF INFRINGEMENT AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE. Except as stated herein, none of the Information may be copied, reproduced, distributed, republished, downloaded, displayed, posted, or transmitted in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx.

本資料は英語版 (v2.2) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。