

## はじめに

ChipScope™ OPB IBA コアは、IBM CoreConnect OPB (オンチップ ペリフェラル バス) を含むエンベデッド システムのデバッグ用に設計された Bus Analyzer コアです。EDK の ChipScope OPB IBA コアは、OPB IBA に対する HDL ラッパーを生成し、ChipScope Core Generator を起動してユーザー パラメーターに従ったネットリストを生成する Tcl スクリプトに基づいています。

## 機能

- ・ プロトコル違反モニター
- ・ トリガーおよびデータ キャプチャーの複数トリガーユニット
- ・ トリガー ユニットの、それぞれ別々にイネーブルおよび設定可能
- ・ OPB IBA のトリガー ユニット：
  - .. OPB 制御信号
  - .. OPB アドレス ユニットの
  - .. OPB データ ユニットの (結合済み)
  - .. OPB 読み出し/書き込みデータ ユニットの
  - .. OPB プロトコル違反ユニット
  - .. OPB マスター ユニットの (マスター数に基づく)
  - .. OPB スレーブ ユニットの (スレーブ数に基づく)
- ・ 選択可能幅を持つ汎用トリガー/データ ユニットの

ATC2 コアの詳細は、『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

LogiCORE IP に関する情報				
コアの内容				
サポートされるデバイスファミリ <sup>(1)</sup>	Spartan®-3E、 オートモーティブ Spartan-3E、 Spartan-3、オートモーティブ Spartan-3、Spartan-3A、オート モーティブ Spartan-3A、Spartan- 3A DSP、オートモーティブ Spartan-3A DSP、 Virtex-4			
使用リソース <sup>(2)</sup>	I/O	LUT	フリップ フロップ	ブロック RAM
	8	122	185	0
特別機能	なし			
コアに含有されるもの				
資料	製品仕様			
デザイン ファイル フォーマット	VHDL/EDIF			
制約ファイル	なし			
検証	なし			
インスタンス化テンプレート	なし			
リファレンス デザイン/ アプリケーション ノート	なし			
その他の項目	CDC (Signal Description) ファイル			
デザイン ツール要件				
サイリックス インプリメンテーション ツール	ISE® 11.2			
検証	ChipScope™ Pro 11.2			
シミュレーション	シミュレーションでのサポートなし			
合成	XST で合成されたネットリスト			
サポート				
サイリックスによるサポートあり				

1. これらの FPGA ファミリの派生デバイスも含む
2. 1つの8ビット幅バンクを含む Virtex-4 デバイスファミリを仮定して概算しています。

## ファンクションの詳細

ChipScope OPB IBA コアは、IBM CoreConnect OPB (オンチップ ペリフェラル バス) を含むエンベデッド システムのデバッグ

用に設計された **Bus Analyzer** コアです。モジュールおよびインターコネクトは、[図 1](#) に示すとおりです。ACT2 コアのデータパスには、次が含まれます。

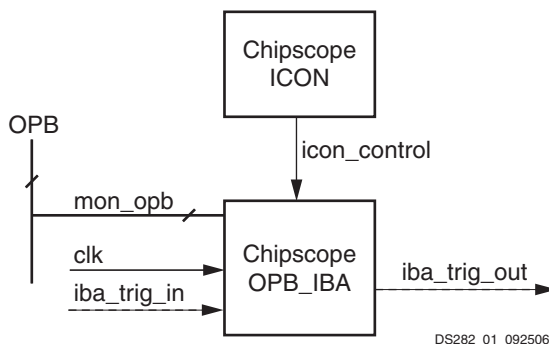


図 1 : ChipScope OPB IBA ブロック図

## ChipScope OPB IBA I/O 信号

ChipScope OPB IBA の I/O 信号は、[表 1](#) に示すとおりです。

表 1 : ChipScope OPB IBA I/O 信号

信号名	マッチ ユニット	インターフェイス	I/O	説明
chipscope_icon_control	なし	なし	I[35:0]	ICON 制御信号
iba_trig_in	GENERIC	なし	I	汎用トリガー入力
iba_trig_out	GENERIC	なし	O	IBA トリガー出力
OPB_Clk	CONTROL	なし	I	OPB クロック
OPB_Rst	CONTROL	MON_OPB	I	OPB リセット
SYS_Rst	CONTROL	なし	I	システム リセット
Debug_SYS_Rst	CONTROL	MON_OPB	I	デバッグ システム リセット
WDT_Rst	CONTROL	MON_OPB	I	ウォッチドッグ リセット
OPB_BE	CONTROL	MON_OPB	I	OPB バイト イネーブル
OPB_BusLock	CONTROL	MON_OPB	I	OPB バス ロック
OPB_ErrAck	CONTROL	MON_OPB	I	OPB エラー通知
OPB_MGrant	CONTROL	MON_OPB	I	OPB マスター許可
OPB_PendReq	CONTROL	MON_OPB	I	OPB 保留リクエスト
OPB_Retry	CONTROL	MON_OPB	I	OPB 再試行
OPB_RNW	CONTROL	MON_OPB	I	OPB 読み出し (書き込みなし)
OPB_Select	CONTROL	MON_OPB	I	OPB セレクト
OPB_SeqAddr	CONTROL	MON_OPB	I	OPB 順次アドレス
OPB_TimeOut	CONTROL	MON_OPB	I	OPB タイムアウト
OPB_ToutSup	CONTROL	MON_OPB	I	OPB タイムアウト制御
OPB_XferAck	CONTROL	MON_OPB	I	OPB 転送通知
OPB_ABus	ADDR	MON_OPB	I	OPB アドレス バス

表 1 : ChipScope OPB IBA I/O 信号 (続き)

信号名	マッチ ユニット	インターフェイス	I/O	説明
OPB_DBus	DATA	MON_OPB	I	OPB データ バス
OPB_RdDBus	RDDATA	MON_OPB	I	OPB 読み出しデータ バス
OPB_WrDBus	WRDATA	MON_OPB	I	OPB 書き込みデータ バス
M_BE	MASTER<n>	MON_OPB	I	マスターのバイト イネーブル
M_BusLock	MASTER<n>	MON_OPB	I	マスター バス ロック
M_Request	MASTER<n>	MON_OPB	I	マスター リクエスト
M_RNW	MASTER<n>	MON_OPB	I	マスターの読み出し (書き込みなし)
M_Select	MASTER<n>	MON_OPB	I	マスター セレクト
M_SeqAddr	MASTER<n>	MON_OPB	I	マスターの順次アドレス
Sl_ErrAck	SLAVE<n>	MON_OPB	I	マスター エラー通知
Sl_Retry	SLAVE<n>	MON_OPB	I	スレーブの再試行
Sl_ToutSup	SLAVE<n>	MON_OPB	I	スレーブのタイムアウト制御
Sl_XferAck	SLAVE<n>	MON_OPB	I	スレーブの転送通知

## ChipScope OPB IBA のパラメーター

表 2 は、特定のシステム専用調整され、最適なパフォーマンスを提供する ChipScope OPB IBA コアを作成するためにパラメーターを変更可能な機能を示しています。OPB IBA コアのパラメーターの詳細については、『ChipScope Pro ソフトウェアおよびコアユーザー ガイド』を参照してください。

ChipScope OPB IBA ペリフェラルでは、OPB 制御バス、アドレスバス、データバス、各スレーブまたはマスターバス、汎用トリ

ガー入力、およびプロトコル違反ユニットに接続される複数のトリガーユニットがサポートされます。トリガーユニットは、それぞれ別々にイネーブルおよび設定できます。次の表で C\_<XYZ>\_UNIT は、これらのユニットのいずれかとそれに関連するパラメーターを示します。また、表にはすべてのトリガーユニットと各ユニットをイネーブルにするために使用されたパラメーター名がリストされています。

表 2 : ChipScope OPB IBA のパラメーター

機能説明	パラメータ名	設定可能な値	デフォルト値	VHDL の型
各トリガー マッチでキャプチャーされたデータ サンプル数	C_NUM_DATA_SAMPLES	整数 (512、1024、2048、4096、8192、16384)	512	整数
IBA がトリガーされるとアサートされるトリガー出力信号の iba_trig_out をイネーブル	C_ENABLE_TRIGGER_OUT	整数 1 = トリガー出力をイネーブル 0 = トリガー出力をディスエーブル	0	整数
ターゲット ファミリー	C_FAMILY	ザイリンクス FPGA ファミリー	virtex2	文字列
ネットリストの RPM 配置情報をディスエーブル	C_DISABLE_RPM	整数 1 = RPM をディスエーブル 0 = ネットリストで RPM をイネーブル	0	整数

表 2 : ChipScope OPB IBA のパラメーター (続き)

機能説明	パラメータ名	設定可能な値	デフォルト値	VHDLの型
SRL16 の使用をディスエーブル	C_DISABLE_SRL16S	整数 1 = ディスエーブル 0 = イネーブル	0	整数
クロックの立ち上がりまたは立ち下がりエッジでトリガー	C_RISING_CLOCK_EDGE	整数 1 = 立ち上がり 0 = 立ち下がり	1	整数
ILA のトリガー シーケンサーをイネーブル	C_ENABLE_TRIGGER_SEQUENCER	整数 1 = イネーブル 0 = ディスエーブル	1	整数
シーケンサー レベルの最大数	C_MAX_SEQUENCER_LEVELS	整数 (1 -16)	16	整数
ILA のストレージ クオリフィケーションをイネーブル	C_ENABLE_STORAGE_QUALIFICATION	整数 1 = イネーブル 0 = ディスエーブル	1	整数
<XYZ> ユニット用にイネーブルになったマッチ ユニット数 例 : OPB 制御信号	C_<XYZ>_UNITS 例 : C_CONTROL_UNITS	整数 (0 -16) 0 = ユニットのディスエーブル 1-16 = マッチ ユニット数	0	整数
マッチ ユニット <XYZ> のカウンター幅 例 : OPB 制御信号がマッチ ユニットへ送信される	C_<XYZ>_UNIT_COUNTER_WIDTH 例 : C_CONTROL_UNIT_COUNTER_WIDTH	整数 (0 -32) 0 = マッチ カウンターをディスエーブル 1-32 - マッチ カウンター幅 (詳細は、ChipScope のユーザー ガイドを参照)	0	整数
マッチ ユニット <XYZ> のマッチタイプ 例 : OPB 制御信号がマッチ ユニットへ送信される	C_<XYZ>_UNIT_MATCH_TYPE 例 : C_CONTROL_UNIT_MATCH_TYPE	basic、basic with edges、extended、extended with edges、range、range with edges (詳細は、ChipScope のユーザー ガイドを参照)	basic	文字列
OPB 制御信号	C_CONTROL_UNITS	整数 (0 -16)	1	整数
OPB アドレスユニット	C_ADDR_UNITS	整数 (0 -16)	1	整数
OPB データユニット (結合済み)	C_DATA_UNITS	整数 (0 -16)	1	整数
OPB プロトコル違反ユニット	C_PV_UNITS	整数 (0 -16)	0	整数
汎用トリガー ユニット	C_GENERIC_TRIGGER_UNITS	整数 (0 -16)	0	整数
汎用トリガー入力幅	C_GENERIC_TRIGGER_IN_WIDTH	整数	0	整数
OPB 書き込みデータ ユニット	C_WRDATA_UNITS	整数 (0 -16)	0	整数

表 2 : ChipScope OPB IBA のパラメーター (続き)

機能説明	パラメータ名	設定可能な値	デフォルト値	VHDLの型
OPB 読み出しデータ ユニット	C_RDDATA_UNITS	整数 (0 -16)	0	整数
OPB マスター (0-16) ユニット	C_MASTER<n>_UNITS	整数 (0 -16)	0	整数
OPB スレーブ (0-16) ユニット	C_SLAVE<n>_UNITS	整数 (0 -16)	0	整数

### 使用可能なパラメーターの組み合わせ

C\_GENERIC\_TRIGGER\_IN\_WIDTH パラメーターは、汎用トリガー入力信号 (OPB バスに無関係) が

C\_GENERIC\_TRGGER\_UNITS を 1 以上に指定することにより ChipScope OPB IBA でイネーブルになる場合にのみ有効です。

C\_<XYZ>\_UNIT\_COUNTER\_WIDTH パラメーターおよび C\_<XYZ>\_UNIT\_MATCH\_TYPE パラメーターは、対応するトリガー ユニットが C\_<XYZ>\_UNITS を 1 以上に設定することでイネーブルになる場合にのみ有効です。

C\_MASTER<n>\_UNITS および C\_SLAVE<n>\_UNITS を使用してイネーブルにできるマスターおよびスレーブ トリガー ユ

ニットは、ユーザーのプロセッサ デザインのマスターまたはスレーブ OPB ペリフェラルの数によって決まります。<n> は OPB バスのペリフェラルの位置を示します (これは通常ユーザーの MHS デザインの順序と同じになります)。

詳細は、ChipScope のインストールに含まれる『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

### パラメーター - ポートの依存関係

表 3 : ChipScope OPB IBA パラメーター - ポートの依存関係

ポート名	依存するパラメーター	説明
iba_trig_in	C_GENERIC_TRIGGER_UNITS C_GENERIC_TRIGGER_IN_WIDTH	汎用トリガー入力ポートとその幅はこれらの 2 つで決定されます。
iba_trig_out	C_ENABLE_TRIGGER_OUT	trig_out ポートはこのパラメーターが 1 に設定されるとイネーブルになります。

## デザイン インプリメンテーション

### デザイン ツール

ChipScope OPB IBA デザインに Tcl スクリプトが 1 つ含まれます。EDK の PlatGen ツールが実行されると、この Tcl スクリプトが呼び出され、スクリプトは内部で ChipScope Pro Core Generator ツールをコマンド ライン モードで呼び出し、引数ファイル (.arg) を読み込ませて、ChipScope OPB IBA のネットリストを生成します。また、この Tcl スクリプトにより、コアパラメーターに基づいて IBA ポートに合う HDL ラッパーも生成されます。

XST は、この ChipScope OPB IBA 用に生成された HDL ラッパーを合成するために使用される合成ツールです。XST および ChipScope Pro Core Generator からの EDIF ネットリスト出力

は、ザイリンクスの ISE Design Suite に読み込まれ、実際のデバイスのインプリメンテーションに使用されます。

### ターゲット デバイス

ターゲット デバイスは、すべてのザイリンクス FPGA デバイスになります。

### デバイス使用率とパフォーマンスの評価基準

デバイス使用率は、ユーザーの設定するパラメーターの組み合わせによってかなり異なります。

### 制限

1 つの IBA で監視可能な信号の最大数は 256 です。

## 参考資料

[1] ChipScope Pro ソフトウェアとコアの詳細は、次の『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

[http://japan.xilinx.com/support/documentation/sw\\_manuals/chipscope\\_pro\\_sw\\_cores\\_10\\_1\\_ug029.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/chipscope_pro_sw_cores_10_1_ug029.pdf)

[2] EDK での ChipScope Pro を使用したハードウェア検証については、次のサイトから Platform Studio 11.1 のオンライン ヘルプを参照してください。

[http://japan.xilinx.com/itp/xilinx11/help/platform\\_studio/platform\\_studio\\_start.htm](http://japan.xilinx.com/itp/xilinx11/help/platform_studio/platform_studio_start.htm)

[3] System Generator for DSP での ChipScope Pro を使用したハードウェア検証については、次の『System Generator for DSP ユーザー ガイド』を参照してください。

[http://japan.xilinx.com/support/sw\\_manuals/sysgen\\_ug.pdf](http://japan.xilinx.com/support/sw_manuals/sysgen_ug.pdf)

## サポート

ザイリンクスでは、製品マニュアルに記述されているように、この LogiCORE 製品のテクニカル サポートを提供しています。マ

## 改訂履歴

日付	バージョン	改訂内容
2004年1月16日	1.0	リリース 6 用 (初期リリース)
2004年8月30日	1.1	リリース 6.3i 用
2005年4月2日	2.0	リリース 7.1i サービス パック 1 用
2005年10月31日	3.0	リリース 8.1i 用
2006年9月25日	4.0	リリース 9.1i 用
2008年4月21日	5.0	リリース 10.1
2009年4月7日	6.0	リリース 11.1
2009年6月24日	6.1	リリース 11.2

## 免責事項

Xilinx is providing this product documentation, hereinafter “Information,” to you “AS IS” with no warranty of any kind, express or implied. Xilinx makes no representation that the Information, or any particular implementation thereof, is free from any claims of infringement. You are responsible for obtaining any rights you may require for any implementation based on the Information. All specifications are subject to change without notice. XILINX EXPRESSLY DISCLAIMS ANY WARRANTY WHATSOEVER WITH RESPECT TO THE ADEQUACY OF THE INFORMATION OR ANY IMPLEMENTATION BASED THEREON, INCLUDING BUT NOT LIMITED TO ANY WARRANTIES OR REPRESENTATIONS THAT THIS IMPLEMENTATION IS FREE FROM CLAIMS OF INFRINGEMENT AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE. Except as stated herein, none of the Information may be copied, reproduced, distributed, republished, downloaded, displayed, posted, or transmitted in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx.

本資料は英語版 (v6.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

マニュアルで定義されていないデバイスにインプリメントしたり、製品マニュアルで記述されている範囲を超えてカスタマイズしたり、「DO NOT MODIFY」と記述されているセクションに変更を加えたりした場合、タイミング、機能、製品サポートは保証されません。

## 注文情報

OPB IBA コアは、[ザイリンクス エンド ユーザー ライセンス契約書](#)に基づいて提供されており、ザイリンクスの CORE

Generator 11.2 またはそれ以降のバージョンを使用して生成できます。CORE Generator は、ザイリンクスの ISE Design Suite 開発ソフトウェアに含まれています。