

はじめに

ChipScope™ PLB IBA コアは、IBM CoreConnect PLB (プロセッサ ローカル バス) を含むエンベデッド システムのデバッグ用に設計された特別な Bus Analyzer コアです。EDK の ChipScope PLB IBA コアは、PLB IBA に対する HDL ラッパーを生成し、ChipScope Core Generator を起動してユーザー パラメーターに従ったネットリストを生成する Tcl スクリプトに基づいています。

機能

- ・ トリガーおよびデータ キャプチャの複数マッチ ユニット
- ・ マッチ ユニットは、それぞれ別々にイネーブルおよび設定可能。
- ・ PLB IBA のマッチ ユニット：
 - PLB 制御信号
 - PLB アドレス ユニット
 - PLB 読み出しデータ ユニット
 - PLB 書き込みデータ ユニット
 - PLB マスター ユニット (マスター数に基づく)
 - PLB スレーブ ユニット (スレーブ数に基づく)
- ・ 選択可能幅を持つ汎用トリガー/データ ユニット

PLB IBA コアの詳細は、ChipScope のインストールに含まれる『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

LogiCORE に関する情報		
コアの内容		
サポートされるデバイス ファミリー	Virtex®-4	
コアのバージョン	chipscope_plb_iba	v1.01a
使用リソース		
	最小	最大
スライス	219	411
LUT	87	112
フリップフロップ	215	320
ブロック RAM	1	187
コアに含有されるもの		
資料	製品仕様	
デザイン ファイルフォーマット	VHDL/EDIF	
制約ファイル	なし	
検証	なし	
インスタンス化 ション テンプレート	なし	
リファレンス デザイン	なし	
デザイン ツール要件		
ザイリンクス インプリメンテーション ツール	ISE® 11.1 またはそれ以降のバージョン	
検証	ChipScope Pro 11.1 またはそれ以降のバージョン	
シミュレーション	シミュレーションでのサポートなし	

ファンクションの詳細

ChipScope OPB IBA コアは、IBM CoreConnect PLB (プロセッサ ローカル バス) を含むエンベデッド システムのデバッグ用

に設計された Bus Analyzer コアです。モジュールおよびインターコネクトは、[図 1](#) に示すとおりです。

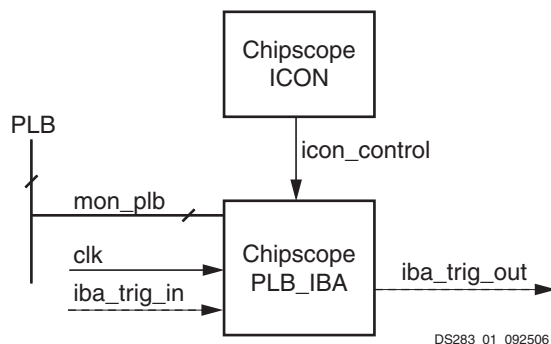


図 1 : ChipScope PLB IBA ブロック図

ChipScope PLB IBA I/O 信号

ChipScope PLB IBA の I/O 信号は、[表 1](#) に示すとおりです。

表 1 : ChipScope PLB IBA I/O 信号

信号名	マッチ ユニッ ト	インターフェ イス	I/O	説明
chipscope_icon_control	なし	なし	I[35:0]	ICON 制御信号
iba_trig_in	GENERIC	なし	I	汎用トリガー入力
iba_trig_out	GENERIC	なし	O	IBA トリガー出力
PLB_Clk	CONTROL	MON_PLB	I	PLB クロック
PLB_Rst	CONTROL	MON_PLB	I	PLB リセット
PLB_Abort	CONTROL	MON_PLB	I	PLB 中止バス リクエスト インジケータ
PLB_BE	CONTROL	MON_PLB	I	PLB バイト イネーブル
PLB_BusLock	CONTROL	MON_PLB	I	PLB バスロック
PLB_MasterID	CONTROL	MON_PLB	I	PLB 使用中マスター識別子
PLB_MSize	CONTROL	MON_PLB	I	PLB データ バス ポート幅インジケータ
PLB_PAVValid	CONTROL	MON_PLB	I	PLB プライマリ アドレス有効インジケータ
PLB_SAVValid	CONTROL	MON_PLB	I	PLB セカンダリ アドレス有効インジケータ
PLB_RdPrim	CONTROL	MON_PLB	I	PLB セカンダリ - プライマリ間読み出しリクエスト インジケータ
PLB_WrPrim	CONTROL	MON_PLB	I	PLB セカンダリ - プライマリ間書き込みリクエスト インジケータ
PLB_RNW	CONTROL	MON_PLB	I	PLB 読み出し (書き込みなし)
PLB_Size	CONTROL	MON_PLB	I	PLB 転送サイズ
PLB_ABus	ADDR	MON_PLB	I	PLB アドレス バス

表 1 : ChipScope PLB IBA I/O 信号 (Cont'd)

信号名	マッチ ユニッ ト	インターフェ イス	I/O	説明
PLB_WrDBus	WRDATA	MON_PLB	I	PLB 書き込みデータ バス
Sl_RdDBus	RDDATA	MON_PLB	I	PLB 読み出しデータ バス
PLB_MAddrAck	MASTER<n>	MON_PLB	I	PLB マスター n のアドレス通知
PLB_MBusy	MASTER<n>	MON_PLB	I	PLB マスター n のスレーブ ビジー インジケータ
PLB_MErr	MASTER<n>	MON_PLB	I	PLB マスター n のスレーブ エラー インジケータ
PLB_MRdDAck	MASTER<n>	MON_PLB	I	PLB マスター n の読み出しデータ通知
PLB_MRdWdAddr	MASTER<n>	MON_PLB	I	PLB マスター n の読み出しワード アドレス
PLB_MRearbitrate	MASTER<n>	MON_PLB	I	PLB マスター n のバス再アービトレーション インジケータ
PLB_MSsize	MASTER<n>	MON_PLB	I	PLB マスター n のスレーブ データ バスポート幅
PLB_MWrDAck	MASTER<n>	MON_PLB	I	PLB マスター n の書き込みデータ通知
M_Abort	MASTER<n>	MON_PLB	I	マスター n の中止バス リクエスト インジケータ
M_BE	MASTER<n>	MON_PLB	I	マスター n のバイト イネーブル
M_BusLock	MASTER<n>	MON_PLB	I	マスター n のバス ロック
M_MSize	MASTER<n>	MON_PLB	I	マスター n のデータ バスポート幅
M_Priority	MASTER<n>	MON_PLB	I	マスター n のバス リクエスト優先度
M_Request	MASTER<n>	MON_PLB	I	マスター n のバス リクエスト
M_RNW	MASTER<n>	MON_PLB	I	マスター n の読み出し (書き込みなし)
M_Size	MASTER<n>	MON_PLB	I	マスター n の転送サイズ
Sl_AddrAck	SLAVE<n>	MON_PLB		スレーブのアドレス通知
Sl_RdDAck	SLAVE<n>	MON_PLB		スレーブの読み出しデータ通知
Sl_RdWdAddr	SLAVE<n>	MON_PLB		スレーブの読み出しワード アドレス
Sl_Rearbitrate	SLAVE<n>	MON_PLB		スレーブの再アービトレーション バスインジケータ
Sl_SSize	SLAVE<n>	MON_PLB		スレーブ データ バスポートサイズのインジケータ
Sl_Wait	SLAVE<n>	MON_PLB		スレーブの待機インジケータ
Sl_WrComp	SLAVE<n>	MON_PLB		スレーブの書き込み転送完了インジケータ
Sl_WrDAck	SLAVE<n>	MON_PLB		スレーブの書き込みデータ通知

ChipScope PLB IBA のパラメーター

ユーザーのシステム専用に調整され、最適なパフォーマンスを提供する ChipScope PLB IBA コアを作成するために、PLB IBA で

特定機能のパラメーターを変更できるようになっています。表 2 は、パラメーターを変更可能な機能を示しています。PLB IBA コ

アのパラメーターの詳細については、『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

ChipScope PLB IBA ペリフェラルでは、PLB 制御バス、アドレスバス、データバス、各スレーブまたはマスターバス、汎用トリガー入力に接続される複数のトリガー ユニットがサポートされます。

これらのトリガー ユニットは、それぞれ別々にイネーブルおよび設定できます。次の表で C_<XYZ>_UNIT は、これらのユニットのいずれかとそれに関連するパラメーターを示します。また、表にはすべてのトリガー ユニットと各ユニットをイネーブルにするために使用されたパラメーター名がリストされています。

表 2 : ChipScope PLB IBA のパラメーター

機能説明	パラメータ名	設定可能な値	デフォルト値	VHDL の型
各トリガー マッチでキャプチャーされたデータ サンプル数	C_NUM_DATA_SAMPLES	整数 (512*、1024、2048、4096、8192、16384、32768、65536**、131072***) * Virtex-5 以外 ** Virtex-5	512 (Virtex-5 の場合は 1024)	整数
IBA がトリガーされるとアサートされるトリガー出力信号の iba_trig_out をイネーブル	C_ENABLE_TRIGGER_OUT	整数 1 = トリガー出力をイネーブル 0 = トリガー出力をディスエーブル	1	整数
ターゲット ファミリ	C_FAMILY	ザイリンクス FPGA ファミリ	virtex4	文字列
ネットリストの RPM 配置情報をディスエーブル	C_DISABLE_RPM	整数 1 = RPM をディスエーブル 0 = ネットリストで RPM をイネーブル	0	整数
SRL16 の使用をディスエーブル	C_DISABLE_SRL16S	整数 1 = ディスエーブル 0 = イネーブル	0	整数
クロックの立ち上がりまたは立ち下がりエッジでトリガー	C_RISING_CLOCK_EDGE	整数 (1 = 立ち上がり、0 = 立ち下がり)	1	整数
ILA のトリガー シーケンサーをイネーブル	C_ENABLE_TRIGGER_SEQUENCER	整数 1 = イネーブル 0 = ディスエーブル	1	整数
シーケンサー レベルの最大数	C_MAX_SEQUENCER_LEVELS	整数 (1 -16)	16	整数
ILA のストレージ クオリフィケーションをイネーブル	C_ENABLE_STORAGE_QUALIFICATION	整数 1 = イネーブル 0 = ディスエーブル	1	整数
<XYZ> ユニット用にイネーブルになったマッチ ユニット数 例 :PLB 制御信号	C_<XYZ>_UNITS 例 :C_CONTROL_UNITS	整数 (0 -16) 0 = ユニットのディスエーブル 1-16 = マッチ ユニット数	0	整数

表 2 : ChipScope PLB IBA のパラメーター (Cont'd)

機能説明	パラメータ名	設定可能な値	デフォルト値	VHDL の型
マッチ ユニット <XYZ> のカウンター幅 例 :PLB 制御信号がマッチ ユニットへ送信される	C_<XYZ>_UNIT_COUNTER_WIDTH 例 :C_CONTROL_UNIT_COUNTER_WIDTH	整数 (0 -32) 0 = マッチ カウンターをディスエーブル 1-32 - マッチ カウンター幅 ⁽¹⁾	0	整数
マッチ ユニット <XYZ> のマッチタイプ 例 :PLB 制御信号がマッチ ユニットへ送信される	C_<XYZ>_UNIT_MATCH_TYPE 例 :C_CONTROL_UNIT_MATCH_TYPE	basic、basic with edges、extended、extended with edges、range、range with edges	basic ⁽²⁾	文字列
PLB 制御ユニット	C_CONTROL_UNITS	整数 (0 -16)	1	整数
PLB アドレス ユニット	C_ADDR_UNITS	整数 (0 -16)	1	整数
汎用トリガー ユニット	C_GENERIC_TRIGGER_UNITS	整数 (0 -16)	0	整数
汎用トリガー入力幅	C_GENERIC_TRIGGER_IN_WIDTH	整数 (汎用トリガー ユニットがイネーブルの場合は、使用可能範囲 1-1024)	0 (イネーブルの場合はデフォルトで8)	整数
PLB 書き込みデータ ユニット	C_WRDATA_UNITS	整数 (0 -16)	0	整数
PLB 読み出しデータ ユニット	C_RDDATA_UNITS	整数 (0 -16)	0	整数
PLB マスター (0-16) ユニット	C_MASTER<n>_UNITS	整数 (0 -16)	0	整数
PLB スレーブ (0-16) ユニット	C_SLAVE<n>_UNITS	整数 (0 -16)	0	整数

1. 詳細は、ChipScope のインストールに含まれる『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。
2. CONTROL : basic with edges; ADDR、TRIGGER : extended with edges

使用可能なパラメーターの組み合わせ

- ・ C_GENERIC_TRIGGER_IN_WIDTH パラメーターは、汎用トリガー入力信号 (PLB バスに無関係) が C_GENERIC_TRIGGER_UNITS を 1 以上に指定することにより ChipScope PLB IBA でイネーブルになる場合にのみ有効です。
- ・ C_<XYZ>_UNIT_COUNTER_WIDTH パラメーターおよび C_<XYZ>_UNIT_MATCH_TYPE パラメーターは、対応するトリガー ユニットが C_<XYZ>_UNITS を 1 以上に設定することでイネーブルになる場合にのみ有効です。
- ・ C_MASTER<n>_UNITS および C_SLAVE<n>_UNITS を使用してイネーブルにできるマスターおよびスレーブ トリガー ユニットは、ユーザーのプロセッサ デザインのマスターまたはスレーブ PLB ペリフェラルの数によって決まります。<n> は PLB バスのペリフェラルの位置を示します (これは通常ユーザーの MHS デザインの順序と同じになります)。

詳細は、ChipScope のインストールに含まれる『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。

パラメーター - ポートの依存関係

表 3 : ChipScope PLB IBA パラメーター - ポートの依存関係

ポート名	依存するパラメーター	説明
iba_trig_in	C_GENERIC_TRIGGER_UNITS C_GENERIC_TRIGGER_IN_WIDT H	汎用トリガー入力ポートとその幅はこれらの 2 つで決定されます。
iba_trig_out	C_ENABLE_TRIGGER_OUT	trig_out ポートはこのパラメーターが 1 に設定されるとイネーブルになります。

デザイン インプリメンテーション

デザイン ツール

ChipScope PLB IBA デザインに Tcl スクリプトが 1 つ含まれます。EDK の PlatGen ツールが実行されると、この Tcl スクリプトが呼び出され、スクリプトは内部で ChipScope Pro Core Generator ツールをコマンド ライン モードで呼び出し、引数ファイル (.arg) を読み込ませて、ChipScope PLB IBA のネットリストを生成します。また、この Tcl スクリプトにより、コアパラメーターに基づいて IBA ポートに合う HDL ラッパーも生成されます。

XST は、この ChipScope PLB IBA 用に生成された HDL ラッパーを合成するために使用される合成ツールです。XST および ChipScope Pro Core Generator からの EDIF ネットリスト出力は、ザイリンクスの ISE Design Suite に読み込まれ、実際のデバイスのインプリメンテーションに使用されます。

ターゲット デバイス

ターゲット デバイスは、すべてのザイリンクス FPGA デバイスになります。

デバイス使用率とパフォーマンスの評価基準

デバイス使用率は、ユーザーの設定するパラメーターの組み合わせによってかなり異なります。

制限

1 つの IBA で監視可能な信号の最大数は 256 です。

参考資料

- ChipScope Pro ソフトウェアとコアの詳細は、<http://japan.xilinx.com/documentation> から『ChipScope Pro ソフトウェアおよびコア ユーザー ガイド』を参照してください。
- EDK での ChipScope Pro を使用したハードウェア検証については、<http://japan.xilinx.com/documentation> から Platform Studio のオンライン ヘルプを参照してください。
- System Generator for DSP での ChipScope Pro を使用したハードウェア検証については、

<http://japan.xilinx.com/documentation> から『System Generator for DSP ユーザー ガイド』を参照してください。

サポート

ザイリンクスでは、製品マニュアルに記述されているように、この LogiCORE 製品のテクニカル サポートを提供しています。マニュアルで定義されていないデバイスにインプリメントしたり、製品マニュアルで記述されている範囲を超えてカスタマイズしたり、「DO NOT MODIFY」と記述されているセクションに変更を加えたりした場合、タイミング、機能、製品サポートは保証されません。

注文情報

PLB IBA コアは、ザイリンクス エンド ユーザー ライセンス契約書に基づいて提供されており、ザイリンクスのエンベデッド開発キット (EDK) 11.1 またはそれ以降のバージョンを使用して生成できます。EDK は、ザイリンクス ISE Design Suite 開発ソフトウェアに含まれます。

改訂履歴

日付	バージョン	改訂内容
2004年1月16日	1.0	リリース 6 用 (初期リリース)
2004年8月30日	1.1	リリース 6.3i 用
2005年10月31日	3.0	リリース 8.1i 用
2006年9月25日	4.0	リリース 9.1i 用
2007年12月10日	4.1	リリース 9.2i 用
2008年4月25日	5.0	リリース 10.1
2008年7月28日	5.1	リリース 10.1 サービス パック 2 用にアップデート
2009年4月7日	6.0	リリース 11.1

免責事項

Xilinx is providing this design, code, or information (collectively, the “Information”) to you “**AS-IS**” with no warranty of any kind, express or implied. Xilinx makes no representation that the Information, or any particular implementation thereof, is free from any claims of infringement. You are responsible for obtaining any rights you may require for any implementation based on the Information. All specifications are subject to change without notice. XILINX EXPRESSLY DISCLAIMS ANY WARRANTY WHATSOEVER WITH RESPECT TO THE ADEQUACY OF THE INFORMATION OR ANY IMPLEMENTATION BASED THEREON, INCLUDING BUT NOT LIMITED TO ANY WARRANTIES OR REPRESENTATIONS THAT THIS IMPLEMENTATION IS FREE FROM CLAIMS OF INFRINGEMENT AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE. Except as stated herein, none of the Information may be copied, reproduced, distributed, republished, downloaded, displayed, posted, or transmitted in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx.

本資料は英語版 (v6.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。