

はじめに

ザイリンクス 7 シリーズ FPGA メモリ インターフェイス ソリューション コアは、「DDR3 および DDR2 SDRAM」、「QDRII+ SRAM」、「RLDRAM II/RLDRAM III」への高性能な接続を提供します。

DDR3 および DDR2 SDRAM

ここでは、DDR3 および DDR2 SDRAM を使用したザイリンクス 7 シリーズ FPGA のメモリ インターフェイス ソリューションの特長、アプリケーション、機能の概要について説明します。これらのソリューションは、オプションとして AXI4 スレーブ インターフェイスでも利用できます。

DDR3 SDRAM の特長

- 最大 72 ビット幅のインターフェイスをサポート
- シングルおよびデュアル ランクの UDIMM、RDIMM、SODIMM をサポート
- DDR3 (1.5V) および DDR3L (1.35V)
- 1Gb、2Gb、4Gb のデバイスをサポート
- 8 バンクをサポート
- x8 および x16 デバイスをサポート
- 8:1 の DQ:DQS 比をサポート
- データ バス幅 (8 の倍数、最大 72 ビット) を指定可能
- 8 ワード バーストをサポート
- 5 ~ 14 サイクルの CAS (列アドレス ストローブ) レイテンシ (CL) をサポート
- オンダイ終端 (ODT) をサポート
- 5 ~ 10 サイクルの CAS 書き込みレイテンシをサポート
- ZQ キャリブレーション - 初期および周期 (指定可能)
- DDR3 のライト レベリングをサポート (DDR3 デザインに必要なフライバイ配線トポロジ)
- JEDEC 準拠の DDR3 初期化をサポート
- Verilog と VHDL でソース コードを提供 (最上位ファイルのみ)
- 4:1 および 2:1 のメモリ対 FPGA ロジック インターフェイスのクロック比をサポート
- ECC をサポート

LogiCORE™ IP Facts Table							
Core Specifics							
Supported Device Family ⁽¹⁾	Zynq™-7000 ⁽²⁾ , Artix™-7, Virtex®-7 ⁽³⁾ , and Kintex™-7 ⁽³⁾						
Supported Memory	DDR3 Component and DIMM, DDR2 Component and DIMM, QDRII+, and RLDRAM II Components						
Resources	Product ⁽⁴⁾	LUTs	Flip-Flops	BUFG	PLLE2	MCMC	Block RAM
	7 Series FPGAs DDR3 SDRAM	10,554	6,682	2	1	1	0
	7 Series FPGAs DDR2 SDRAM	7,633	4,588	2	1	1	0
	7 Series FPGAs QDRII+ SRAM	2,536	2,117	2	1	1	0
	7 Series FPGAs RLDRAM II	5,134	3,308	2	1	1	0
	7 Series FPGAs RLDRAM III	8,731	5,259	2	1	1	0
Provided with Core							
Documentation	Product Specification User Guide						
Design Files	Verilog, VHDL (top-level files only)						
Example Design	Verilog, VHDL (top-level files only)						
Test Bench	Not Provided						
Constraints File	ISE: UCF Vivado: XDC						
Supported S/W Driver	N/A						
Tested Design Flows ⁽⁵⁾							
Design Entry	ISE Design Suite v14.3 Vivado Design Suite v2012.3 ⁽⁶⁾						
Simulation (Behavioral only)	ISim ⁽⁷⁾ (Verilog designs only), Mentor Graphics ModelSim Vivado Simulator ⁽⁷⁾						
Synthesis	XST, Synopsys Synplify Pro Vivado™ Synthesis						
Support							
Provided by Xilinx @ japan.xilinx.com/support							

注記:

- サポートされているデバイスの一覧は、MIG の『リリース ノート』を参照してください。
- ISE® Design Suite でのインプリメンテーションでのみサポートされています。
- 性能の詳細は、『Virtex-7 FPGA データシート: DC 特性およびスイッチ特性』または『Kintex-7 FPGA データシート: DC 特性およびスイッチ特性』を参照してください。
- リソース使用率は、選択したオプションや使用するメモリ デバイスに依存します。リソースの情報は、72 ビット DDR3 SDRAM、72 ビット DDR2 SDRAM、36 ビット QDRII+ SRAM、72 ビット RLDRAM II、72 ビット RLDRAM III インターフェイスの場合を示しています。
- 各ツールのサポートされているバージョンは、『ザイリンクス デザイン ツール: リリース ノート ガイド』を参照してください。
- 7 シリーズ デバイスのみサポートします。
- ISim および Vivado Simulator は DDR3 SDRAM、DDR2 SDRAM、QDRII+ SRAM、RLDRAM II のみサポートします。

- 書き込み中/非アクティブ時に DQ/DQS IBUF および内部終端を自動的に無効にして I/O の全体消費電力を削減する [I/O Power Reduction] オプション
- 内部 V_{REF} をサポート
- 最大 8 つのコントローラーを使用するマルチコントローラーをサポート
- 2 つのコントローラー要求処理モード
 - Normal : システムのスループットとレイテンシが最適となるように要求を並べ替え
 - Strict : メモリ要求を受信順に処理

DDR2 SDRAM の特長

- 最大 64 ビット幅のインターフェイスをサポート
- シングル ランクの UDIMM、RDIMM、SODIMM をサポート
- 1Gb および 2Gb のデバイスをサポート (その他の集積度は MIG ツールの [Create Custom Part] 機能で指定)
- 4 および 8 バンクをサポート
- x8 および x16 デバイスをサポート
- 8:1 の DQ:DQS 比をサポート
- データ バス幅 (8 の倍数、最大 72 ビット) を指定可能
- 8 ワード バーストをサポート
- 3 ~ 6 サイクルの CAS (列アドレス ストローブ) レイテンシをサポート
- オンダイ終端 (ODT) をサポート
- JEDEC 準拠の DDR2 初期化をサポート
- Verilog と VHDL でソース コードを提供 (最上位ファイルのみ)
- 4:1 および 2:1 のメモリ対 FPGA ロジック インターフェイスのクロック比をサポート
- ECC をサポート
- 書き込み中/非アクティブ時に DQ/DQS IBUF および内部終端を自動的に無効にして I/O の全体消費電力を削減する [I/O Power Reduction] オプション
- 内部 V_{REF} をサポート
- 2 つのコントローラー要求処理モード
 - Normal : システムのスループットとレイテンシが最適となるように要求を並べ替え
 - Strict : メモリ要求を受信順に処理
- MIG ツールを複数回実行することで 1 つの FPGA で複数のコントローラーをサポート

アプリケーション

ザイリンクス 7 シリーズ FPGA のメモリ インターフェイス ソリューションの代表的なアプリケーションとして、DDR3 SDRAM および DDR2 SDRAM インターフェイスがあります。

図 1 に、ユーザー デザインと DDR2 または DDR3 SDRAM デバイスを接続する 7 シリーズ FPGA メモリ インターフェイス ソリューションの概略ブロック図を示します。デザインの物理層 (PHY) 側は FPGA I/O ブロック (IOB) を介して DDR2 または DDR3 SDRAM デバイスに接続し、ユーザー インターフェイス側は FPGA ロジックを介してユーザー デザインに接続しています。デザインの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』(UG586) を参照してください。

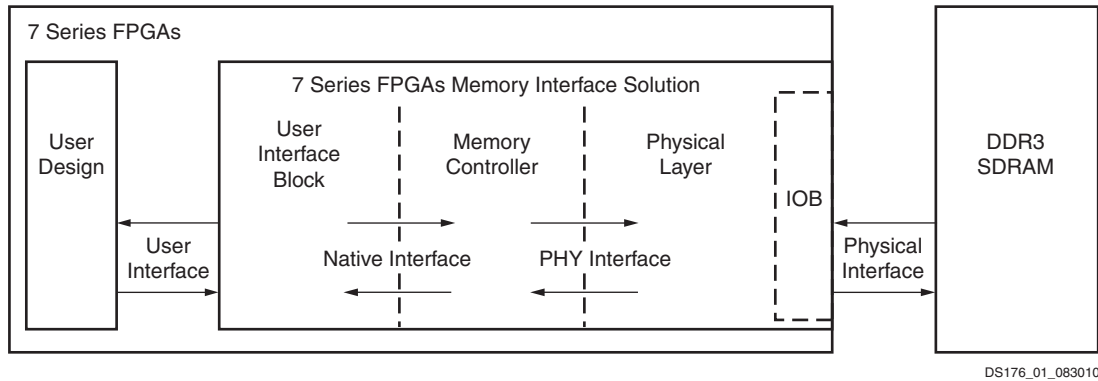


図 1 : DDR2/DDR3 SDRAM メモリ インターフェイス ソリューション

機能の説明

図 1 に示すように、ザイリンクス 7 シリーズ FPGA のメモリ インターフェイス ソリューションの最上位ファンクションブロックは次で構成されます。

- ユーザー インターフェイス ブロック
 - ユーザー デザインへのユーザー インターフェイスを提供
 - ネイティブ インターフェイスに代わるシンプルで容易に使用できるインターフェイス
 - 読み出し/書き込みデータをバッファ
 - 要求順と一致するように、読み出しリターン データの順序を並べ替え
 - フラット アドレス空間であり、それを SDRAM アドレス空間に変換
- メモリ コントローラー ブロック
 - ユーザー デザインからの要求を受信
 - デッド状態を最小化して SDRAM の性能が最大となるように要求を並べ替え
 - SDRAM の行/バンク構成を管理
 - リフレッシュ、アクティブ化/プリチャージなど高レベルの SDRAM 管理を実行
- PHY ブロック
 - シンプルなインターフェイスを介してメモリ コントローラー ブロックと接続し、信号を SDRAM との間で実際に送受信される信号に変換
 - 各クロックドメイン間で制御およびデータの変換と同期
 - SDRAM を初期化
 - DDR3 のライト レベリングを実行 (DDR3 デザインに必要なフライバイ配線トポロジ)
 - 読み出しデータに対してキャプチャクロックが中央に位置するようにキャリブレーションを実行

図 1 は、メモリ インターフェイスに接続しているユーザー デザインでもあります。コアと共にユーザー デザインのサンプルが提供されています。デザインの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』(UG586) を参照してください。

AXI4 スレーブ インターフェイスの特長

次に示すオプション機能は MIG の GUI で選択できます。

- AMBA[®] AXI4 スレーブに準拠したメモリマップ方式のインターフェイス
- AXI4-Lite インターフェイスで ECC 制御およびステータスレジスタをサポート

- 1:1 のコントローラー対クロック比
- 64、128、256、512 ビットの AXI4 インターフェイス データ幅をサポートし、8、16、32、64、72 ビットのメモリ データ幅に対応
- アドレス幅のパラメーター指定をサポート
- 最大 256 データ ビットのインクリメンタル (INCR) バーストをサポート
- WRAP バーストをサポート
- 最大 8 つの DDR3 SDRAM コントローラーを使用するマルチコントローラーをサポート

QDRII+ SRAM

ここでは、QDRII+ SRAM を使用したザイリンクス 7 シリーズ FPGA のメモリ インターフェイス ソリューションの特長、アプリケーション、機能の概要について説明します。

QDRII+ SRAM の特長

- QDRII+ SRAM デバイスをサポート
- x18 および x36 のメモリ幅をサポート
- データ バス幅 (x18、x36) を指定可能
- 2 ワードおよび 4 ワード バーストをサポート
- ソース コードの提供は Verilog のみ
- 2:1 のメモリ対 FPGA ロジック インターフェイスのクロック比をサポート
- 2.0 および 2.5 サイクルの読み出しレイテンシをサポート
- 固定レイテンシ モードをサポート
- 内部 V_{REF} をサポート
- 最大 8 つのコントローラーを使用するマルチコントローラーをサポート

アプリケーション

QDRII+ SRAM はクロックの立ち上がりエッジおよび立ち下がりの両エッジで独立した読み出しバスと書き込みバスを使用する、高速なデータ転送が可能です。このメモリ デバイスは、高性能システムで次のような一時的なデータ ストレージとして使用されます。

- ネットワーク システムのルックアップ テーブル
- ネットワーク スイッチの packets バッファ
- 高速演算のキャッシュ メモリ
- 高性能テスターのデータ バッファ

図 2 に、ユーザー デザインと QDRII+ SRAM デバイスを接続する 7 シリーズ FPGA メモリ インターフェイス ソリューションの概略ブロック図を示します。

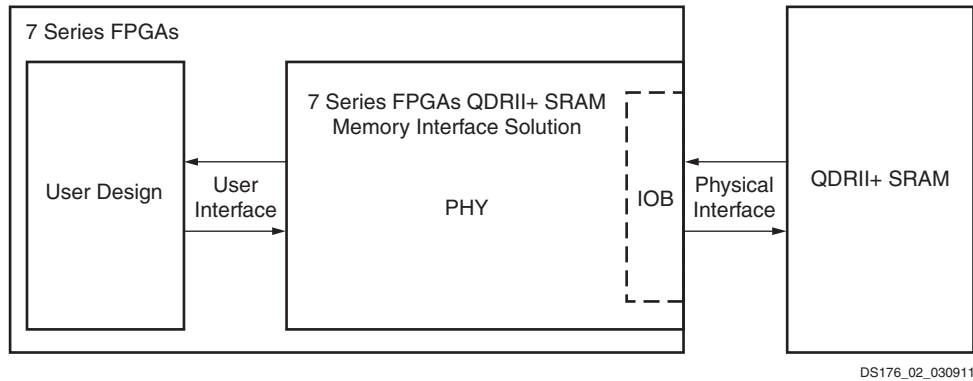


図 2 : QDRII+ SRAM メモリ インターフェイス コア

機能の説明

図 2 に示すように、最上位ファンクションブロックはユーザー デザインと QDRII+ SRAM デバイスに接続する PHY で構成されます。PHY ブロックの機能は次のとおりです。

- ユーザーからのシンプルな読み出し/書き込みコマンドを QDRII+ SRAM プロトコルに準拠するように変換
- 1 クロック サイクルで読み出しおよび書き込みのユーザー トランザクションをそれぞれ 1 回ずつ発行でき、最高のスループットを実現
- データに対してクロックが中央に位置するようにキャリブレーションを実行
- 対応する Valid 信号と共にデータをユーザーに返す
- 各クロック ドメイン間で変換と同期
- 周波数が 1/2 で最適化されたデザインを実装することで、メモリ コントローラーが不要になる

コアと共に提供されるデザインの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』(UG586)を参照してください。

RLDRAM II/RLDRAM III

ここでは、RLDRAM II/RLDRAM III デバイスを使用したザイリンクス 7 シリーズ FPGA のメモリ インターフェイス ソリューションの特長、アプリケーション、機能の概要について説明します。

RLDRAM II の特長

- RLDRAM II との共通 I/O (CIO) メモリ デバイスをサポート
- x18 および x36 のメモリ幅をサポート
- データ バス幅 (x18、x36、x72) を指定可能
- 4 ワードおよび 8 ワード バーストをサポート
- コンフィギュレーション 1、2、3 をサポート
- アドレス マルチプレクス モードをサポート
- ODT をサポート
- ソース コードの提供は Verilog のみ
- 2:1 のメモリ対 FPGA ロジック インターフェイスのクロック比をサポート
- 内部 V_{REF} をサポート
- 最大 8 つのコントローラーを使用するマルチコントローラーをサポート

RLDRAM III の特長

- x18 および x36 のメモリ幅をサポート
- データバス幅 (x18、x36、x72) を指定可能
- 2ワード、4ワード、8ワードバーストをサポート
- アドレスマルチプレクスモードをサポート
- ODT をサポート
- ソースコードの提供は Verilog のみ
- 4:1 のメモリ対 FPGA ロジック インターフェイスのクロック比をサポート
- 内部 V_{REF} をサポート

アプリケーション

RLDRAM II/RLDRAM III デバイスは、高性能システムで次のような一時的なデータストレージとして使用されます。

- ネットワークシステムのルックアップテーブル
- ネットワークスイッチの packets バッファ
- 高速演算のキャッシュメモリ
- 高性能テスターのデータバッファ

図 3 に、ユーザーデザインと RLDRAM デバイスを接続する 7 シリーズ FPGA メモリ インターフェイス ソリューションの概略ブロック図を示します。物理層は FPGA IOB を介して RLDRAM デバイスに接続し、ユーザーインターフェイスは FPGA ロジックを介してユーザーデザインに接続しています。

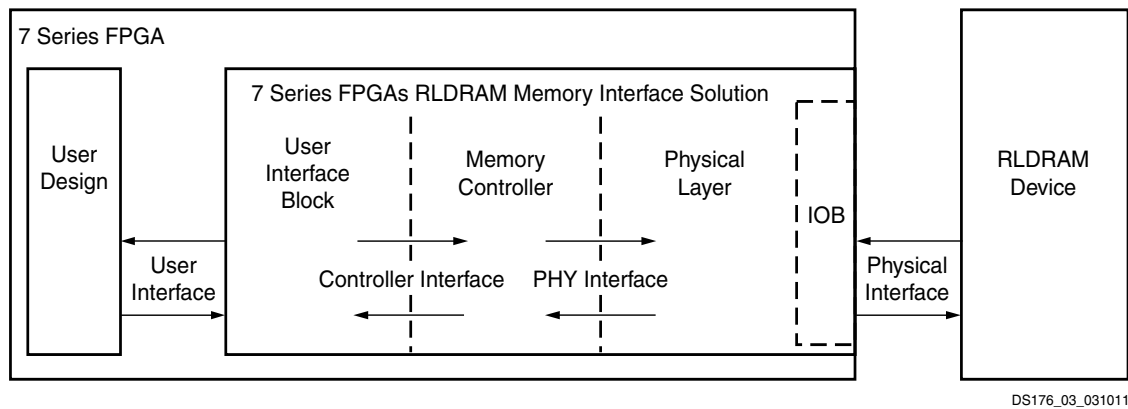


図 3 : RLDRAM メモリ インターフェイス コア

機能の説明

図 3 に示すように、RLDRAM メモリ インターフェイス ソリューションの最上位ファンクションブロックは次で構成されます。

- ユーザー インターフェイス ブロック
 - ユーザー デザインへのユーザー インターフェイスを提供
 - コマンドおよび書き込みデータをバッファ
- メモリ コントローラー ブロック
 - ユーザー デザインからの要求を受信
 - メモリ規格に準拠してコマンドを順に処理
 - リフレッシュなど高レベルの SDRAM 管理を実行し、バンクアクセスを制御

- 物理層 (PHY) ブロック
 - シンプルなインターフェイスを介してメモリ コントローラー ブロックと接続し、信号を RLD RAM との間で実際に送受信される信号に変換
 - メモリ初期化シーケンスを実行
 - データに対してクロックが中央に位置するようにキャリブレーションを実行
 - 対応する Valid 信号と共にデータをユーザーに返す

コアと共に提供されるデザインの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』(UG586)を参照してください。

仕様全般

コアのバンク、ピン位置、内部クロック リソースの要件などの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』を参照してください。

検証

ザイリンクスが提供する 7 シリーズ FPGA メモリ インターフェイス ソリューション コアは、シミュレーションで検証されています。検証テストの内容は次のとおりです。

- 初期化シーケンス
- 読み出しキャリブレーション
- メモリ読み出し
- メモリ書き込み
- 行/バンク管理
- ライト レベリング

その他のリソース

ここでは、このデータシートに関する補足資料の参照先を示します。

- JEDEC 規格 JESD79-3E : DDR3 SDRAM, JEDEC Solid State Technology Association
JEDEC 規格 JESD79-2F : DDR2 SDRAM Specification, JEDEC Solid State Technology Association
www.jedec.org

次の資料は、[MIG ソリューション センター - 資料](#)から入手できます。

- 『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』(UG586)

ザイリンクス 7 シリーズ FPGA のデータシートは、japan.xilinx.com/support/documentation/7_series.htm から入手できます。

- データシート : DS183 『Virtex-7 FPGA データシート : DC 特性およびスイッチ特性』
- データシート : DS182 『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』

ライセンスおよび注文情報

MIG (Memory Interface Generator) はザイリンクス ISE® Design Suite に含まれる無償のツールで、[ザイリンクス コア使用許諾契約](#)に基づいて提供されます。メモリ コアは、ザイリンクス ISE ツールの標準コンポーネントであるザイリンクス CORE Generator™ ツールを使用して生成します。詳細は、[MIG 製品ページ](#)を参照してください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2011 年 3 月 1 日	1.0	初版リリース
2011 年 6 月 22 日	1.1	ISE 13.2 をリリース。文書全体に RDRAM II のサポートを追加。1 ページの「DDR3 SDRAM の特長」の箇条書き項目にシングル ランク UDIMM のサポートを追加。内部 Vref のサポートを追加。
2011 年 10 月 19 日	1.2	MIG v1.3 に対応した ISE 13.3 をリリース。 <ul style="list-style-type: none"> • IP の基本データ表に「リソース」欄を追加。 • DDR3 SDRAM : 最大 8 つのコントローラーのサポートを追加。インターフェイス クロック比として 2:1 を追加。AXI4-Lite インターフェイスのサポートを追加。メモリ データ幅のオプションに 72 を追加。 • QDRII+ SRAM : 2 ワード バーストのサポートを追加。最大 8 つのコントローラーのサポートを追加。 • RDRAM II : アドレス マルチプレクス モードのサポートを追加。最大 8 つのコントローラーのサポートを追加。
2012 年 1 月 18 日	1.3	MIG v1.4 に対応した ISE 13.4 をリリース。 <ul style="list-style-type: none"> • DDR3 SDRAM : 4Gb デバイス、DDR3L (1.35V)、デュアル ランク UDIMM、RDIMM、SODIMM のサポートを追加。AXI4-Lite インターフェイスと 72 ビット データ幅のサポートを削除。 • DDR2 SDRAM のサポートを追加。
2012 年 4 月 24 日	1.4	MIG v1.5 に対応した ISE 14.1 をリリース。 <ul style="list-style-type: none"> • すべてのメモリ デバイスについて、最上位ファイルの VHDL ソース コードを追加。 • DDR3/DDR2 SDRAM : [I/O Power Reduction] オプションを追加。ECC 制御とステータス レジスタに関する AXI4-Lite インターフェイスのサポートを追加。72 ビット データ幅を追加。
2012 年 7 月 25 日	1.5	MIG v1.6 に対応した ISE 14.2 と Vivado 2012.2 Design Suite をリリース。
2012 年 10 月 16 日	1.6	MIG v1.7 に対応した ISE 14.3 と Vivado 2012.3 Design Suite をリリース。RDRAM III に関する内容を追加。

Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.6) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。
日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。