

# SmartConnect v1.0

## LogiCORE IP 製品ガイド

Vivado Design Suite

PG247 2016 年 10 月 5 日

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

# 目次

## IP の概要

### 第 1 章: 概要

機能一覧 .....	4
アプリケーション .....	5
AXI SmartConnect コアの制限事項 .....	6
ライセンスおよび注文情報 .....	7

### 第 2 章: 製品仕様

規格 .....	8
ポートの説明 .....	8
レジスタ空間 .....	14

### 第 3 章: コアを使用するデザイン

AXI SmartConnect コアの機能 .....	15
デザイン パラメーター .....	21
クロッキング .....	22
リセット .....	23

### 第 4 章: デザイン フローの手順

コアのカスタマイズおよび生成 .....	24
コアへの制約 .....	25
シミュレーション .....	25

### 第 5 章: サンプル デザイン

#### 付録 A: 移行およびアップグレード

機能の比較 .....	27
-------------	----

#### 付録 B: デバッグ

ザイリンクス ウェブサイト .....	29
デバッグ ツール .....	31

#### 付録 C: 定義、頭字語、略語

#### 付録 D: その他のリソースおよび法的通知

ザイリンクス リソース .....	33
参考資料 .....	33
改訂履歴 .....	34
お読みください: 重要な法的通知 .....	34

## はじめに

ザイリンクス LogiCORE™ IP AXI SmartConnect コアは、1つまたは複数のメモリ マップド AXI マスター デバイスと、1つまたは複数のメモリ マップド スレーブ デバイスを接続します。

**注記:** AXI SmartConnect コアはメモリ マップド転送専用です。AXI4-Stream 転送については、『AXI4-Stream Infrastructure IP Suite LogiCORE IP 製品ガイド』(PG085) [参照 1] を参照してください。

AXI SmartConnect は、Vivado Design Suite の Vivado® IP インテグレーターでブロック デザインに追加される階層型 IP ブロックです。

**注記:** AXI SmartConnect はザイリンクス IP カタログから直接 (スタンドアロンで) インスタンスシートして、RTL デザインで直接使用することはできません。

AXI SmartConnect は AXI Interconnect v2 コアをそのまま置き換えます。SmartConnect は Vivado 統合設計環境 (IDE) に緊密に統合されており、接続された AXI マスターおよびスレーブ IP に合わせて自動的に設定されるため、ユーザーの手間をほとんど必要としません。

この LogiCORE IP について	
<b>コアの概要</b>	
サポートされるデバイスファミリ <sup>(1)</sup>	UltraScale+™、UltraScale™、7 シリーズ FPGA
サポートされるユーザーインターフェイス	AXI4、AXI4-Lite、AXI3
リソース	
<b>コアに含まれるもの</b>	
デザイン ファイル	Verilog
サンプル デザイン	なし
テストベンチ	なし
制約ファイル	ザイリンクス デザイン制約ファイル (.xdc)
シミュレーションモデル	なし
サポートされるソフトウェアドライバ	N/A
<b>テスト済みデザイン フロー<sup>(2)</sup></b>	
デザイン入力	Vivado® Design Suite
シミュレーション	サポートされるシミュレータについては、 <a href="#">『Vivado Design Suite ユーザーガイド: リリース ノート、インストールおよびライセンス』</a> を参照
合成	Vivado 合成
<b>サポート</b>	
<a href="#">ザイリンクス サポート ウェブ ページ</a> で提供	

### 注記:

1. サポートされているデバイスの一覧は、Vivado IP カタログを参照してください。
2. サポートされているツールのバージョンは、『[Vivado Design Suite ユーザーガイド: リリース ノート、インストールおよびライセンス](#)』を参照してください。

# 第 1 章

## 概要

### 機能一覧

- 1つのインスタンスにつき最大 16 のスレーブ インターフェイス (SI) と最大 16 のマスター インターフェイス (MI) をサポートします。
- SmartConnect のインスタンスを複数個カスケード接続することにより、多数のマスター/スレーブの相互接続またはインターコネクト トポロジが管理可能です。
- AXI プロトコル準拠。SmartConnect の各 SI および MI は AXI3、AXI4、または AXI4-Lite のマスターまたはスレーブ IP インターフェイスに接続可能でし。
  - プロトコル タイプの異なるインターフェイス間のトランザクションは SmartConnect によって自動で変換されます。
  - バースト トランザクションは AXI 準拠となるように必要に応じて自動で分割されます。
- インターフェイス データ幅 (ビット)
  - AXI4、AXI3: 32、64、128、256、512 または 1024
  - AXI4-Lite: 32 または 64
- データ幅の異なるインターフェイス間のトランザクションは SmartConnect によって自動で変換されます。
- 複数のクロック ドメインをサポート (IP は 1 ドメインにつき 1 つのクロック ピンを提供) します。
  - クロック ドメインの異なるインターフェイス間のトランザクションは SmartConnect によって自動で変換されます。
- アドレス幅: 最大 64 ビット
  - SmartConnect は合計で最大 256 のアドレス範囲セグメントをデコードします。
- ユーザー定義信号の幅: 1 チャンネルあたり最大 512 ビット
  - 内部トランザクション変換にかかわらず、すべての AXI チャンネルでユーザー信号が伝搬されます。
- ID 幅: 最大 32 ビット
  - 幅の広い入力 ID 信号は自動でマップ変更/圧縮されます。
- 読み出し専用および書き込み専用マスター/スレーブのサポートによりリソース使用率が低減します。
- Multiple Outstanding (複数の未処理) トランザクションをサポートします。
  - 接続されたマスターによる複数の深さレベルの順序変更 (ID スレッド) に対応します。
  - 書き込み応答の順序変更、読み出しデータの順序変更、および読み出しデータのインターリーブをサポートします。
  - マルチスレッド トラフィック (ID 信号の伝搬) は、内部トランザクション変換 (データ幅変換、トランザクション分割など) にかかわらずサポートされます。
  - オプションでシングル オーダー モード (SI、MI ごと) があります。ID 値をスレーブに伝搬せず内部で格納するため、リソース使用率が向上します。

- 「1 ID あたり 1 スレーブ」方式でサイクル依存 (デッドロック) を回避します。
  - 接続されているマスターが発行した各 ID スレッドについて、SmartConnect が 1 つ以上の Outstanding トランザクションを許可するのは、書き込みと読み出し共に一度に 1 個のスレーブ デバイスに対してのみです。
- 複数のマスターおよび複数のスレーブに接続した場合、すべての AXI チャンネルが複数の並列パスとなります。
  - 各 AXI チャンネルにはそれぞれ独立したデスティネーション側のアービトレーションがあります。2 つ以上のソース エンドポイントから別々のデスティネーション エンドポイントへの転送は、どの AXI チャンネルでも同時に実行できます。
  - AW、AR、R、B のチャンネルごとにラウンドロビン方式のアービトレーションです (AXI プロトコル仕様に基づき、W チャンネルの転送は AW チャンネルのアービトレーションと同じ順序で実行)。
- すべての AXI チャンネルで連続転送 (100% デューティ サイクル) をサポートします。
  - シングルデータ ビート トランザクションもマルチ ビート バーストと同じ帯域幅で SmartConnect を通過できます。
- 接続された各スレーブに対して TrustZone セキュリティをサポートします。
  - セキュアとして設定したアドレス セグメントには、AXI arprot または awprot 信号に基づいてセキュアな AXI アクセスのみが許可されます。
  - セキュアでないアクセスはブロックされ、AXI SmartConnect コアは接続されたマスターに対して decerr 応答を返します。
- リセットは内部で再同期されます。
  - IP 全体で 1 つの aresetn 入力です。

---

## アプリケーション

AXI SmartConnect は汎用であり、AXI メモリ マップド転送を使用するシステム全般で使用できます。

## AXI SmartConnect コアの制限事項

AXI SmartConnect コアには次の制限事項があります。

- SmartConnect はすべてのマルチビート バーストを無条件でインターフェイス データ幅に合わせてパックします。  
SmartConnect の SI インターフェイスは幅の狭いバーストを受信します。この場合、インターフェイス データ幅よりも狭いデータユニットは `arsize` または `awsize` 信号で示します。ただしこのようなバーストはすべて SmartConnect を経由して伝搬し、MI インターフェイスは完全にパックされます。AXI `arcache` または `awcache` 信号の「変更可能」ビットでパックを防ぐことはできません。
- SmartConnect はすべての WRAP タイプ バーストを INCR タイプに変換します。SmartConnect の SI インターフェイスは、任意のターゲット アドレスから開始するプロトコル準拠のすべての WRAP バーストを受け取ります。しかしそのようなバーストはすべて「ラップ アドレス」から開始する 1 つの INCR バーストに変換されます。このため、アライメントしていない読み出し WRAP バーストは応答レイテンシが大きくなることがあります。
- SmartConnect は FIXED バーストをサポートしていません。SmartConnect SI で FIXED バースト トランザクションを受信した場合はブロックされ、DECERR 応答がマスターに返されます。
- SmartConnect はエンドポイント マスターから受信した元の ID 値を伝搬しません。マルチスレッド トラフィックをより少ないリソースで管理できるように、SI インターフェイスで受信した ID は同じビット数以下にマップ変更されます。
- トランザクションを MI に伝搬する際、SmartConnect は複数のマスターを区別するために ID ビットをアペンドします。マスター ID ビットの値は IP インテグレーターによって割り当てられ、ユーザーは制御も予測もできません。
- AXI SmartConnect コアは、次に示す廃止された AXI3 機能はサポートしていません。
  - **アトミック ロック トランザクション**。この機能は AXI4 プロトコルでは廃止されました。ロックされたトランザクションは、ロックを解除されたトランザクションに変換されたうえで MI によって伝搬されます。
  - **書き込みインターリーブ**。この機能は AXI4 プロトコルでは廃止されました。AXI3 マスター デバイスは、書き込みインターリーブの深さが 1 のスレーブに接続した場合と同じように設定する必要があります。
- AXI チャンネルに対するアービトレーションはすべてラウンドロビン方式です。SmartConnect は固定優先度のアービトレーションをサポートしていません。
- AXI4 サービス品質 (`arqos` および `awqos`) 信号はアービトレーション優先度に影響しません。QoS 信号は、SI から MI に伝搬されます。
- SmartConnect は AXI4 `arregion` または `awregion` 信号を伝搬も生成もしません。
- SmartConnect は独立したリセット ドメインをサポートしていません。SmartConnect に接続されたマスターまたはスレーブ デバイスのいずれかがリセットされた場合、接続されたほかのすべてのデバイスも同時にリセットする必要があります。
- AXI SmartConnect コアは低消費電力モードも AXI C チャンネル信号の伝搬もサポートしていません。
- AXI SmartConnect コアは、いずれかの AXI チャンネル転送の宛先が恒久的にストールしても、タイムアウトしません。接続されたすべての AXI スレーブは、AXI プロトコルの要件に従い、受信したすべてのトランザクションに対して応答を返す必要があります。
- AXI SmartConnect はアドレス マップの再割り当てを行いません。
- AXI SmartConnect コアには、APB などの非 AXI プロトコルへの変換またはブリッジ機能はありません。

## ライセンスおよび注文情報

このザイリンクス LogiCORE IP は、[ザイリンクス エンドユーザー ライセンス規約](#)のもとザイリンクス Vivado Design Suite を使用して追加コストなしで提供されています。この IP およびその他のザイリンクス LogiCORE IP に関する情報は、[ザイリンクス IP コア](#) ページから入手できます。その他のザイリンクス LogiCORE IP モジュールおよびツールの価格および提供状況については、お近くの[ザイリンクス販売代理店](#)にお問い合わせください。

# 製品仕様

---

## 規格

AXI インターフェイスは、ARM® (Advanced RISC Machine) AMBA® (Advanced Microcontroller Bus Architecture) AXI 仕様バージョン 4 に準拠しています。この仕様には AXI4-Lite 制御レジスタ インターフェイスのサブセットも含まれません。詳細は『ARM AMBA AXI Protocol v2.0』[参照 2] を参照してください。

---

## ポートの説明

このセクションでは、AXI SmartConnect コアのインターフェイス信号の一覧を示します。

表 2-1 ~ 表 2-3 の「デフォルト」列には、入力信号が必須 (REQ) かどうか、必須でない場合は未接続の場合のデフォルト値を示しています。信号の接続が必要なのは、使用する SI および MI のみです。特定のプロトコル設定で使用しない信号は「d/c」(ドントケア) と示しています。

## スレーブ インターフェイスの I/O 信号

表 2-1 に、AXI SmartConnect コアのスレーブ インターフェイス信号を示します。「信号名」列の「nn」は、00 ~ N-1 (N は設定したスレーブ インターフェイスの総数、すなわち AXI SmartConnect コアに接続するマスター デバイス数) の 2 桁の通し番号です (1 桁の場合は先頭に 0 を付加)。したがって、1 行で N 個のインターフェイス信号を定義します。「幅」例で値の範囲が指定されている場合、信号の幅はシステムの接続に基づいてツールが決定します。



## スレーブ インターフェイスの I/O 信号

表 2-1: AXI SmartConnect コアのスレーブ I/O 信号

信号名	方向	デフォルト	幅	説明 (範囲)
snn_axi_awid	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	[1-32]	書き込みアドレス チャンネルの トランザクション ID
snn_axi_awaddr	入力	REQ	[2-64]	書き込みアドレス チャンネルの アドレス
snn_axi_awlen	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	AXI4: 8 AXI3: 4	書き込みアドレス チャンネルの バースト長 (0 ~ 255)
snn_axi_awsz	入力	AXI3、AXI4: 説明を参照 AXI4-Lite: d/c	3	書き込みアドレス チャンネルの 転送サイズ コード (0 ~ 7)。接続しない場合、すべての トランザクションの データ転送サイズが インターフェイス データ幅と同じと見なされます。
snn_axi_awburst	入力	AXI3、AXI4: 0b01 AXI4-Lite: d/c	2	書き込みアドレス チャンネルの バースト タイプ コード (0 ~ 2)。接続しない場合、すべての トランザクションが インクリメント バースト タイプ (INCR) と見なされます。
snn_axi_awlock	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	AXI4: 1 AXI3: 2	書き込みアドレス チャンネルの 不可分な アクセス タイプ 0 = ロック アクセスなし 1 = 排他アクセス 2、3 = サポートされない
snn_axi_awcache	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	4	書き込みアドレス チャンネルの キャッシュ 特性
snn_axi_awprot	入力	0b000 <sup>(1)</sup>	3	書き込みアドレス チャンネルの 保護ビット
snn_axi_awqos <sup>(2)</sup>	入力	AXI4: 0 AXI4-Lite: d/c	4	AXI4 書き込みアドレス チャンネルの サービス 品質 (QoS)
snn_axi_awuser	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	[1-512] <sup>(3)</sup>	ユーザー定義の AW チャンネル信号
snn_axi_awvalid	入力	REQ	1	書き込みアドレス チャンネルの Valid 信号
snn_axi_awready	出力		1	書き込みアドレス チャンネルの Ready 信号
snn_axi_wid	入力	AXI3: 0 AXI4、AXI4-Lite: d/c	[1-32]	AXI3 マスターに対する 書き込みデータ チャンネル トランザクション ID
snn_axi_wdata	入力	REQ	[32, 64, 128, 256, 512, 1024]	書き込みデータ チャンネルの データ
snn_axi_wstrb	入力	すべて 1	[32, 64, 128, 256, 512, 1024] / 8	書き込みデータ チャンネルの バイト ストロープ
snn_axi_wlast	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	1	書き込みデータ チャンネルの 最終データ ビート
snn_axi_wuser	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	[1-512] <sup>(3)</sup>	ユーザー定義の W チャンネル信号。wdata の 1 バイトあたりの ビット数 (整数) とする必要があります。

表 2-1: AXI SmartConnect コアのスレーブ I/O 信号 (続き)

信号名	方向	デフォルト	幅	説明 (範囲)
snn_axi_wvalid	入力	REQ	1	書き込みデータ チャンネルの Valid 信号
snn_axi_wready	出力		1	書き込みデータ チャンネルの Ready 信号
snn_axi_bid	出力		[1-32]	書き込み応答チャンネルのトランザクション ID
snn_axi_bresp	出力		2	書き込み応答チャンネルの応答コード (0 ~ 3)
snn_axi_buser	出力		1-512 <sup>(3)</sup>	ユーザー定義の B チャンネル信号
snn_axi_bvalid	出力		1	書き込み応答チャンネルの Valid 信号
snn_axi_bready	入力	REQ	1	書き込み応答チャンネルの Ready 信号
snn_axi_arid	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	[1-32]	読み出しアドレス チャンネルのトランザクション ID
snn_axi_araddr	入力	REQ	[2-64]	読み出しアドレス チャンネルのアドレス
snn_axi_arlen	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	AXI4: 8 AXI3: 4	読み出しアドレス チャンネルのバースト長コード (0 ~ 255)
snn_axi_arsize	入力	AXI3、AXI4: 説明を参照 AXI4-Lite: d/c	3	書き込みアドレス チャンネルの転送サイズコード (0 ~ 7)。接続しない場合、すべてのトランザクションのデータ転送サイズがインターフェイス データ幅と同じと見なされます。
snn_axi_arburst	入力	AXI3、AXI4: 2b01 AXI4-Lite: d/c	2	書き込みアドレス チャンネルのバーストタイプコード (0 ~ 2)。接続しない場合、すべてのトランザクションがインクリメントバーストタイプ (INCR) と見なされます。
snn_axi_arlock	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	AXI4: 1 AXI3: 2	読み出しアドレス チャンネルの不可分なアクセスタイプ 0 = ロック アクセスなし 1 = 排他アクセス 2、3 = サポートされない
snn_axi_arcache	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	4	読み出しアドレス チャンネルのキャッシュ特性
snn_axi_arprot	入力	0b000 <sup>(1)</sup>	3	読み出しアドレス チャンネルの保護ビット
snn_axi_arqos <sup>(2)</sup>	入力	AXI4: 0 AXI4-Lite: d/c	4	AXI4 読み出しアドレス チャンネルのサービス品質 (QoS)
snn_axi_aruser	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	[1-512] <sup>(3)</sup>	ユーザー定義の AR チャンネル信号
snn_axi_arvalid	入力	REQ	1	読み出しアドレス チャンネルの Valid 信号
snn_axi_arready	出力		1	読み出しアドレス チャンネルの Ready 信号
snn_axi_rid	出力		[1-32]	読み出しデータ チャンネルのトランザクション ID
snn_axi_rdata	出力		[32, 64, 128, 256, 512, 1024]	読み出しデータ チャンネルのデータ

表 2-1: AXI SmartConnect コアのスレーブ I/O 信号 (続き)

信号名	方向	デフォルト	幅	説明 (範囲)
snn_axi_rresp	出力		2	読み出しデータ チャンネルの応答コード (0 ~ 3)
snn_axi_rlast	出力		1	読み出しデータ チャンネルの最終データ ビート
snn_axi_ruser	出力		[1-512] <sup>(3)</sup>	ユーザー定義の R チャンネル信号
snn_axi_rvalid	出力		1	読み出しデータ チャンネルの Valid 信号
snn_axi_rready	入力	REQ	1	読み出しデータ チャンネルの Ready 信号

注記:

1. AXI プロトコルの場合、マスター デバイスは自身の awprot/arprot 出力を駆動する必要があります。awprot/arprot 信号が駆動されないままになっている場合、デフォルトですべて 0 となり、トランザクションはセキュアであると解釈されます。
2. awqos/arqos は AXI4 プロトコル仕様でのみ定義されている信号ですが、SmartConnect IP コアは AXI3 として設定された SI に対しても QoS 信号を伝搬します。
3. ほかの SmartConnect インスタンスにカスケード接続した場合、各チャンネルのユーザー信号の幅は 1024 となり、ユーザー定義信号の値以外に SmartConnect 独自の制御フィールドもこの信号によって伝送されます。

## マスター インターフェイスの I/O 信号

表 2-2 に、AXI SmartConnect コアのマスター インターフェイス信号を示します。「信号名」列の「nn」は、00 ~ N-1 (N は設定したマスター インターフェイスの総数、すなわち AXI SmartConnect コアに接続するスレーブ デバイス数) の 2 桁の通し番号です (1 桁の場合は先頭に 0 を付加)。したがって、1 行で N 個のインターフェイス信号を定義します。「幅」例で値の範囲が指定されている場合、信号の幅はシステムの接続に基づいてツールが決定します。

表 2-2: AXI SmartConnect コアのマスター I/O 信号

信号名	方向	デフォルト	幅	説明 (範囲)
mnn_axi_awid	出力		[1-32]	書き込みアドレス チャンネルの トランザクション ID
mnn_axi_awaddr	出力		[2-64]	書き込みアドレス チャンネルの アドレス
mnn_axi_awlen	出力		AXI4: 8 AXI3: 4	書き込みアドレス チャンネルの バースト長コード (0 ~ 255)
mnn_axi_awsz	出力		3	書き込みアドレス チャンネルの転送 サイズ コード (0 ~ 7)
mnn_axi_awburst	出力		2	書き込みアドレス チャンネルのバースト タイプ。この信号を有効にした場合、常に 2b01 (INCR バースト タイプ) に駆動されます。
mnn_axi_awlock	出力		AXI4: 1 AXI3: 2	書き込みアドレス チャンネルの 不可分なアクセス タイプ (0, 1)
mnn_axi_awcache	出力		4	書き込みアドレス チャンネルの キャッシュ特性
mnn_axi_awprot	出力		3	書き込みアドレス チャンネルの保護 ビット
mnn_axi_awqos <sup>(1)</sup>	出力		4	書き込みアドレス チャンネルの サービス品質 (QoS)
mnn_axi_awuser	出力		[1-512] <sup>(2)</sup>	ユーザー定義の AW チャンネル信号
mnn_axi_awvalid	出力		1	書き込みアドレス チャンネルの Valid 信号
mnn_axi_awready	入力	REQ	1	書き込みアドレス チャンネルの Ready 信号
mnn_axi_wid	出力		[1-32]	AXI3 スレーブに対する書き込み データ チャンネル トランザクション ID
mnn_axi_wdata	出力		[32, 64, 128, 256, 512, 1024]	書き込みデータ チャンネルのデータ
mnn_axi_wstrb	出力		[32, 64, 128, 256, 512, 1024] / 8	書き込みデータ チャンネルのデータ バイト ストロブ
mnn_axi_wlast	出力		1	書き込みデータ チャンネルの最終 データ ビート
mnn_axi_wuser	出力		[1-512] <sup>(2)</sup>	ユーザー定義の W チャンネル信号
mnn_axi_wvalid	出力		1	書き込みデータ チャンネルの Valid 信号

表 2-2: AXI SmartConnect コアのマスター I/O 信号 (続き)

信号名	方向	デフォルト	幅	説明 (範囲)
mnn_axi_wready	入力	REQ	1	書き込みデータ チャンネルの Ready 信号
mnn_axi_bid	入力	AXI3、AXI4: REQ AXI4-Lite: d/c	[1-32]	書き込み応答チャンネルのトランザクション ID
mnn_axi_bresp	入力	0b00	2	書き込み応答チャンネルの応答コード (0 ~ 3)
mnn_axi_buser	入力	AXI3、AXI4: 0 AXI4-Lite: d/c	[1-512] <sup>(2)</sup>	ユーザー定義の B チャンネル信号
mnn_axi_bvalid	入力	REQ	1	書き込み応答チャンネルの Valid 信号
mnn_axi_bready	出力		1	書き込み応答チャンネルの Ready 信号
mnn_axi_arid	出力		[1-32]	読み出しアドレス チャンネルのトランザクション ID
mnn_axi_araddr	出力		[2-64]	読み出しアドレス チャンネルのアドレス
mnn_axi_arlen	出力		AXI4: 8 AXI3: 4	読み出しアドレス チャンネルのバースト長コード (0 ~ 255)
mnn_axi_arsize	出力		3	読み出しアドレス チャンネルの転送サイズ コード (0 ~ 7)
mnn_axi_arburst	出力		2	読み出しアドレス チャンネルのバースト タイプこの信号を有効にした場合、常に 2b01 (INCR バースト タイプ) に駆動されます。
mnn_axi_arlock	出力		AXI4: 1 AXI3: 2	読み出しアドレス チャンネルの不可分なアクセス タイプ (0、1)
mnn_axi_arcache	出力		4	読み出しアドレス チャンネルのキャッシュ特性
mnn_axi_arprot	出力		3	読み出しアドレス チャンネルの保護ビット
mnn_axi_arqos <sup>(1)</sup>	出力		4	AXI4 読み出しアドレス チャンネルのサービス品質 (QoS)
mnn_axi_aruser	出力		[1-512] <sup>(2)</sup>	ユーザー定義の AR チャンネル信号
mnn_axi_arvalid	出力		1	読み出しアドレス チャンネルの Valid 信号
mnn_axi_arready	入力	REQ	1	読み出しアドレス チャンネルの Ready 信号
mnn_axi_rid	入力	AXI3、AXI4: REQ AXI4-Lite: d/c	[1-32]	読み出しデータ チャンネルのトランザクション ID
mnn_axi_rdata	入力	REQ	[32, 64, 128, 256, 512, 1024]	読み出しデータ チャンネルのデータ
mnn_axi_rresp	入力	0b00	2	読み出しデータ チャンネルの応答コード (0 ~ 3)

表 2-2: AXI SmartConnect コアのマスター I/O 信号 (続き)

信号名	方向	デフォルト	幅	説明 (範囲)
mnn_axi_rlast	入力	AXI3, AXI4: REQ AXI4-Lite: d/c	1	読み出しデータ チャンネルの最終データ ビート
mnn_axi_ruser	入力	AXI3, AXI4: 0 AXI4-Lite: d/c	[1-512] <sup>(2)</sup>	ユーザー定義の R チャンネル信号
mnn_axi_rvalid	入力	REQ	1	読み出しデータ チャンネルの Valid 信号
mnn_axi_rready	出力		1	読み出しデータ チャンネルの Ready 信号

**注記:**

1. QOS は AXI4 プロトコル仕様でのみ定義されている信号ですが、SmartConnect IP コアは AXI3 として設定された MI に対しても QOS 信号を伝搬します。
2. ほかの SmartConnect インスタンスにカスケード接続した場合、各チャンネルのユーザー信号の幅は 1024 となり、ユーザー定義信号の値以外に SmartConnect 独自の制御フィールドもこの信号によって伝送されます。

表 2-3: AXI SmartConnect コアのグローバル ポート信号

ポート信号名	方向	デフォルト	幅	説明 (範囲)
aclk	入力	REQ	1	SmartConnect のクロック入力
aclk1 ~ aclkn	入力	REQ (有効にした場合)	1	追加したインターフェイス クロック ドメインのクロック入力
aclken, aclken1 ~ aclkenn	入力	1	1	各クロック ドメインのクロック イネーブル入力
aresetn	入力	REQ	1	SmartConnect のリセット (アクティブ Low)

## レジスタ空間

この文書に記載したコアには、メモリ マップド方式の制御/ステータス レジスタはありません。

# コアを使用するデザイン

この章では、コアを使用してより簡単に設計するためのガイドラインおよび追加情報を紹介します。

## AXI SmartConnect コアの機能

以降のサブセクションでは、AXI SmartConnect コアの機能を説明します。

### アドレス デコード

SmartConnect コアは SI で受信した各 AW および AR チャネル転送のアドレスをデコードして、どの MI が各トランザクションのターゲットなのかを判断する必要があります。このアドレス デコードには、MI の識別に必要な上位アドレス ビットのみが関係し、接続されたスレーブ デバイス内での位置を識別するために使用する下位ビットは無視されます。

SI から受信したアドレス値全体が MI に渡され、スレーブ デバイスで利用できます (ただし利用できるのは、接続されたスレーブのアドレス信号ポートの幅まで)。上位のアドレス ビットが通常スレーブ デバイスで再利用されない場合でも、接続したモニターには表示できます。

1 つのスレーブ デバイスにアクセスするとき、連続していない、複数のアドレス範囲を定義する場合もあります。SmartConnect コアのアドレス デコード ロジックには、各 MI の選択を決定する複数のアドレス範囲が含まれます。

SI で受信したトランザクション アドレスが SmartConnect によってデコードされたアドレス範囲のいずれにも一致しない場合、トランザクションはトラップされ、コア内のデコード エラー モジュールで処理されます。コアはプロトコルに準拠した応答を生成し、トランザクションを開始したマスターにデコード エラー (DECERR) 応答コードを返します。アドレスが一致しないトランザクションは、接続されたスレーブからは見えません。



**重要:** アドレス範囲はすべて 2 のべき乗とする必要があります。すべての範囲のベースアドレスは、サイズ (の整数倍) に揃える必要があります。MI 全体でどのアドレス範囲にも重複があってはなりません。これらの規則はツールで適用されます。

各 SI は、接続されたマスター デバイスに対して IP インテグレーターの [Address Editor] タブで設定したアドレス セグメントのみをアドレス マップ テーブルに格納します。MI (接続されたスレーブ) に関連するすべてのアドレス セグメントがマスターのアドレス空間から省略されてマップされない場合、そのマスターはその MI にトランザクションを伝搬しません。スレーブのアドレス セグメントの一部 (アパーチャ) がマスターのアドレス空間にマップされている場合、マップされたアパーチャと重複するアドレスのトランザクションのみが MI に伝搬し、それ以外のアドレス セグメントにアクセスしようとする DECERR 応答が返されます。

SmartConnect はアドレス マップの再割り当てを行いません。各 MI に対応したアドレス セグメントは、その MI にアクセス可能なすべての SI から同じように見えます (「フラットな」アドレス空間)。アドレス幅がすべてのスレーブにアクセスするのに必要なアドレス幅より小さいマスターは、アドレス空間の最下位にマップされたアドレス セグメントにしかアクセスできません。

## ID 信号の使用方法

SI から MI へ伝搬するトランザクション ID 信号 (awid、arid) および MI から SI へ返されるトランザクション ID 信号 (bid、rid) によって、応答の転送および SmartConnect 内部での AXI 転送の伝搬順序が制御されます。

エンドポイントのマスター デバイスは、トランザクションの複数の「スレッド」を選択するのに使用できる awid 信号と arid 信号を必要に応じて出力し、マスター IP コアが内部的に複数のマスター デバイスで構成されているかのように動作します。「順序変更の深さ」はマスターが生成できる ID 値の合計数で、マスターの ID 信号の幅によって決まります。順序変更の深さが 1 のマスター デバイスは、インターフェイスに ID 信号は必要がありません。ID 信号の幅は SI により異なります。

AXI トランザクションの順序変更には次の規則が適用されます。

- 書き込みトランザクションと読み出しトランザクションの間の相対順序に関する規則はありません。
- 各方向で同一スレッドに属するトランザクションは、受付順に応答を返す必要があります。
- 各方向で異なるスレッドのトランザクションは、アウトオブオーダーで応答を返すことができます。

SI の R または B チャネルでのすべての応答転送には、マスターが SI の AW または AR チャネルで発行した元のコマンドの arid または awid (存在する場合) に一致する rid 値または bid 値が含まれます。ただし、SmartConnect がトランザクションを MI に伝搬する際、元の ID 値は保持されません。スレッド ID 値を (よりコンパクトな ID 空間に) マップし直すか、完全に抑制して内部で格納するかは、SmartConnect の構成次第です。

SI を「シングル オーダー」モードで構成した場合、SI で受信したすべての ID は内部に格納されて読み出されます。この場合も、接続されたマスターは Multiple Outstanding トランザクションを発行でき、トランザクション ID がある場合は任意の値にできます。ただしマスターによって発行されたすべてのトランザクションはイン オーダーで伝搬され、返されます。ID 情報はスレーブには伝搬されないため、このインプリメンテーションがリソース使用率は最も効率的です。

SI が ID を伝搬するように構成した場合、接続されたマスターから受信したトランザクション ID 値は同じ幅以下の ID に動的にマップ変更されます。このインプリメンテーションでは SmartConnect がモニターする ID スレッドの数が減るため、比較的リソース使用率が良好です。

SI が複数ある場合、SmartConnect はすべての SI で ID 値が重複しないようにしてから MI に伝搬します。SmartConnect コアは、SI からのマップ変更されたスレッド ID (存在する場合) に固有の「マスター ID」値 (定数) を付け足します。マスター ID の値はツールによって割り当てられます。ザイリンクス IP カタログから選択した、またはユーザーがパッケージしたマスター IP には、マスターの順序変更深さ (接続された SI に対して SmartConnect が追跡する必要のある ID スレッドの数) を示すメタデータが含まれることがあります。デフォルトでは、SI は「シングル オーダー」モードで構成されます。

## トランザクションのアービトレーション

複数の SI からアクセスされる可能性のある MI は、それぞれ内部にあるラウンドロビン方式のアービタを使用して MI から発行する読み出しコマンド (AR チャネル) と書き込みコマンド (AW チャネル) を選択します。異なる SI からのコマンドを再びアービトレーションする場合も、同じ SI から次のコマンドを発行する場合 (連続コマンド アービトレーション) も、1 クロック サイクルごとに新しい読み出し/書き込みコマンドを発行できます。異なる MI をターゲットにしたコマンドは、同時にアービトレーションと発行が可能です。

複数の MI にアクセスする各 SI は、それぞれ内部にあるラウンドロビン方式のアービタを使用して複数の MI から返される R チャネルおよび B チャネル応答を選択します。これらのアービタも連続転送をサポートしています。R チャネルでは応答アービタが複数の MI の読み出しデータ ビートのインターリーブをサポートしており、読み出しバーストの完了 (r1last) を待たずに再アービトレーションが可能です。



## サイクル依存性の回避

**Multiple Outstanding** トランザクションを発行できる (1 つまたは複数のマスター デバイスによって発行された) 2 つ以上のトランザクション ID が存在し、キューに複数トランザクションを保持できる 2 つ以上のスレーブ デバイスが接続されており、スレーブ デバイスのいずれかが R チャネルまたは B チャネルにアウトオブオーダーで応答できる場合、サイクル依存性 (デッドロック) のリスクがあります。

### デッドロックの起きる仕組み

次の例では、読み出しトランザクションがデッドロックになるシーケンスを示します。スレーブ デバイスが書き込み応答の順序を変更できる場合、同様の状況が書き込みトランザクションのシーケンスにも当てはまります。この例は、2 つのマスター デバイス (M0 と M1)、および 2 つのスレーブ デバイス (S0 と S1) が SmartConnect コアで接続されている場合を示しています。この例では、応答の順序変更をサポートしたスレーブに ID が伝搬するものとします。

1. マスター デバイス M0 がスレーブ デバイス S0 からの読み出しを行います。
2. 次に、マスター デバイス M0 がスレーブ デバイス S1 からの読み出しを (同じ ID のスレッドを使用して) 行います。
3. 続いて、マスター デバイス M1 がスレーブ デバイス S1 からの読み出しを行います。
4. 次に、マスター デバイス M1 がスレーブ デバイス S0 からの読み出しを (同じ ID のスレッドを使用して) 行います。
5. スレーブ デバイス S0 は最初にマスター デバイス M1 に応答します。読み出し応答の順序が変更されていますが、これは異なるマスターからのトランザクションで受信したトランザクション ID が異なるため許容されます。ただし、マスター デバイス M1 は先にスレーブ デバイス S1 からの応答を受け取る必要があるため、SmartConnect コアはこの応答をマスター デバイス M1 に渡すことができません。
6. スレーブ デバイス S1 がマスター デバイス M0 (順序変更されていない) に応答します。しかし、マスター デバイス M0 は先にスレーブ デバイス S0 からの応答を受け取る必要があるため、SmartConnect コアはこの応答をマスター デバイス M0 に渡すことができません。

これにより、デッドロックが生じます。

### 1 スレーブ 1 ID でデッドロックを回避

SmartConnect は「1 ID あたり 1 スレーブ」方式でデッドロックを回避します。この方式は、最も重要な問題であるトランザクションのパフォーマンスに影響を与えません。これは、複数のマスター デバイスによる複数の読み出しおよび書き込みのパイプライン処理であり、メモリ コントローラーなどパフォーマンスが重視されるスレーブ デバイスを共有する場合に使用します。

「1 ID あたり 1 スレーブ」方式では、各マスター デバイスから各 SI で受信した 1 つの ID スレッドにつき、書き込み/読み出し方向共に同時に複数の MI に対して Outstanding トランザクションを発行することはできません。ただしこの場合も、各 MI は複数の SI からの Multiple Outstanding トランザクションを発行できます。

前セクションに示した例にこの規則を適用すると、手順 2 の M0 から S1 への読み出しトランザクションは、S0 が M0 への応答を完了するまで待たされます。同様に、手順 4 の M1 から S0 へのトランザクションは S1 が M1 への応答を完了するまで待たされます。これらの条件のもとでは、どのようにトランザクションが処理されようともデッドロックの原因となる相互依存は回避されます。

「1 ID あたり 1 スレーブ」方式ではデッドロックが回避されるだけでなく、連続するトランザクションにおいて 1 つのトランザクション スレッドが異なる MI をターゲットにした場合でも、すべての書き込みトランザクションが SI で順序どおりに完了することが保証されます。たとえば、マスター デバイスがメモリの DMA (ダイレクト メモリアクセス) ディスクリプターに書き込みを行った後に、そのディスクリプターを読み出した DMA エンジンの制御レジスタに (同じスレッド ID を使用して) 書き込みを行うとします。SmartConnect は最初の書き込みが完了する (メモリ コントローラーから書き込み応答を受信する) までは 2 回目の書き込みを DMA スレーブ デバイスに伝搬させないため、DMA がメモリから古いディスクリプターのデータを読み出すことはありません。したがって各マスター デバイスでは、方向と ID スレッドが同じであれば複数のスレーブ デバイスに対するトランザクションが順序どおりに完了することが保証されます。これにより、このような条件のもとでは、先行トランザクションの書き込み応答を受信してから後続の書き込みトランザクションを発行するという条件をマスター デバイスに設定する必要がなくなります。



**重要:** AXI プロトコルでは、前の書き込みがすべて完了したという B チャネル応答を待つ以外に、書き込みトランザクションと読み出しトランザクションの間で順序どおりの完了を保証する手段が用意されていません。

## エラー信号

SmartConnect は次のエラー条件を検出します。

- **アドレスデコードエラー:** トランザクションのアドレスに、SI のアドレス マップ (およびターゲットのスレーブが読み出しまたは書き込みトランザクションをサポートしているかどうか) に従って有効な MI がマップされていない場合。
- `awprot[1]` または `arprot[1]` がセットされた (セキュアでない) トランザクションがターゲットとするアドレスセグメントの SECURE パラメーターが有効になっている場合。
- `arburst` または `awburst` で FIXED と示されたバーストでトランザクションを受信した場合。

これらエラー条件のいずれかが検出された場合、SmartConnect は接続されたマスターに対してプロトコルに準拠した DECERR 応答を生成し、トランザクションをどの MI にも伝搬しません。

SmartConnect は次のエラー状態を検出しません。

- MI で受信した応答 ID が Outstanding コマンドの ID 値のいずれとも一致しない。これは、AXI プロトコルに違反したスレーブの異常動作またはシステム接続エラーを示します。
- 接続されたエンドポイント IP による AXI4 プロトコルの違反。このようなエラー条件の検出には AXI Protocol Checker IP を使用してください。
- 書き込みの順序変更の深さを 1 より大きい値に設定した AXI3 マスターからの書き込みデータ インターリーブ。書き込みデータはすべて AW コマンドが発行されたのと同じ順序で転送されます。SmartConnect は W チャネルの `wid` 入力を無視します。
- 通常は、コンパイル時にツールによってデザインルールが適用されるため、コンフィギュレーション エラーが起こることはありません。したがって、AXI SmartConnect には次のコンフィギュレーション エラーに対するエラー検出ロジックはありません。
  - パラメーター値の範囲の違反。
  - アドレス範囲が重複している、2 のべき乗のサイズでない、またはベース値のアライメントが正しくない。

## 幅変換

AXI SmartConnect コアの各 SI および MI は、データ幅 32、64、128、256、512、または 1024 ビットのマスターまたはスレーブ エンドポイントに接続できます。SI のトランザクションが、異なるデータ幅の MI をターゲットとしている場合、バスの途中で幅変換が自動的に実行されます。SI を MI に接続する内部データパスの幅はさまざまです。

すべてのデータ幅変換は ID 信号の伝搬をサポートしています。マルチスレッド トラフィックが有効な場合、これらのトラフィックから生じるアウト オブ オーダー応答の転送は幅コンバーターによって管理されます。

データが SI から MI に移動する際にデータパス幅が広がる (アップサイジング) 場合と、狭くなる (ダウンサイジング) 場合で、幅変換の方法が異なります。

## AXI ダウンサイザー

SIの方がMIよりデータパス幅が広い場合はダウンサイジングが実行され、MIに発行されるトランザクションでデータビートの数が幅に応じて増加します。

- 書き込みの場合、SIとMIの間のWチャンネルでデータがシリアル化されます。
- 読み出しの場合、MIとSIの間のRチャンネルでデータがマージされます。

マージを実行する際、SIで生成される各出力データビートの読み出しエラー応答コード(`rresp`)は、マージされる入力データビート全体で検出されたワーストケースのエラー条件(`DECERR`>`SLVERR`>`OKAY`>`EXOKAY`の優先順)に設定されます。

AWまたはARコマンドチャンネルでSmartConnectは各バーストの長さを計算し、累計バースト長がバースト上限(AXI4で256、AXI3で16、AXI4-Liteで1データビート)を超えそうになると検知します。その場合、コアはそのトランザクションを、適合するサイズの複数のバーストトランザクションに自動的に分割します。

- 分割が必要なバースト長の場合、排他アクセスはダウンサイザーではサポートされません。`awlock`または`arlock`信号によって排他アクセスに指定された書き込みまたは読み出しトランザクションがダウンサイジングによって分割された場合、コアは分割によって生じたすべての出力トランザクションの`lock`信号を0に変更して通常アクセスに指定します。
- ダウンサイジングされた書き込みトランザクションが分割された場合、コアはMIで受信した複数の書き込み応答を結合し、1つの書き込み応答としてSIに発行します。この場合のエラー応答コード(`BRESP`)は、入力応答全体で検出されたワーストケースのエラー条件(`DECERR`>`SLVERR`>`OKAY`の優先順)です。スプリットトランザクションでは`EXOKAY`は発生しません)に設定されます。

## AXI アップサイザー

SIよりMIの方がデータパス幅が広い場合はアップサイジングが実行され、MI側に発行されるトランザクションでデータビートの数が幅に応じて減少します。

- 書き込みの場合、SIとMIの間のWチャンネルでデータがマージされます。
- 読み出しの場合、MIとSIの間のRチャンネルでデータがシリアル化されます。

AXI SmartConnect コアは、各MI側の(幅の広い)入力読み出しデータビートからの`rresp`を、SI側の(幅の狭い)各出力データビートの`rresp`に複製します。

書き込みと読み出しいずれの場合も、アップサイジング実行時にはトランザクションはすべて完全にバックされたままです。アドレス転送の「変更可能」ビット(`awcache[1]`または`arcache[1]`)によってデータバックが無効にされることはありません。

アップサイジングでトランザクションが分割されることはありません。

## ユーザー定義信号の伝搬

WおよびRチャンネルのユーザー定義信号(`wuser`および`ruser`)は常にデータバイトあたりのユーザービット数に基づいてフォーマットされます。ダウンサイジングまたはアップサイジングによってデータがシリアル化またはマージされると、各データバイトに関連するビットレーンがデータバイトと共に転送されます。バイトあたりのユーザービット数がSIとMIで同じ場合、`wuser`および`ruser`信号の全体の幅はデータ幅に対して同じ比率を維持し、すべてのユーザービットが途中の幅変換を通過して伝搬します。バイトあたりのユーザービット数がSIとMIで異なる場合、バイトレーンごとにユーザー信号の上位ビットがパディングまたは切り捨てられます。

幅変換を実行した場合のAXI4メモリマップドインターフェイスのRおよびWチャンネルでのユーザービットの伝搬は、AXI4プロトコル仕様には定義されていません。これはAXI4-Streamプロトコルで定義されています。SmartConnectはAXI4-Stream仕様で定義されたRおよびWチャンネルの幅変換と同じ方法で変換を実行します。

幅変換は AR、AW および B チャネルでのユーザー信号の伝搬には影響しません。ただし、ダウンサイジングまたは AXI3 プロトコル変換の結果トランザクションが分割された場合、AR または AW チャネルで受信したユーザー信号全体が MI へのすべての転送に複製されます。反対に、MI で受信した複数の B チャネル転送がスプリット書き込みトランザクションの結果として結合された場合、結合された最後の B 転送で受信したユーザー信号のみが SI に伝搬され、それ以前の B 転送で受信したユーザー情報は破棄されます。

## プロトコル変換

AXI SmartConnect コアの各 SI および MI は、AXI4、AXI3 または AXI4-Lite プロトコルのマスターおよびスレーブに個別に接続できます。AXI3 または AXI4-Lite のスレーブを SmartConnect の MI に接続した場合、内部パスにプロトコル変換ロジックが自動的に追加されます。

### AXI4-Lite への変換

AXI4 または AXI3 マスター デバイスは、SmartConnect 経由で AXI4-Lite スレーブにトランザクションを発行できます。

SI で受信したトランザクション ID (awid または arid) が取り出されて内部に格納され、応答の転送時に bid または rid として読み出されます。

SmartConnect は、AXI4-Lite スレーブに対する AXI4/AXI3 バーストはシングルビート トランザクションのシーケンスに変換します。

### AXI4 から AXI3 への変換

AXI4 マスター デバイスが AXI3 スレーブへ書き込みトランザクションを発行した場合、SmartConnect は SI で受信した AWID に基づいて必要な WID 出力を MI に生成します。

16 データ ビートよりも長いバーストを受信した場合、コマンドは複数の短いバースト トランザクションに分割されます。

AXI3 への変換に伴うトランザクション分割は、ダウンサイジングに伴う分割に似ています。AW および AR チャネルで受信したユーザー定義信号は MI 側のすべてのトランザクションに複製されます。反対に、MI で受信した複数の B チャネル転送がスプリット書き込みトランザクションの結果として結合された場合、結合された最後の B 転送で受信したユーザー信号のみが SI に伝搬され、それ以前の B 転送で受信したユーザー情報は破棄されます。ID 信号の伝搬およびマルチスレッド トラフィックの伝搬はトランザクションが分割されても制限を受けません。ただしトランザクションが分割された場合、排他アクセス トランザクションはサポートされず、awlock および arlock 出力は MI で常に 0 となります。

### その他の変換

AXI4-Lite マスターから AXI4 または AXI3 スレーブへ発行されたトランザクション、および AXI3 マスターから AXI4 スレーブへのトランザクションの場合、変換ロジックを挿入する必要はありません。MI 側プロトコルに存在して SI 側プロトコルに存在しない出力信号は、デフォルト値に設定されます。

## 内部ペイロードのバッファリング

スループットを高め、スロットリングを防ぐため、5 つすべての AXI チャンネルでの転送は中央のスイッチング プレーンの SI 側および MI 側の両方でバッファに格納されます。バッファ深さとストレージ リソースの種類 (分散 RAM または BRAM) は、接続されたマスターおよびスレーブの帯域幅要件に基づいて自動的に決定されます。

デフォルトでは、AW および AR チャンネルの SI 側バッファは、バースト途中のフル/エンプティによるストールを回避するためにパケット モードで動作します。

書き込みトランザクションの場合、書き込みバースト全体が W チャンネル バッファに格納されて wlast が受信されるまで AW チャンネル転送はバッファから発行されません。これにより、データ書き込み元が低速な場合のストールを防ぎます。一方、SI 側バッファ全体の容量を超える同じバーストのデータ ビート数を SI が受信すると、デッドロックを防ぐために AW コマンドが発行されます。

読み出しトランザクションの場合、ARLEN に基づいてバースト全体を格納するのに十分な空き領域が R チャンネル バッファに確保されるまで AR チャンネル転送は発行されません。(「空き領域」とは、発行済みの AR コマンドによって占有されていない R チャンネル FIFO 内の空きスペースを意味します)。これにより、読み出しアクセス先が低速な場合のストールを防ぎます。未処理の読み出しが存在しない場合、最初に受信した AR コマンドは常に遅延なしでただちに発行されます。それ以降の AR チャンネル コマンドにおける遅延は、R チャンネル FIFO に格納されたデータが一定のしきい値に達した後にのみ始まるため、読み出しコマンドのレイテンシには影響しません。

## デザイン パラメーター

このセクションでは、AXI SmartConnect コアのパラメーターの一覧を示します。

表 3-1: AXI SmartConnect コアのグローバルパラメーター

パラメーター名	デフォルト値	フォーマット/範囲	説明
NUM_SI	2	整数 (1 ~ 16)	スレーブ インターフェイスの数
NUM_MI	1	整数 (1 ~ 16)	マスター インターフェイスの数
NUM_CLKS	1	整数 (1 ~ 33)	クロック入力の数
HAS_ARESETN	1	0,1	aresetn 入力イネーブル



## クロッキング

デフォルトでは、SmartConnect のすべてのインターフェイスが同じクロックドメインで動作します。クロックは IP の `ac1k` ピンから入力します。この IP は、コンフィギュレーション オプションでクロック ピンを追加 (`ac1k1` ~ `ac1kn`) すると、それに対応した数のクロックドメインをサポートできます。各インターフェイスがどのクロックドメインで動作するかは、ツールがシステム内のインターフェイス接続をトレースし、接続されたマスターまたはスレーブ デバイスの AXI インターフェイスの同期に使用しているクロック ソースを特定して自動的に決定します。SmartConnect は、各クロック入力を同じクロック ソースによって同期されている SI および MI インターフェイスに適用するように自動的に構成されます。SmartConnect のクロック入力のいずれにも接続されていないクロック ソースによって同期されている SI または MI インターフェイス接続があると、エラーが発生します。

1 つのクロック ソースを SmartConnect の複数のクロック入力ピンに接続する必要はありません。

異なるクロックドメインに属するインターフェイス間の AXI チャネルで情報を交換する場合、パスの途中にクロック変換ロジックが自動的に挿入されます。

2 つのクロックドメインが 1:16 ~ 16:1 の整数比 (高速または低速) の関係にあり、かつ両方のクロックが同じクロック ソースから派生しているとツールが判断した場合、クロック コンバーターはツールによって自動的に同期モードに設定され、それ以外の場合は非同期モードに設定されます。

クロック コンバーターが非同期モードに設定された場合、クロック乗せ換えはすべて FIFO Generator コアの下位インスタンスで実行されます。このコアは、位相または周波数の関係にかかわらず書き込みおよび読み出しクロックドメインを内部で再同期するように設計されています。非同期モードでは、すべての再同期パスをカバーできるように適切な DATAPATHONLY タイミング制約がコアによって生成されます。

すべてのデザイン (特にクロック コンバーターを含むデザイン) で、すべてのクロックをシステム レベルの XDC ファイルで `create_clock` コマンドを使用して定義しておく必要があります。これらのクロック制約は、開発ボードがターゲットの場合、またはシステムに Clock Wizard IP を含める場合は自動的に生成されることがあります。非同期クロック乗せ換え (CDC) をインプリメントした各 SmartConnect IP インスタンスは、デザインに対して定義されたクロックに基づいて IP レベルのタイミング制約を生成しようとします。IP で生成した制約の目的は、IP コアによって再同期される CDC のスタティック タイミング解析でタイミング違反を防ぐことにあります。システム レベルでクロックを定義しないで非同期クロック コンバーターを含むデザインをインプリメントした場合、クロックが見つからず生成された `set_max_delay` 制約を適用できないという内容の警告が出力されます。

これらの警告はデザインの正しい機能インプリメンテーションには影響しません。システム レベルに必要なクロックを定義すると警告は解除されます。

クロックを変換すると、必ずレイテンシが増加します。非同期変換の方が同期変換よりレイテンシの増加が大きく、より多くのロジック リソースを必要とします。

システム内のクロック コンバーターの数を減らすには、AXI SmartConnect コア インスタンスをカスケード接続して、同程度のクロック速度のデバイスをグループ化すると効果があります。たとえば、周波数の低い AXI4-Lite スレーブのグループを、低周波数のクロックが供給されている AXI SmartConnect コアに接続すると、カスケード接続された AXI SmartConnect コア インスタンス間のパスにある 1 つのコンバーターにクロック乗せ換えを集約できます。

## リセット

SmartConnect IP には 1 つのアクティブ Low リセット入力 (`aresetn`) があります。このリセット入力は、IP に接続された各クロックドメインに内部で再同期されます。

電源投入後にソフトリセットが不要な場合、`aresetn` ピンを無効にできます (`HAS_ARESETN=0`)。内部ステートロジックはすべて電源投入時に自動的に初期化されます。

パワーオンリセットサイクルにおいて `aresetn` がアクティブになってからそのパルス期間中、SmartConnect コアはすべての `valid` および `ready` 出力をディアサートします。

AXI プロトコルの要件として、リセット中 `aresetn` が非アクティブになるまで、接続されたすべてのマスターも全 `valid` 出力をディアサートする必要があります。スレーブはマスターからコマンドを受信するまで応答チャンネルの `valid` 出力をアサートしてはなりません。また、スレーブ IP はリセット後まで `ready` 出力をディアサートすることを強く推奨します。これにより、接続された IP が早いサイクルでリセットから復帰して `valid` 出力をアサートした場合に、意図に反して転送完了を通知するのを防ぐことができます。

SmartConnect と接続されたマスターおよびスレーブの間には、`aresetn` のアサートまたはディアサートが同じサイクルで観察されるかどうかや、特定の相対順序で観察されるかどうかについての要件はありません。ただし、SmartConnect にリセットを適用するサイクルと、接続されたすべてのマスターおよびスレーブにリセットを適用するサイクルが重複している必要があります。

SmartConnect は独立したリセットドメインをサポートしていません。SmartConnect に接続されたいずれかのマスターまたはスレーブデバイスがリセットされた場合、接続されたほかのすべてのデバイスも同時にリセットする必要があります。



**推奨:** 一般的な設計ガイドラインとして、システムの `aresetn` 信号を最も低速な `aclk` 入力の 16 サイクル以上アサートすることを推奨します。これで前述のリセット要件を満たすことがわかっています。

# デザイン フローの手順

この章では、コアのカスタマイズと生成、制約、およびシミュレーション/合成/インプリメンテーションの手順について説明します。一般的な Vivado® デザイン フローおよび IP インテグレーターの詳細は、次の Vivado Design Suite ユーザー ガイドを参照してください。

- 『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896) [参照 4]
- 『Vivado Design Suite ユーザー ガイド: 入門』(UG910) [参照 5]
- 『Vivado Design Suite ユーザー ガイド: IP インテグレーターを使用した IP サブシステム的设计』(UG994) [参照 6]
- 『Vivado Design Suite ユーザー ガイド: ロジック シミュレーション』(UG900) [参照 7]

---

## コアのカスタマイズおよび生成

このセクションでは、Vivado 統合設計環境 (IDE) を使用してコアの IP オプションを指定する方法について説明します。

IP コアはユーザー デザインに合わせてカスタマイズできます。それには、IP コアに関連する各種パラメーターの値を次の手順に従って指定します。

1. IP カタログから IP を選択します。
2. 選択した IP をダブルクリックするか、ツールバーまたは右クリック メニューから [Customize IP] コマンドをクリックします。

詳細は、『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896) [参照 4] および『Vivado Design Suite ユーザー ガイド: 入門』(UG910) [参照 5] を参照してください。

## 出力の生成

AXI4 SmartConnect の出力ファイルは <project name>/<project name>.srcs/sources\_1/ip/<component name> ディレクトリに生成され、このディレクトリを <ip source dir> と呼びます。

詳細は、『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896) [参照 4] を参照してください。



---

## コアへの制約

通常、SmartConnect コアを使用する際に必要な制約は、コアのすべての ac1k 入力に接続された各クロック信号に対する PERIOD 制約のみです。

### 必須の制約

このセクションは、この IP コアには適用されません。

### デバイス、パッケージ、スピード グレードの選択

このセクションは、この IP コアには適用されません。

### クロック周波数

このセクションは、この IP コアには適用されません。

### クロック管理

このセクションは、この IP コアには適用されません。

### クロック配置

このセクションは、この IP コアには適用されません。

### バンク設定

このセクションは、この IP コアには適用されません。

### トランシーバーの配置

このセクションは、この IP コアには適用されません。

### I/O 規格と配置

このセクションは、この IP コアには適用されません。

---

## シミュレーション

Vivado シミュレーション コンポーネントについて、またサポートされているサードパーティ ツールについては、『Vivado Design Suite ユーザー ガイド: ロジック シミュレーション』(UG900) [参照 7] を参照してください。



**重要:** 7 シリーズまたは Zynq-7000 デバイスをターゲットにしたコアでは、UNIFAST ライブラリはサポートされません。ザイリンクスの IP は UNISIM ライブラリでのみテストと認定が行われています。

# サンプル デザイン

AXI SmartConnect コアにはサンプル デザインはありません。

# 移行およびアップグレード

この付録では、Vivado® Design Suite で使用した場合の AXI SmartConnect v1.0 コアと AXI Interconnect v2.1 コアの違いについて説明します。

AXI SmartConnect v1.0 コアは、すべてのアプリケーションで AXI Interconnect v2.1 コアをそのまま置き換えられるように設計されています。

AXI Interconnect v2.1 コアを使用したデザインを変換する自動移行の手段は用意されていません。

---

## 機能の比較

このセクションでは、AXI SmartConnect v1.0 と AXI Interconnect v2.1 の機能の違いを示します。

- SmartConnect 内部で使用する個々の変換/ストレージ モジュールは、スタンドアロン IP としては利用できません。SmartConnect の内部ロジック ブロックを外部から見ることはできません。
- SmartConnect は SAMD (Single-Address Multiple-Data) トポロジではなく MAMD (Multiple-Address Multiple-Data) トポロジをサポートしており、すべての AXI チャンネルに対して並列にデスティネーション側のアービトレーションを実行できます。
- SmartConnect は連続するアービトレーションおよび AW/AR チャンネルへの伝搬をサポートします (シングルビート トランザクションで広帯域幅をサポート)。
- SmartConnect でサポートされるアービトレーションはラウンドロビン方式のみで、固定優先度のアービトレーションはサポートされません。
- SmartConnect は、データ幅変換、プロトコル変換 (AXI4-Lite を除く)、およびトランザクション分割を実行した場合でも ID 信号 (有効にしている場合はマルチスレッド トラフィック) を伝搬します。
- SmartConnect は、データ幅変換、プロトコル変換 (AXI4-Lite を除く)、およびトランザクション分割を実行した場合でもすべてのチャンネルでユーザー定義信号を伝搬します。
- SmartConnect SI における幅の広い ID 信号を MI における幅の狭い ID に再マップします。
- マルチスレッド トラフィックが不要な場合は自動シングル オーダー モードにより ID トラッキングのオーバーヘッドを軽減します。
- 1 つの SI/MI インターフェイスに 1 つのクロック入力ではなく、1 つのクロック ドメインに 1 つのクロック入力です。
- 1 つの SI/MI インターフェイスに 1 つのリセットではなく、IP 全体で 1 つのリセット入力です。
- 複数の SmartConnect インスタンスをカスケード接続した場合、アドレス デコードとエラー検出は最初の SI インターフェイスでのみ実行されます。
- SmartConnect は WRAP タイプのバーストを伝搬しません。WRAP バーストは自動的に INCR タイプのバーストに変換されます。
- SmartConnect では FIXED タイプのバースト トランザクションはサポートされません。

- SmartConnect は幅の狭いバースト (awsize/arsize が全インターフェイス データ幅より小さいバースト) の伝搬をサポートしません。awcache/arcache の「変更可能」ビットにかかわらず、すべてのバーストが完全にバックされます。
- SmartConnect では、MI で awregion/arregion 信号は生成されません。
- 複数の SmartConnect インスタンスをカスケード接続した場合、デッドロック回避チェックは最初の SI インターフェイスでのみ実行されます。

## デバッグ

一般に、AXI インターフェイスを使用した IP コアを組み込んだデザインでシステムの動作異常が見られる場合、カスタム IP (またはプロダクションバージョン以外の IP) による AXI プロトコル違反が原因と考えられます。ザイリンクスの AXI IP コアには、接続先の IP コアによる AXI プロトコル違反を防ぐようなロジックは内蔵されていません。

システム内で AXI プロトコル違反があった場合、接続したコアがロックアップしているように見えるのが最も一般的な症状の 1 つです。SmartConnect コアは接続した IP コアによるプロトコル違反の影響を特に強く受けます。このようなロックアップが発生すると、SmartConnect の 1 つのインターフェイスでは AXI チャネル転送 (VALID/READY ハンドシェイク) が完了しているのに、期待される出力インターフェイスに転送が発行されないことがよく見られます。それ以外の場合として、出力転送が AXI トランザクションの順序変更規則に違反することがあります。



**推奨:** カスタム IP またはカスタマイズした IP を使用する前に、Protocol Checker IP コアを使用して AXI プロトコルへの適合を確認することを強く推奨します。

この付録では、ザイリンクス サポート ウェブサイトより入手可能なリソースおよびデバッグ ツールについて説明します。

---

## ザイリンクス ウェブサイト

AXI SmartConnect Core を使用した設計およびデバッグでヘルプが必要な場合は、[ザイリンクス サポート ウェブ ページ](#)から製品の資料、リリース ノート、アンサーなどを参照するか、テクニカル サポートでサービス リクエストを作成してください。

### 資料

この製品ガイドは AXI SmartConnect Core に関する主要資料です。このガイド、並びに設計プロセスで使用する各製品の関連資料はすべて、ザイリンクス サポート ウェブ ページ (<http://japan.xilinx.com/support>) または Xilinx Documentation Navigator から入手できます。

Xilinx Documentation Navigator は[ダウンロード ページ](#)からダウンロードできます。このツールの詳細および機能は、インストール後にオンライン ヘルプを参照してください。

## アンサー

アンサーには、よく発生する問題についてその解決方法、およびザイリンクス製品に関する既知の問題などの情報が記載されています。アンサーは、ユーザーが該当製品の最新情報にアクセスできるよう作成および管理されています。

このコアに関するアンサーの検索には、[ザイリンクス サポート ウェブ ページ](#)にある検索ボックスを使用します。より確かな検索結果を得るには、次のようなキーワードを使用してください。

- 製品名
- ツールで表示されるメッセージ
- 問題の概要

検索結果は、フィルター機能を使用してさらに絞り込むことができます。

### AXI SmartConnect Core に関するマスター アンサー

AR: [66780](#)

ザイリンクスでは、さらにヘルプが必要なカスタマーに対して、テクニカル サポートを提供しています。

## テクニカル サポート

ザイリンクスは、製品資料の説明に従って使用されている LogiCORE™ IP 製品に対するテクニカル サポートを[ザイリンクス サポート ウェブ ページ](#)で提供しています。ただし、次のいずれかに該当する場合、タイミング、機能、サポートは保証されません。

- 資料で定義されていないデバイスにソリューションをインプリメントした場合。
- 資料で定義されている許容範囲を超えてカスタマイズした場合。
- 「DO NOT MODIFY」とされているデザイン セクションに変更を加えた場合。

ザイリンクス テクニカル サポートへのお問い合わせに関しては、[ザイリンクス サポート ウェブ ページ](#)を参照してください。

## デバッグ ツール

AXI SmartConnect Core デザインの問題を解決するには、数多くのツールを利用できます。さまざまな状況をデバッグするのに有益なツールを理解しておくことが重要です。

### Vivado Design Suite のデバッグ機能

Vivado® Design Suite のデバッグ機能は、Logic Analyzer および Virtual I/O コアをユーザー デザインに直接挿入します。デバッグ機能を使用すると、トリガー条件を設定して、アプリケーションおよび統合ブロックのポート信号をハードウェアに取り込むことができます。取り込まれた信号は、その後解析できます。Vivado IDE のこの機能は、サイリンクス デバイスで実行されるデザインの論理デバッグおよび検証に使用されます。

Vivado ロジック解析は次の IP ロジック デバッグ コアと共に使用されます。

- ILA 2.0 (およびそれ以降のバージョン)
- VIO 2.0 (およびそれ以降のバージョン)

詳細は、『Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ』(UG908) [参照 8] を参照してください。

### インターフェイスのデバッグ

このコアにはアクセス可能なレジスタはありません。

## 定義、頭字語、略語

表 C-1 に、この文書で使用されている頭字語、略語、定義の一覧を示します。

表 C-1: 定義、頭字語、略語

項目	説明
AXI	インプリメントされる AXI プロトコル インターフェイス全般を指す一般的な用語。
マスター デバイス または接続された マスター	AXI トランザクションを生成してスレーブ デバイスに接続されたワイヤへ送信する IP コアまたはデバイス (または IP コア上の複数のインターフェイスのうちの 1 つ)。
スレーブ デバイス または接続された スレーブ	マスター デバイスに接続されたワイヤからの AXI トランザクションを受信して応答する IP コアまたはデバイス (または IP コア上の複数のインターフェイスのうちの 1 つ)。
マスター インター フェイス (汎用)	アウトバンド AXI トランザクションを生成して AXI 転送の開始側 (ソース) となる IP コアまたはモジュールのインターフェイス。AXI マスター インターフェイスでは AWVALID、ARVALID、WVALID が出力で、RVALID、BVALID が入力です。
スレーブ インター フェイス (汎用)	インバンド AXI トランザクションを受信して AXI 転送の受け取り側 (デスティネーション) となる IP コアまたはモジュールのインターフェイス。AXI スレーブ インターフェイスでは AWVALID、ARVALID、WVALID が入力で、RVALID、BVALID が出力です。
SI 側	AXI SmartConnect コアの SI 側に近いモジュール インターフェイス。
MI 側	AXI SmartConnect コアの MI 側に近いモジュール インターフェイス。
アップサイザー	SI 側から MI 側へとデータを移動する際に (書き込み/読み出しの方向に関係なく)、データパス幅を広くする変換機能。
ダウンサイザー	SI 側から MI 側へとデータを移動する際に (書き込み/読み出しの方向に関係なく)、データパス幅を狭くする変換機能。



# その他のリソースおよび法的通知

---

## ザイリンクス リソース

アンサー、資料、ダウンロード、フォーラムなどのサポート リソースは、[ザイリンクス サポート サイト](#)を参照してください。

---

## 参考資料

ザイリンクスの資料は、[japan.xilinx.com/support](http://japan.xilinx.com/support) で検索できます。

注記: 日本語版のバージョンは、英語版より古い場合があります。

- 『AXI4-Stream Infrastructure IP Suite LogiCORE IP 製品ガイド』([PG085](#))
- 『ARM AMBA AXI Protocol v2.0 Specification』([ARM IHI 0022C](#))
- 『FIFO Generator LogiCORE IP 製品ガイド』([PG057](#))
- 『Vivado Design Suite ユーザー ガイド: IP を使用した設計』(UG896: [英語版](#)、[日本語版](#))
- 『Vivado Design Suite ユーザー ガイド: 入門』(UG910: [英語版](#)、[日本語版](#))
- 『Vivado Design Suite ユーザー ガイド: IP インテグレーターを使用した IP サブシステムの設計』(UG994: [英語版](#)、[日本語版](#))
- 『Vivado Design Suite ユーザー ガイド: ロジック シミュレーション』(UG900: [英語版](#)、[日本語版](#))
- 『Vivado Design Suite ユーザー ガイド: プログラムおよびデバッグ』(UG908: [英語版](#)、[日本語版](#))
- 『AXI バス ファンクション モデル ユーザー ガイド』([UG783](#))
- 『Vivado Design Suite: AXI リファレンス ガイド』(UG1037: [英語版](#)、[日本語版](#))
- 『Zynq-7000 All Programmable SoC (Z-7007S、Z-7012S、Z-7014S、Z-7010、Z-7015、Z-7020): DC 特性および AC スイッチ特性』(DS187: [英語版](#)、[日本語版](#))
- 『Zynq-7000 All Programmable SoC (Z-7030、Z-7035、Z-7045、Z-7100): DC 特性および AC スイッチ特性』(DS191: [英語版](#)、[日本語版](#))

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年10月5日	1.0	<ul style="list-style-type: none"> <li>FIXED バースト タイプ トランザクションのサポートを廃止。</li> <li>デザイン パラメーターに HAS_ARESETN を追加。</li> </ul>
2016年5月10日	1.0	製品ガイドとしての初版。

## お読みください: 重要な法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

### 自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

© Copyright 2012-2016 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。ARM および AMBA は、ARM の欧州連合その他の国における登録商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。