

Vivado アイソレーション検証

ユーザー ガイド

UG1291 (v1.0) 2018 年 8 月 10 日

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。



改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	バージョン
2018年8月10日	1.0	初版。

目次

改訂履歴	2
Vivado アイソレーション検証	
入門	4
VIV の履歴	5
定義	5
FPGA アーキテクチャ	7
アイソレーション解析を含む FPGA 開発フロー	8
IDF デザイン ルール チェック	10
インストール	14
使用法	15
VIV DRC の実行	16
アプリケーション ノート	19
ザイリンクス リソース	20
ソリューション センター	20
Xilinx Documentation Navigator およびデザイン ハブ	20
参考資料	21
お読みください: 重要な法的通知	22

Vivado アイソレーション検証

入門

安全性、セキュリティ、および高信頼性アプリケーションには、正当性の証明が必要です。ザイリンクスアイソレーション デザインフロー (IDF) には、Vivado® アイソレーション検証 (VIV) により適用されるデザインルールチェック (DRC) が含まれており、ユーザーおよび Vivado ツールが要件を満たしたかどうかを自動的に検証できます。

VIV は Vivado に含まれていますが、使用するにはこの機能をイネーブルにする必要があります (14 ページの「インストール」を参照)。イネーブルにすると、Isolation カテゴリの下に 6 つの DRC が追加されます。これらの DRC は、その他のビルトイン DRC と同様に、Vivado DRC インターフェイスから実行できます。結果は GUI に表形式で表示され、アイソレーション違反に関連するデザインエレメントへのハイパーリンクが含まれます。VIV DRC は、Vivado DRC レポート システムのテキスト形式の出力にも含まれます。

VIV では、アイソレーションを証明するのに加え、ボード開発において I/O ピン割り当て、I/O バンクの割り当て、フロアプラン範囲制約が IDF ルールに違反していないことが確認されます。これらのデザイン制約チェックは、コストのかかるプリント回路基板の再設計を回避することを目的としています。

VIV は 6 つの DRC で構成され、それぞれがアイソレーションの 1 項目に関連するチェックを実行します。すべての IDF DRC を実行するか、一部を実行できます。

- IDF_VIV2-1 は、VIV DRC 結果が生成された状況をレポートします。
- IDF_VIV2-2、IDF_VIV2-3、および IDF_VIV2-4 は、デザイン制約 (Pblock、パッド、ピン、およびバンク) をチェックします。
- IDF_VIV2-5 および IDF_VIV2-6 は、インプリメント済みデザインの配置および配線をチェックします。

注記: この資料では FPGA の用語を使用しますが、VIV は Zynq® UltraScale+™ MPSoC を含むザイリンクス Zynq® デバイスのプログラマブル ロジック (PL) にも同様に適用されます。

VIV の履歴

VIV は、最初は Tcl ベースのスクリプト (`viv.tcl`) として開発され、Vivado Design Suite には含まれておらず、個別の暗号化された Tcl ファイルとして提供されていました。viv.tcl IDF DRC を使用するには、source コマンドで viv.tcl スクリプトを実行して DRC を Vivado に読み込む必要がありました。詳細は、『Vivado アイソレーション検証 (Tcl ベース) ユーザー ガイド』(UG1290) [参照 2] を参照してください。パフォーマンスを向上するため、2018.2 リリースから VIV が Vivado Design Suite に組み込まれています。この新しいバージョンの VIV を、この資料では VIV2 と呼びます。VIV を使用するには、`hd.enableIDFDRC` パラメーターを True に設定する必要があります。

定義

この資料では、多くの用語が特殊な意味で使用されます。次の用語集は、ザイリンクスの FPGA アーキテクチャおよびコンフィギュレーションに関する用語、および検索アルゴリズムに関する用語を熟知していない場合に参考としてご利用ください。

エリア範囲: FPGA のデバイス リソースの一部を特定する矩形領域のリスト。XDC ファイルでは、リソース ペアのリストとして定義されます。各ペアは、矩形領域の 2 つの対角頂点で定義されます。

ビットストリーム: データのストリームを表すビットのシーケンス。

FPGA ビットストリーム: FPGA のプログラム情報を含むファイル。ザイリンクス FPGA デバイスをエンベデッドハードウェアプラットフォームとして動作させるには、特定のビットストリームを使用してプログラムする必要があります。通常このビットストリームは、エンベデッドプラットフォームを作成するハードウェア設計者により提供されます。

FPGA のプログラムは、FPGA にビットストリームを読み込むプロセスです。開発段階では、FPGA デバイスは Vivado® や SDK のメニュー コマンドなどを使用してプログラムします。

デバイス モデル: FPGA の特定のモデルのプログラムを記述するデータおよびデータ構造。FPGA デザインを実現するためにコンフィギュレーション可能なデバイスの容量と機能を指定します。デバイス モデルは、FPGA ハードウェア回路図から高度に抽象化されています。FPGA ハードウェアのプログラム可能な部分のみが表されます。理論的には FPGA のプログラム可能な機能がデバイス モデルに表されていない可能性もありますが (テストにより機能の信頼性が低いことが示されている場合など)、そうすると機能が有効か無効かを検証するテストを実行することが不可能になるので、実際にはそのようにはなっていません。

フェンス タイル: ロジックまたは配線を含む複数のタイルまたはサイトをアイソレーション グループから分離するために使用される、ロジックまたは配線が含まれないプログラムされないタイルまたはサイト。

ファンクション: 特定の機能を実行するロジックのグループ (暗号化回路など)。

インターコネクト タイル: すべてのタイプのプログラマブルロジック エレメントを配線リソースに接続するプログラマブルスイッチマトリックスとなる共通のハード IP ブロック。エンド ユーザー用の資料では、インターコネクトブロックはまとめてグローバルスイッチマトリックスと呼ばれます。通常資料では個々のインターコネクトブロックについて言及されませんが、スイッチボックスと呼ばれることもあります。

領域間信号: 通常 1 つの分離されたファンクションを別の分離されたファンクションに接続するために使用される、ソースとロードを 1 つずつ持つ分離されていないネット。分離されたファンクションの 1 つのポートを同じファンクションの別のポートまたは最上位ロジックに接続するために使用されることもあります。領域間信号では、フェンス タイル内のプログラマブル インターコネクト ポイント (PIP) を含む配線リソースを使用することはできません。

アイソレーション (分離): 意図しない影響を受けない状態。配線では、アイソレーション度は分離された回路間に意図しない信号パスが確立されるのに必要なスイッチ不具合の数で計測されます。フロアプランでは、デザインの分離された部分間のロジックおよび配線がないタイルのフェンスが存在するかどうかで判断されます。

分離されたファンクション、分離されたモジュール: ユーザー デザインの分離された部分。

分離された領域、分離領域: 分離されたファンクションをインプリメントする際に使用可能な、エリア範囲制約で定義されるタイルの集合。

I/O バッファ、IOB: FPGA パッケージの入力/出力ピンの動作を制御する FPGA の回路。I/O バッファは、関連のピンを入力回路または出力回路に内部接続するかどうか、ピンに必要な電圧レベルの選択などの通信に関連するさまざまな設定を制御します。

I/O バンク: 共通の設定および信号を使用する FPGA の I/O バッファのグループ。

ロジック: フリップフロップ、ルックアップ テーブル、RAM などの特定のファンクションをインプリメントするために使用される回路。

ネット: ロジック エレメントのグループ間に信号パスを作成する配線リソースの名前が付いたグループ。ネットは複数のデザイン階層レベルにまたがる場合があります。

ノード: プログラマブル配線の分離不可能なユニット。分岐して 3 つ以上の点を接続する場合があります。

パッケージ ピン: FPGA に電源を投入し、インターフェイスとして使用する、FPGA パッケージの外側の導体。チップ パッケージから垂直に突き出た短いワイヤまたは突起のような形状です。

パーティション: 階層の一部をほかの部分から分離するのに使用可能なユーザー定義のロジック グループ。

配置: 論理ファンクションの特定のハードウェア リソースへの割り当て。

プログラマブル ユニット (PU): CLE、ブロック RAM、DSP などの論理タイルと共有インターコネクト タイルのセット。1 つの PU は、1 つのブロック RAM、5 つの CLE、およびブロック RAM と CLE で共有されるインターコネクト タイルで構成されます。フロアプラン中にリソースを予約する際、PU 全体を Pblock に含めることをお勧めします。

派生領域: Pblock 内のプログラマブル ユニット (PU) のタイルすべてを考慮した後の Pblock 境界。Pblock の SNAPPING_MODE プロパティが OFF の場合、派生領域と XDC 範囲は同じ Pblock 境界になります。Pblock の SNAPPING_MODE プロパティが ON の場合、派生領域はユーザーが指定した XDC 範囲とは異なる可能性があります。SNAPPING_MODE プロパティが ON で PU の一部のタイルが XDC 範囲に含まれていない場合、その PU のすべてのタイルが派生領域の Pblock 境界から除外されます。

配線: FPGA 内で信号が通ることができるパス。プログラマブル インターコネクト ポイント (PIP) により互いに接続されたノードのグループで表されます。

サイト: SLICE、RAMB16 など、フロアプラン制約で参照可能な FPGA タイル アレイの物理的な位置。

スイッチ マトリックス、グローバル スイッチ マトリックス、GSM: プログラマブル配線の総称。GSM は主にインターコネクト ブロックから構成されます。

トラステッド配線: フェンス タイル内にプログラマブル インターコネクト ポイント (PIP) のない配線リソースを使用して分離されたファンクションを接続する配線。トラステッド配線は、手動配線なしで自動的に生成されます。

ザイリンクス デザイン制約 (XDC): フロアプラン、ピン割り当て、I/O 信号の電気的特性、タイミングなどのデザインの特徴を Tcl で記述した SDC ベースの制約。

ワイヤ: 信号または電源が流れるチップ上の導電パス。ノード抽象をインプリメントするハードウェアです。ワイヤという用語は、1 タイルを占めるノードの一部のソフトウェア デバイス モデルでも使用されます。

FPGA アーキテクチャ

FPGA (フィールド プログラマブル ゲート アレイ) は、ユーザーがプログラムしたコンフィギュレーション メモリにより制御されるロジック エlement および配線を含むチップです。ロジック エlement には、単純な組み合わせロジック ファンクションから複雑なエンベデッド プロセッサまで、さまざまなものがあります。ロジック エlement および配線は、タイルのグリッドとして配列されています。FPGA の構造は非常に規則的です。各タイルには、ロジックまたは配線専用の VLSI 回路バリエーションのいずれかが含まれます。

ロジック タイルには、次のものが含まれています。

- プログラマブル ロジック およびメモリを含むコンフィギュラブル ロジック ブロック (CLB)
- 入力/出力ブロック回路 (IOB)
- クロック マネージメント タイル (CMT)
- ブロック RAM、デジタル信号処理 (DSP)、プロセッサなど、その他の特殊回路

典型的なザイリンクス FPGA には何千ものタイルが含まれますが、タイルの種類は数十です。すべてのタイルに共通なのは、グローバル スイッチ マトリックス (GSM) への関連付けです。GSM は、多数のインターコネクト タイルおよびインターフェイス タイルで構成されます。CLB などの一部のロジック タイルは1つのインターコネクト タイルに関連付けられており、ブロック RAM や DSP などのタイルは複数のインターコネクト タイルに関連付けられています。インターフェイス タイルは、さまざまなタイプのロジック タイルを共通のインターコネクト タイル デザインに適合させるために使用します。

7 シリーズ アーキテクチャでは各ユーザー タイルに専用のインターコネクト タイルがありますが、UltraScale+™ アーキテクチャでは複数のユーザー タイルでインターコネクト タイルが共有されます。UltraScale+ デバイスでは、2 つの CLE が1つのインターコネクト タイルを共有、または1つのブロック RAM が5つのインターコネクト と5つの CLE を共有するので、それが PU (プログラマブル ユニット) となります。PU は、インターコネクト タイルを共有するタイルのセットです。1つのインターコネクト タイルを共有する2つの CLE が1つの PU となり、同様に5つのインターコネクト タイルを共有する1つのブロック RAM と5つの CLE が1つの PU となります。

FPGA は、コンフィギュレーション メモリに特定のビットストリームを読み込むことにより、特定の目的用にコンフィギュレーションされます。ビットストリームは、使用されるかどうかにかかわらず、デバイスの各タイルの機能を指定します。ロジック タイルは特定のファンクションを実行するようコンフィギュレーションされ、GSM はロジック タイル間に必要な配線を提供するようコンフィギュレーションされます。

注記: IDF は FPGA に焦点を置いていますが、同じ手法はザイリンクス Zynq® UltraScale+ MPSoC のプログラマブル ロジック (PL) にも適用されます。

アイソレーション解析を含む FPGA 開発フロー

アイソレーション解析のため、通常の FPGA フローに配線および追加のフロアプラン要件を制御するための新しい制約が追加されています。まず、デザインが手動でフロアプランされている必要があります。さらに、フロアプランの分離された領域に、配線が厳密な規則に従うように制約を適用する必要があります。最後に、VIV を使用してデザインが正しくインプリメントされていることを示す必要があります。

図 1 に、通常の FPGA 開発フローでアイソレーション解析がどのように位置付けられているかを示します。VIV は 2 つの段階で有益です。

- フロアプラン (右側の紫色のボックス) では、VIV を使用することにより、コストのかかる回路基板レイアウトの誤りを回避し、デザインのアイソレーション手法の重要な部分であるフロアプランを記録できます。
- デザインが完了したら (右下の緑色のボックス)、VIV を使用してデザインが IDF ルールに従って分離されているかどうかを検証します。

フローチャートの表記は次のとおりです。

- ボックスはプロセスを表します。
- 並行四角形はデータを表します。
- 台形は手動入力を示します。
- 下辺が曲線の四角は出力を表します。
- 矢印は情報の流れを表します。
- 色はグループ化および強調のためだけに使用されています。

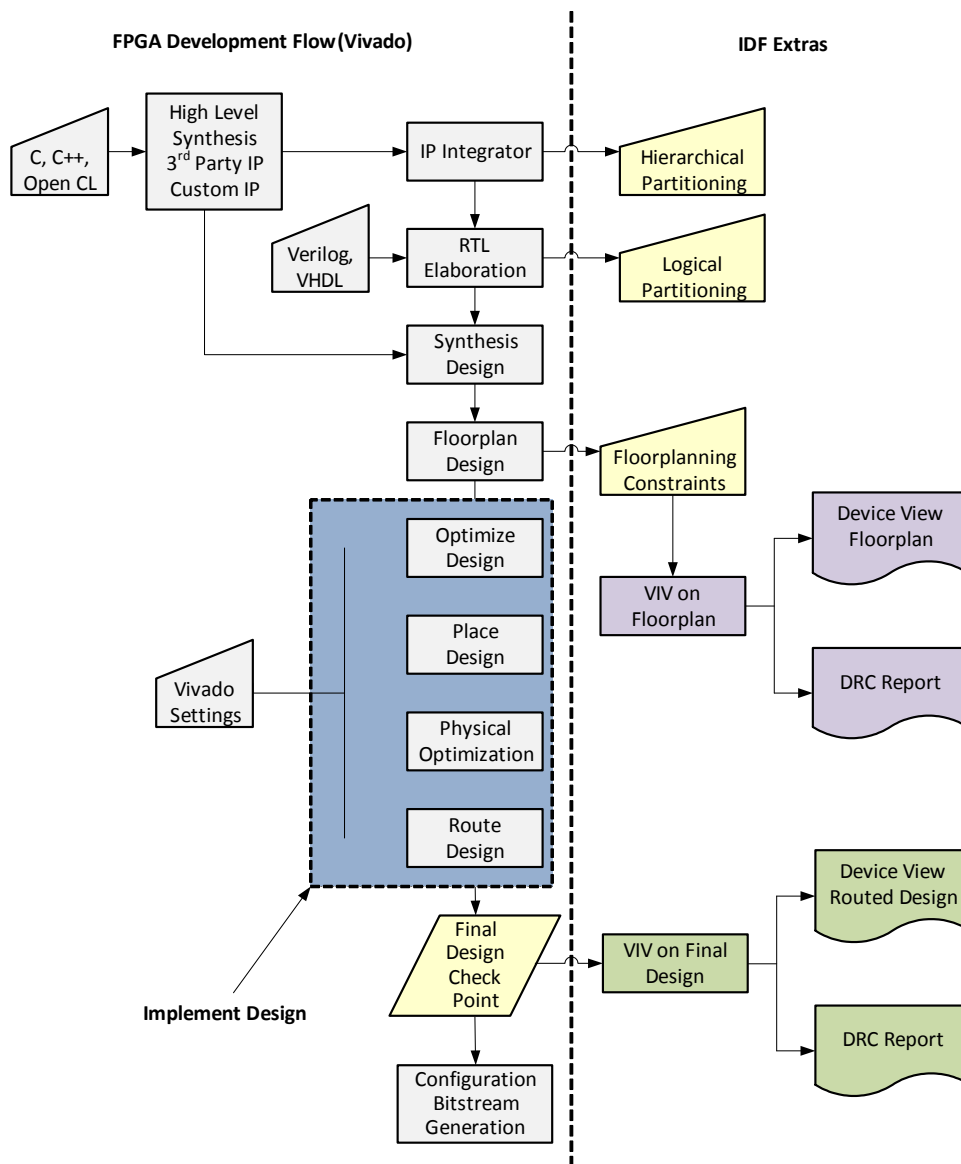


図 1: 典型的な FPGA デザイン フローに対する Vivado アイソレーション デザイン フロー

IDF デザイン ルール チェック

VIV2 は、Vivado フレームワーク内でビルトイン DRC として提供されています。違反は Vivado グラフィカル ユーザー インターフェイスでハイライトされます。ピン割り当ておよびフロアプラン制約に対して実行される DRC は、ボード設計で有益です。インプリメント済み配置配線に対して実行される DRC は、アイソレーションが達成されていることを証明します。

制約チェック (VIV - 制約)

VIV は、ピン制約およびフロアプランに関して次をチェックします。

- 異なるアイソレーション領域からのピンが 1 つの I/O バンクに配置されていない。これは IDF-VIV2-2 でチェックされます。
注記: VIV では I/O バンク共有は違反としてはレポートされませんが、これはセキュリティの注意事項です。
- 異なるアイソレーション グループからのピンがパッケージ上で物理的に隣接していない。ピンは、エッジまたは角が共有され、その間にフェンス タイルがない場合に隣接していると考えられます。これは IDF_VIV2-3 でチェックされます。
- XDC ファイルの Pblock 制約が、分離される領域の間に最低 1 タイル幅のフェンスが存在するように定義されている。

配置情報は使用されないため、VIV で制約されたリソースが 100% 使用されると想定され、インプリメント済みデザインで使用されるリソースにかかわらず、アイソレーション違反がレポートされます。

最終アイソレーション検証 (VIV - インプリメンテーション)

デザインを配置配線したら、VIV を使用してデザインに必要なアイソレーションが達成されているかどうかを検証します。VIV は、配置および配線に関して次をチェックします。

- 分離されたロジック タイルがフェンス タイルで分離されている。フェンス タイルにはロジック (IDF_VIV2-5 でチェック) および配線 (IDF_VIV2-6 でチェック) を含めることはできず、含まれているとアイソレーション違反になります。
- フェンス タイルに PIP を含めることはできない (IDF_VIV2-6 でチェック)。

次のセクションで、6 つの VIV DRC について詳細に説明します。

IDF_VIV2-1 - 実行状況

IDF_VIV2-1 は、実行された状況を記録するためのアドバイザリ DRC です。デザインに HD.ISOLATED プロパティを使用して分離とマークされているパーティションが 2 つ以上あることも検証します。HD.ISOLATED_EXEMPT とマークされたセルで駆動されるネットは、領域間のアイソレーションルールから除外され、IDF_VIV2-1 出力にリストされます。

次に、IDF_VIV2-1 出力の例を示します。

```
Vivado Isolation Verifier v2.0 (20180514)
Copyright (C) 2013-2018 Xilinx, Inc. All rights reserved.
Date(GMT): Tue May 15 12:50:38 2018
Top-level: design_1_wrapper
Isolated Partitions: pblock_uram_top_0 pblock_uram_top_1 pblock_uram_top_2
Part: xcvu13p-flga2577-1-i
Directory: c:/xilinx_design/implementation/idflab
User: <username>
Vivado Version: 2018.2
Platform: lnx64
Host: <hostname>

Top Level nets: CE_0, CE_1, CE_2, SCLR_0, SCLR_1, SCLR_2, clka_0, ena_0, clka_1, clka_2, ena_1, ena_2, regcea_0,
regcea_1, regcea_2 (the first 15 of 210 listed)

HD.ISOLATED_EXEMPT nets: design_1_i/ps7_ISO_Wrapper/processing_system7_0/inst/FCLK_CLK0,
design_1_i/ps7_ISO_Wrapper/processing_system7_0/inst/FCLK_CLK1 and
design_1_i/ps7_ISO_Wrapper/processing_system7_0/inst/FCLK_CLK2.

Inter-region nets: design_1_i/keccak_0_ISO_Wrapper/buffer_data_reg[0]_0_ISOBUF_pblock_keccakCompare_0_NewDrv,
M
design_1_i/ps7_ISO_Wrapper/processing_system7_0/inst/FCLK_CLK0,
design_1_i/ps7_ISO_Wrapper/processing_system7_0/inst/FCLK_CLK1,
design_1_i/ps7_ISO_Wrapper/processing_system7_0/inst/FCLK_CLK2,
design_1_i/ps7_ISO_Wrapper/processing_system7_0/inst/FCLK_RESET0_N and
design_1_i/ps7_ISO_Wrapper/processing_system7_0/inst/FCLK_RESET1_N.
```

IDF_VIV2-2 - I/O バンク違反

IDF_VIV2-2 は、各 I/O バンクを使用するのが 1 つまでのアイソレーショングループであることをチェックします。IDF_VIV2-2 違反は、次のようにレポートされます。

```
Bank: <bank number> has pins from multiple isolated partitions: <partition name>
```

IDF_VIV2-3 - パッケージピン違反

IDF_VIV2-3 は、異なるアイソレーショングループからのパッケージピンが隣接していないことをチェックします。IDF_VIV2 違反は、次のようにレポートされます。

```
Package pin adjacency violation: site: <site name> pin: <pin name> vs site: <site
name> pin: <pin name>.
```

IDF_VIV2-4 - フロアプラン違反

分離された領域は有効なフェンスで分離されている必要があります。有効なフェンスの定義は、アイソレーション デザイン フローの資料で詳細に説明されています。該当するテクノロジーの資料に記載されている規則に従う必要があります。21 ページの「参考資料」の該当する資料を参照してください。

IDF_VIV2-4 は、異なるアイソレーション グループからのフロアプラン範囲に適切なギャップがあることをチェックします。IDF_VIV2-4 は、XDC 範囲ではなく派生範囲情報をチェックします。ユーザーが XDC 範囲を指定した場合、Vivado でプログラマブル ユニット (PU) と Pblock の SNAPPING_MODE プロパティを考慮して派生範囲が計算されます。



推奨: IDF では、できる限り SNAPPING_MODE プロパティをオンにしてデザインを作成することをお勧めします。詳細は、『ザイリンクス UltraScale+ 用アイソレーション デザイン フロー (Vivado ツール)』(XAPP1335) [参照 11] を参照してください。

次の例に、分離されたファンクションを Pblock を使用してデバイスの特定の領域にフロアプランするために必要な XDC ファイルの制約を示します。

```
create_pblock pblock_zup_ISO_Wrapper
add_cells_to_pblock [get_pblocks pblock_zup_ISO_Wrapper] [get_cells -quiet [list
design_1_i/zup_ISO_Wrapper]]
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add {SLICE_X14Y150:SLICE_X15Y179
SLICE_X13Y125:SLICE_X13Y179 SLICE_X13Y35:SLICE_X13Y54 SLICE_X0Y0:SLICE_X12Y179}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add
{BUFCE_LEAF_X64Y8:BUFCE_LEAF_X87Y11 BUFCE_LEAF_X0Y0:BUFCE_LEAF_X63Y11}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add
{BUFCE_ROW_FSR_X12Y2:BUFCE_ROW_FSR_X16Y2 BUFCE_ROW_FSR_X0Y0:BUFCE_ROW_FSR_X11Y2}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add
{BUFGCE_HDIO_X0Y4:BUFGCE_HDIO_X1Y5}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add {BUFG_PS_X0Y0:BUFG_PS_X0Y71}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add {DSP48E2_X0Y0:DSP48E2_X0Y71}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add
{HARD_SYNC_X2Y4:HARD_SYNC_X3Y5 HARD_SYNC_X0Y0:HARD_SYNC_X1Y5}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add
{HDIODIFFINBUF_X0Y30:HDIODIFFINBUF_X0Y35}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add
{HDIOLOGIC_M_X0Y30:HDIOLOGIC_M_X0Y35}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add
{HDIOLOGIC_S_X0Y30:HDIOLOGIC_S_X0Y35}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add
{HDIO_BIAS_X0Y2:HDIO_BIAS_X0Y2}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add {IOB_X0Y130:IOB_X0Y141}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add {PS8_X0Y0:PS8_X0Y0}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add {RAMB18_X1Y50:RAMB18_X1Y71
RAMB18_X1Y14:RAMB18_X1Y21 RAMB18_X0Y0:RAMB18_X0Y71}
resize_pblock [get_pblocks pblock_zup_ISO_Wrapper] -add {RAMB36_X1Y25:RAMB36_X1Y35
RAMB36_X1Y7:RAMB36_X1Y10 RAMB36_X0Y0:RAMB36_X0Y35}
set_property SNAPPING_MODE FINE_GRAINED [get_pblocks pblock_zup_ISO_Wrapper]
set_property HD.ISOLATED true [get_cells */zup_ISO_Wrapper]
set_property HD.ISOLATED_EXEMPT true [get_cells -hierarchical -filter {
PRIMITIVE_TYPE == CLOCK.BUFFER.BUFGCE }]
set_property HD.ISOLATED_EXEMPT true [get_cells -hierarchical -filter
{PRIMITIVE_TYPE =~ CLOCK.BUFFER.BUFG_PS}]
set_property HD.ISOLATED_EXEMPT true [get_cells -hierarchical -filter {
PRIMITIVE_TYPE == CLOCK.BUFFER.BUFGCE }]
```

IDF_VIV2-4 違反は、次の 2 つの形式でレポートされます。

```
Tile adjacency violation: pblock: <pblock name> tile: <tile name> vs pblock: <pblock name> tile: <tile name>. Sites: <site name list>.
```

および

```
Tile occupancy violation: tile: <tile name> is in multiple isolated pblocks: <pblock name list>. Sites: <site name list>.
```

IDF_VIV2-5 - 配置違反

XDC 情報をチェックする IDF_VIV2-4 とは異なり、IDF_VIV2-5 は実際にインプリメントされたロジックの配置をチェックします。2 つのチェックが実行されます。1 つ目のチェックは、異なるアイソレーショングループに隣接するロジックを検索します。ここで隣接するロジックとは、ロジック タイルの間が有効なフェンス タイルで分離されていないロジックのことです。2 つ目のチェックは、最上位ロジックに 1 つのアイソレーショングループから別のアイソレーショングループへのパスが含まれていないことを確認します。

IDF_VIV2-5 違反は、次の 2 つの形式でレポートされます。

```
Tile adjacency violation: partition: <partition name> tile: <tile name> vs partition: <partition name> tile: <tile name>. Sites: <site name list>.
```

および


```
Tile occupancy violation: tile: <tile name> is in multiple isolated partitions: <partition name list>. Sites: <site name list>.
```

注記: IDF_VIV2-5 はインプリメント済みのロジック配置をチェックするので、デザインがインプリメント済みの場合にのみ有益です。インプリメンテーション実行前は IDF_VIV2-5 でチェックするものがないので、違反はレポートされません。

IDF_VIV2-6 - 配線違反

分離された配線は有効なフェンスで分離されている必要があります。トラステッド配線は次の条件を満たす必要があります。

- 領域間の配線のロードが 1 つのアイソレーショングループ内にある
- フェンスにプログラマブル インターコネクト ポイント (PIP) が使用されていない
- ソース領域とロード領域が同じ場合を除き、領域間の配線でタイルが共有されていない
- HD.ISOLATED_EXEMPT プロパティが設定されているセルで駆動されている場合を除き、領域内の配線がフェンス タイルまたは別のアイソレーショングループの分離されたタイルに入らない。

注記: [Device] ウィンドウで [View] → [Routing Resources] をクリックするか  アイコンをクリックして、[Routing Resources] モードをオンにすると便利です。

注記: IDF_VIV2-6 はインプリメント済み配線をチェックするので、デザインがインプリメント済みの場合にのみ有益です。インプリメンテーション実行前は IDF_VIV2-6 でチェックするものがないので、違反はレポートされません。

インストール

VIV 2.0 は、2018.2 Vivado リリースから Vivado に含まれていますが、デフォルトではディスエーブルになっており、通常の開発フローで VIV DRC が実行されないようになっています。IDF を使用する場合は、イネーブルにできません。VIV をイネーブルにするには、次のいずれかの方法を使用して `hd.enableIDFDRC` パラメーターを `true` に設定します。

- Vivado の [Tcl Console] ウィンドウに次のコマンドを入力します (図 2 を参照)。

```
set_param hd.enableIDFDRC true
```

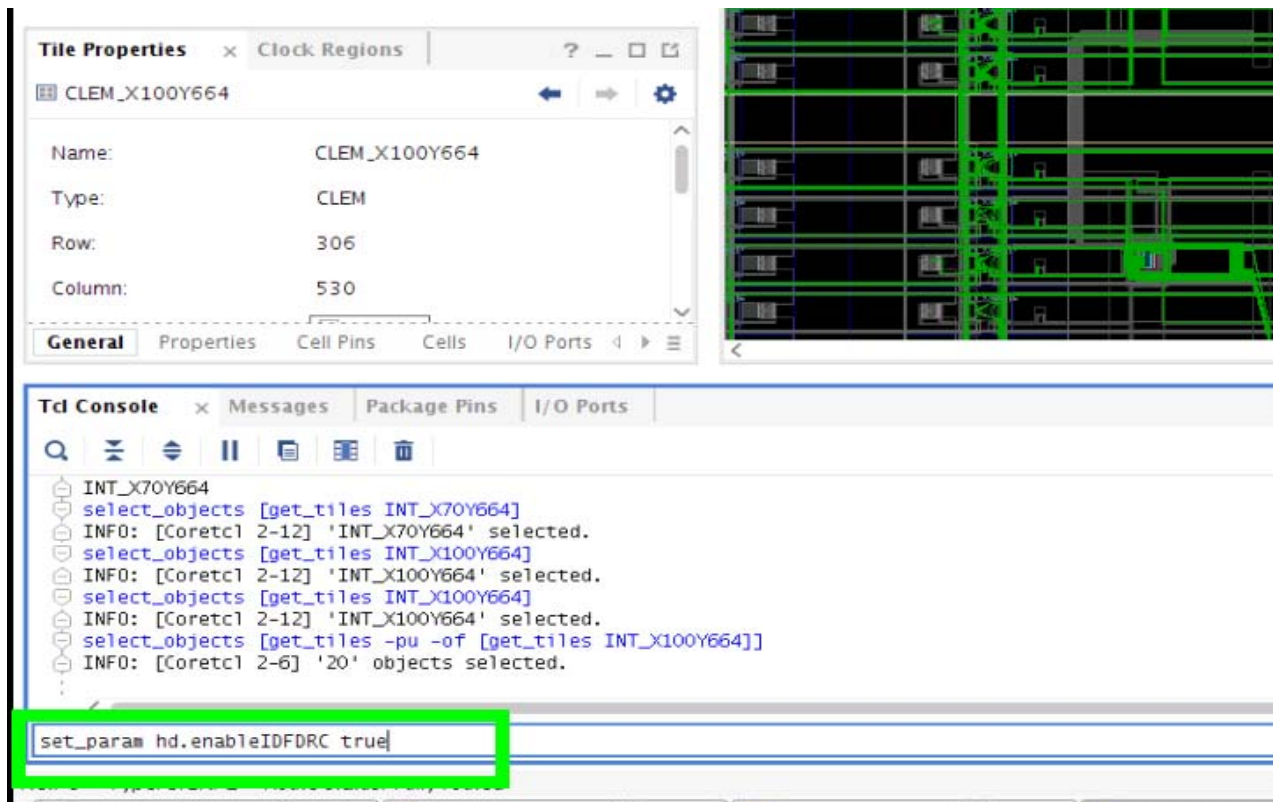


図 2: `hd.enableIDFDRC` パラメーターを設定して IDF DRC をイネーブル

Vivado_init.tcl ファイルに `set_param` コマンドを追加し、IDF DRC が常にイネーブルになるようにします。これは、常に IDF デザインで作業するユーザーに便利です。INIT ファイルは、`~/.Xilinx/Vivado/2018.2` ディレクトリにあります。このディレクトリに INIT ファイルがない場合は、作成して次のコマンドを追加します。

```
set_param hd.enableIDFDRC true
```

使用法

hd.enableIDFDRC を true に設定して VIV をイネーブルにすると、[図 3](#) に示すように、[Report DRC] ダイアログボックスの [Isolation] カテゴリの下に 6 つの IDF DRC が追加されます。[Isolation] の下の [Pblock] カテゴリは IDF には関係していないので、チェックする必要はありません。

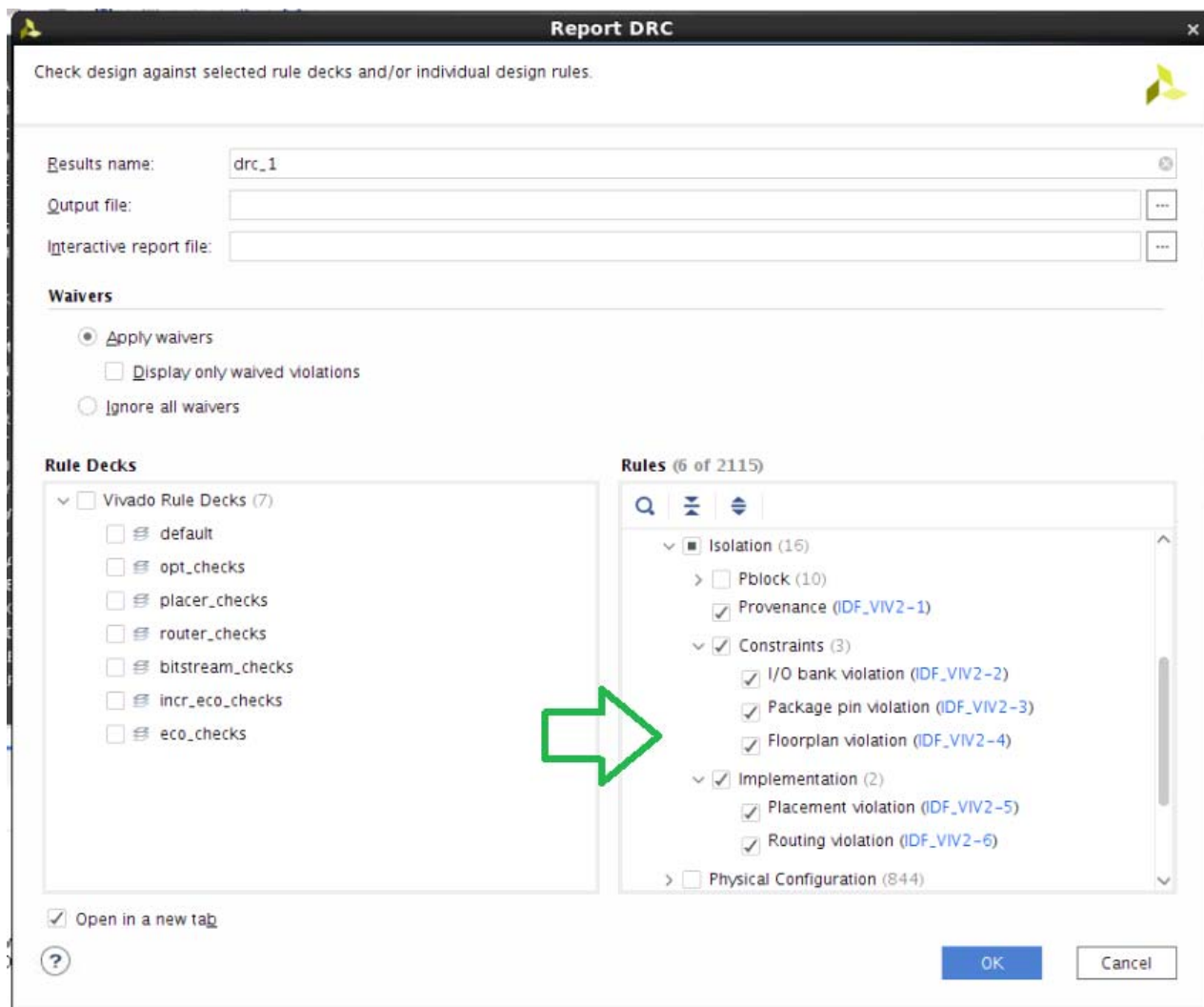


図 3: [Report DRC] ダイアログボックスにリストされた IDF DRC

VIV DRC の実行

これらの DRC は、その他のビルトイン DRC と同様に、Vivado DRC インターフェイスから実行できます。結果は GUI に表形式で表示され、アイソレーション違反に関連するデザイン エレメントへのハイパーリンクが含まれます。VIV DRC は、Vivado DRC レポート システムのテキスト形式の出力にも含まれます。

各行を選択すると、その詳細が [Design Rule Properties] ウィンドウに表示されます。DRC に関連するデザイン オブジェクトが [Device] および [Package] ウィンドウで選択されます。

注記: 個々の DRC を個別に実行するには、次の Tcl コマンドを使用します。

```
report_drc -verbose -checks {IDF_VIV2-1 IDF_VIV2-2 IDF_VIV2-3 IDF_VIV2-4 IDF_VIV2-5  
IDF_VIV2-6}
```

DRC は、フローの複数の段階で実行できます。一部の IDF DRC はデザイン制約に対して実行できます。インプリメント済みデザインの IDF DRC は、デザインのインプリメンテーション後に実行できます。

- IDF_VIV2-1 は実行状況をレポートする DRC で、フローのどの段階でも実行できます。
- IDF_VIV2-2、IDF_VIV2-3、および IDF_VIV2-4 は、合成後に実行できます。
- IDF_VIV2-5 および IDF_VIV2-6 はインプリメンテーション結果をチェックするので、まずインプリメンテーションを実行する必要があります。

図 4 に、Vivado GUI に表示される DRC レポートの例を示します。

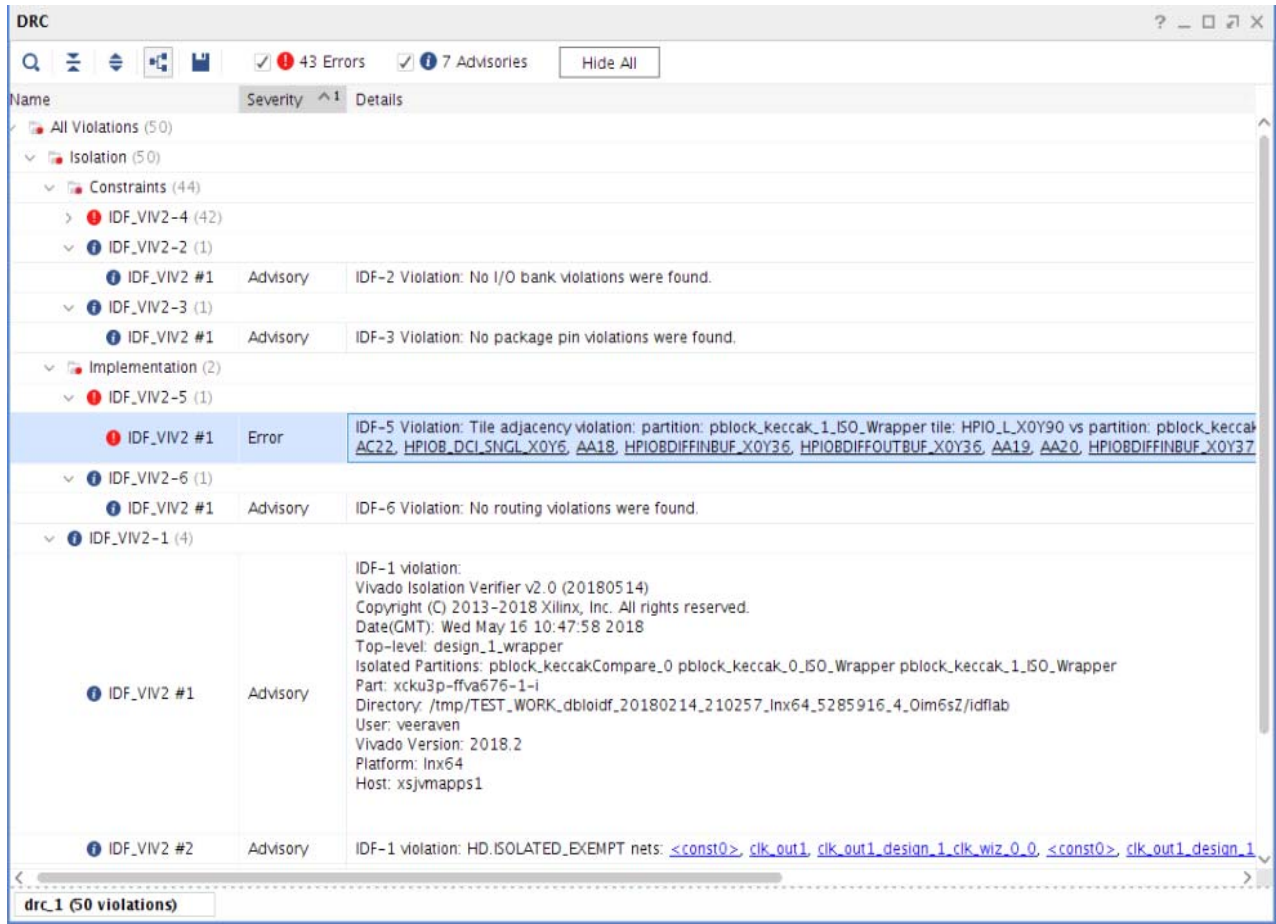


図 4: IDF DRC 違反レポートの例

- 図 4 で選択されている DRC (IDF_VIV2-2 #1) は、パッケージピン隣接違反を示しています。この行を選択すると、図 5 に示すように、対応する I/O バッファが [Device] ウィンドウで選択されます。

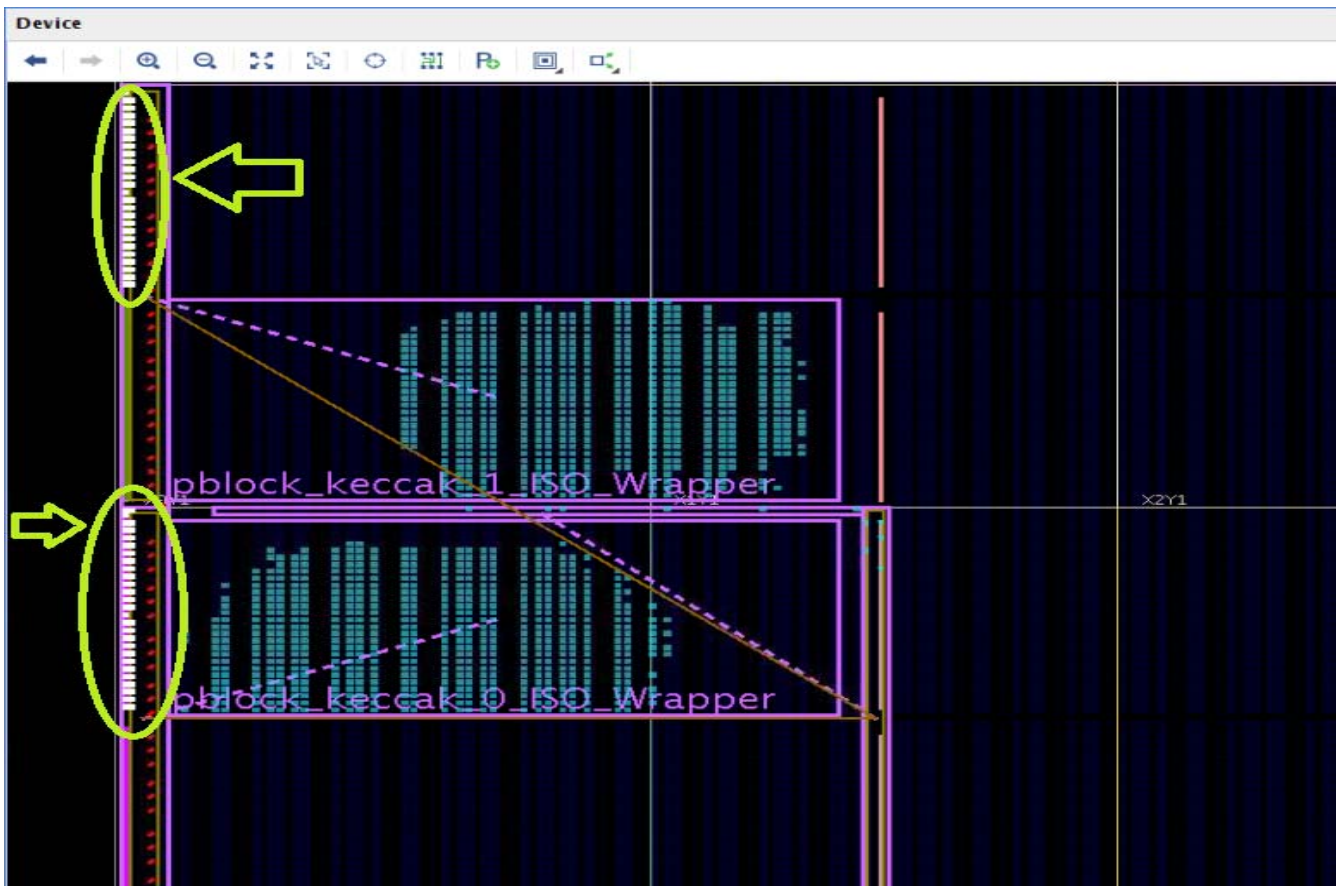


図 5: タイル隣接違反に対応するピンがハイライトされた [Device] ウィンドウ

違反のテキストは、GUI の 2 箇所に表示されます。DRC レポートの表には、[図 4](#) に示すように、最初の部分のみが表示されます。完全なテキストと違反に関連するサイトへのリンクは、[図 6](#) に示すように、[Violation Properties] ウィンドウの [Details] タブに表示されます。



図 6: [Violation Properties] ウィンドウの [Details] タブ

アプリケーション ノート

[表 1](#) に、アイソレーション デザイン フロー (IDF) ウェブサイトから参照可能な資料を示します。

表 1: アイソレーション デザイン フロー開発アプリケーション ノート

FPGA ファミリ	Vivado バージョン	アプリケーション ノート	説明
7 シリーズおよび Zynq-7000	Vivado 2015.2	XAPP1222	IDF ルールおよびガイドライン
7 シリーズおよび Zynq-7000	Vivado 2015.2	XAPP1256	IDF 演習チュートリアル
UltraScale+	Vivado 2018.2	XAPP1335	UltraScale+ 用の IDF ルールおよびガイドライン
UltraScale+	Vivado 2018.2	XAPP1336	UltraScale+ 用の IDF 演習チュートリアルアプリケーション ノート

ザイリンクス リソース

アンサー、資料、ダウンロード、フォーラムなどのサポート リソースは、[ザイリンクス サポート](#) サイトを参照してください。

ソリューション センター

デバイス、ツール、IP のサポートについては、[ザイリンクス ソリューション センター](#)を参照してください。デザイン アシスタント、デザイン アドバイザリ、トラブルシューティングのヒントなどが含まれます。

Xilinx Documentation Navigator およびデザイン ハブ

Xilinx® Documentation Navigator (DocNav) では、ザイリンクスの資料、ビデオ、サポート リソースにアクセスでき、特定の情報を取得するためにフィルター機能や検索機能を利用できます。DocNav を開くには、次のいずれかを実行します。

- Vivado® IDE で [Help] → [Documentation and Tutorials] をクリックします。
- Windows で [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [DocNav] をクリックします。
- Linux コマンド プロンプトに「docnav」と入力します。

ザイリンクス デザイン ハブには、資料やビデオへのリンクがデザイン タスクおよびトピックごとにまとめられており、これらを参照することでキー コンセプトを学び、よくある質問 (FAQ) を参考に問題を解決できます。デザイン ハブにアクセスするには、次のいずれかを実行します。

- DocNav で [Design Hubs View] タブをクリックします。
- ザイリンクス ウェブサイトの[デザイン ハブ](#) ページを参照します。

注記: DocNav の詳細は、ザイリンクス ウェブサイトの [Documentation Navigator](#) ページを参照してください。



注意: DocNav からは、日本語版は参照できません。ウェブサイトのデザイン ハブ ページをご利用ください。

参考資料

注記: 日本語版のバージョンは、英語版より古い場合があります。

1. アイソレーション デザイン フロー ウェブサイト japan.xilinx.com/idf
2. 『Vivado アイソレーション検証 (Tcl ベース) ユーザー ガイド』(UG1290: [英語版](#)、[日本語版](#))
3. 『フォールトトレラントシステム開発用のアイソレーション デザイン フロー』([WP412](#))
4. 『Vivado Design Suite Tcl コマンド リファレンス ガイド』(UG835: [英語版](#)、[日本語版](#))
5. 『Vivado Design Suite ユーザー ガイド: 制約の使用』(UG903: [英語版](#)、[日本語版](#))
6. 『Vivado Design Suite ユーザー ガイド: 階層デザイン』(UG905: [英語版](#)、[日本語版](#))
7. 『Vivado Design Suite チュートリアル: 階層デザイン』([UG946](#))
8. 『ザイリンクス 7 シリーズ FPGA または Zynq-7000 SoC 用アイソレーション デザイン フロー (Vivado ツール)』([XAPP1222](#))
9. 『Zynq-7000 SoC ZC702 アイソレーション デザイン フロー演習 (Vivado Design Suite 2015.2)』([XAPP1256](#))
10. 『Vivado Design Suite ユーザー ガイド: Vivado IDE の使用』(UG893: [英語版](#)、[日本語版](#))
11. 『ザイリンクス UltraScale+ 用アイソレーション デザイン フロー (Vivado ツール)』([XAPP1335](#))
12. 『UltraScale+ アイソレーション デザイン フロー演習 (Vivado Design Suite 2018.2)』([XAPP1336](#))

お読みください: 重要な法的通知

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとし、また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品(製品番号に「XA」が含まれる)は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能(「セーフティ設計」)がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション(「セーフティアプリケーション」)における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとし、セーフティ設計なしにセーフティアプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとし、

© Copyright 2018 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの保有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。