

ISE Design Suite 13 : リリース ノート ガイド

UG631 (v 13.1) 2011 年 3 月 1 日



Xilinx is disclosing this user guide, manual, release note, and/or specification (the "Documentation") to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU "AS-IS" WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© Copyright 1995 - 2011. Xilinx, Inc. XILINX, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v 13.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

改定履歴

次の表に、この文書の改定履歴を示します。

日付	バージョン	改定内容
2011 年 3 月 1 日	13.1	13.1 リリース用にアップデート。「ダウンロードおよびインストール」と「ライセンスの取得と管理」の章は、『ISE Design Suite 13 : インストールおよびライセンス ガイド』(iil.pdf) に移動しました。

このマニュアルについて

このマニュアルでは、ザイリンクスの ISE (Integrated Software Environment) ソフトウェア、ChipScope Pro™ ソフトウェア、エンベデッド ツール (エンベデッド 開発キット (EDK) およびスタンドアロンのソフトウェア開発キット (SDK)、System Generator for DSP、PlanAhead™ などを含む ISE® Design Suite 13 のリリース情報、およびザイリンクス®のオンライン マニュアルの使用方法について説明します。

また、ISE Design Suite 13 のテクニカル サポートおよび既知の問題についても説明します。

ISE Design Suite 13 のダウンロード、インストール、ライセンス取得方法については、『[ISE Design Suite 13 : インストールおよびライセンス ガイド](#)』(iil.pdf) を参照してください。

マニュアルの内容

このマニュアルには、次の章が含まれます。

- [第 1 章 「13.1 リリースの新機能」](#)
- [第 2 章 「重要なリリース情報」](#)
- [第 3 章 「アーキテクチャ サポートおよびシステム要件」](#)
- [第 4 章 「テクニカル サポート、サービス、関連文書」](#)
- [第 5 章 「その他のリソース」](#)

目次

改定履歴.....	3
このマニュアルについて	
マニュアルの内容	5
第 1 章：13.1 リリースの新機能	
オンラインからの新機能情報入手.....	10
ザイリンクス ISE Design Suite 13.1 の新機能.....	10
ISE Design Suite のハイライト	10
新規デバイス サポート.....	10
ロジック デザイン ツールの新機能	10
Project Navigator.....	10
PlanAhead	11
FPGA Editor	13
iMPACT	13
ChipScope Pro.....	13
ISE Simulator.....	13
エンベデッド ツールの新機能	14
EDK 全体.....	14
XPS	14
SDK.....	15
Project Navigator と EDK の統合性.....	15
MicroBlaze ソフト プロセッサ.....	16
エンベデッド IP.....	16
DSP ツールの新機能	16
System Generator for DSP.....	16
CORE Generator および IP の新機能	17
新規 IP コア.....	17
AXI4 インターフェイスをサポートするその他の IP	18
CORE Generator	18
PlanAhead IP デザイン フロー	18
第 2 章：重要なリリース情報	
重要な 13.1 リリース情報	19
既知の問題	19
13.1 ソフトウェアおよび IP の変更点	19
PlanAhead	19
GUI を改善：メイン メニューの改善	19
RTL デザイン機能を追加および修正	21
ピン配置を変更	22
[Netlist] ビューへの追加と修正点.....	22
[Source] ビューの改善.....	22
デザイン ルール チェックを向上および新規チェックを追加.....	23
インプリメンテーションおよび解析の改善	23
ISim	24
XPS.....	24
SDK	25
Project Navigator と EDK の統合	25
エンベデッド IP	25
System Generator for DSP.....	25
ブラック ボックスの VHDL ライブラリ サポート.....	25

パフォーマンスの向上	25
MATLAB サポート	26
新規ブロック	26
System Generator for DSP (前バージョン) のリリース ノート	26
第 3 章 : アーキテクチャ サポートおよびシステム要件	
オペレーティング システム	27
Microsoft Windows	27
Linux サポート	28
アーキテクチャ	29
互換性のあるサードパーティ ツール	31
システム要件	31
システム メモリ要件	32
メモリ要件の表	32
OS と使用可能なメモリ	33
ケーブル インストール要件	34
装置とアクセス権	36
ネットワーク時刻の同期化	36
ChipScope Pro Analyzer	36
ケーブル インストール要件	36
システム メモリ要件	36
System Generator for DSP のシステム要件	37
推奨ハードウェア	37
OS とソフトウェア要件	37
第 4 章 : テクニカル サポート、サービス、関連文書	
テクニカル サポート	39
トレーニング サービス	39
マニュアル	40
オンライン ヘルプ	40
ソフトウェア マニュアル	40
ユーザー チュートリアル	40
ソフトウェア メッセージ	40
第 5 章 : その他のリソース	
アンサー データベース	41
その他のマニュアル	41
サードパーティのライセンス	41

13.1 リリースの新機能

この章では、ザイリンクス ISE® Design Suite 13 ソフトウェア リリースの新機能について説明します。含まれるセクションは、次のとおりです。

ISE Design Suite のハイライト

新規デバイス サポート

ロジック デザイン ツールの新機能

- [Project Navigator](#)
- [PlanAhead](#)
- [FPGA Editor](#)
- [iMPACT](#)
- [ChipScope Pro](#)
- [ISE Simulator](#)

エンベデッド ツールの新機能

- [EDK 全体](#)
- [XPS](#)
- [SDK](#)
- [Project Navigator と EDK の統合性](#)
- [MicroBlaze ソフト プロセッサ](#)
- [エンベデッド IP](#)

DSP ツールの新機能

- [System Generator for DSP](#)

CORE Generator および IP の新機能

- [新規 IP コア](#)
- [AXI4 インターフェイスをサポートするその他の IP](#)
- [CORE Generator](#)
- [PlanAhead IP デザイン フロー](#)

オンラインからの新機能情報入手

これと同じ新機能の情報は、次のオンライン サイトからも入手できます。

http://japan.xilinx.com/support/documentation/sw_manuals/xilinx13_1/whatsnew.htm

本書およびその他のマニュアルへのリンクは、Windows 環境で [スタート] → [すべてのプログラム] → [Xilinx ISE Design Suite 13.1] → [マニュアル] → [ISE Design Suite 情報センタ] をクリックすると入手できます。

ザイリンクス ISE Design Suite 13.1 の新機能

ISE Design Suite のハイライト

チーム設計

ISim のハードウェア協調シミュレーションによりシミュレーションを 100 倍高速化

AXI4 ツールおよび IP サポートを製品ステータスに変更

プラグ アンド プレイ IP イニシアチブ

→ CORE Generator™ 2.0 を導入

→ IEEE P1735 バージョン 1 暗号化による相互運用性

Windows 7 Professional をサポート

新規デバイス サポート

13.1 リリースでは、次のデバイスが新たにサポートされています。

Kintex™-7

Virtex®-7 (7VX485T を含む)

ロジック デザイン ツールの新機能

ISE 13.1 のロジック デザイン ツールの新機能は次のとおりです。

Project Navigator

エンベデッド開発キット (EDK) の統合性

→ 複数の ELF ファイルおよび EDK デザインで参照される ELF ファイルの自動検出をサポート

→ ELF ファイルと XMP ファイルで定義された特定のプロセッサの関連性を制御可能

→ New Project Wizard、[New Project] ダイアログ ボックス、および [Design Properties] ダイアログ ボックスで評価用開発ボードを選択可能

→ インプリメンテーションを実行する前にハードウェア デザインをエクスポート可能

→ デザインをエクスポートした後にソフトウェア開発キット (SDK) を自動的に起動

プロジェクトの比較機能に新しいカテゴリを追加し、レイアウトを向上

SmartXplorer で消費電力ストラテジおよびカスタム ストラテジをサポート

CORE Generator でコアを最新バージョンにアップデートし、コアのすべてのバージョンをチェック可能

Project Navigator で新規 System Generator ソースを作成可能

Timing Analyzer で TWR レポートの表示をサポート

PlanAhead

ISim を統合

PlanAhead リリース 13 からは、ISim が統合され、デザインフローに組み込まれるようになりました。これにより、PlanAhead のユーザー インターフェイス内でデザインを開発および検証できるようになりました。PlanAhead では、新規プロジェクト ウィザードかソースを追加するダイアログボックスからシミュレーションのみのソースをプロジェクトに追加できるようになっています。ISim は Flow Navigator から起動できます。

ISim は、次の段階で起動できます。

RTL デザインのビヘイビア シミュレーション

インプリメンテーション後のタイミング シミュレーション

階層デザイン手法

PlanAhead 13 では、次の階層デザイン機能がサポートされます。

RTL プロジェクトのインクリメンタル XST フロー

ISim で作成したパーティションのある階層以外の階層にインポート可能

パーティション内にエリア グループを設定可能

合成およびインプリメンテーションでブラック ボックスをサポート

パーティション ポートの定数、未接続の入力および出力を境界で最適化

ネットリスト ベースのプロジェクトでデザインを保持するためパーティションを定義

チーム ベース デザインのサポート

PlanAhead 13 では、新しいチーム ベース デザイン手法のサポートが追加されています。チーム ベース デザインでは、複数のエンジニアが 1 つのモジュール レベルでインプリメントでき、同時に開発を進めることができます。フローでは、チーム リーダーがこれらのモジュール レベルの実行パターンを集められるようになっており、その際インポート中に維持される配置配線情報も制御できるようになっています。

詳細は、『[階層デザイン手法ガイド](#)』(UG748) および『[PlanAhead ユーザー ガイド](#)』の第 13 章「階層デザイン手法」を参照してください。

デザイン保持フローでの RTL サポート

PlanAhead 13 では、XST が使用されてパーティションの RTL 合成用にインクリメンタル コンパイル機能が追加されるようになり、デザイン保持フローがさらに拡張されています。デザイン保持フローを使用すると、次に実行を繰り返すときに保持するデザイン部分をマークできるので、インクリメンタル コンパイルが可能になります。前のリリースでは、デザイン保持は合成後のみサポートされていました。今リリースでは RTL レベルの制御が追加されたので、PlanAhead ユーザー インターフェイス内で合成からインプリメンテーションまでのデザイン フローでパーティションを制御しやすくなりました。

詳細は、『[階層デザイン手法ガイド](#)』(UG748) および『[PlanAhead ユーザー ガイド](#)』の第 13 章「階層デザイン手法」を参照してください。

パーシャル リコンフィギュレーション サポート

PlanAhead では、該当ライセンスを購入の方にのみパーシャル リコンフィギュレーションのインターフェイスが含まれます。

詳細は、[『パーシャルリコンフィギュレーション ユーザー ガイド』](#) (UG702) を参照してください。

Project Navigator の XISE プロジェクト ファイルのサポート

New Project ウィザードで XISE プロジェクト ファイルを指定することができるようになり、すべてのプロジェクト ソースを指定する必要がなくなりました。PlanAhead で XISE プロジェクト ファイルが解析され、CORE Generator コア、ブロック メモリ マップ (BMM) ファイルを含む RTL およびシミュレーション ソースが追加されます。また、XISE プロジェクト ファイルの設定に基づいて、合成ツールおよびインプリメンテーション ツールの実行オプションも検出され、デフォルト実行が設定されます。

プロジェクト管理機能

次のセクションでは、PlanAhead 13 プロジェクトの新機能および修正点について記述しています。PlanAhead 13 では、次が実行できます。

- Project Navigator からソースをインポート

- XST で適切にコンパイルされるようソース ファイルの順序を自動または手動で指定

- トップ モジュール名を自動的に検出

- HDL 内の ``include` 文のサポートを向上

- XST 合成の XCF 制約ファイルをサポート

- 未使用のソース ファイルを判別

- Run ディレクトリにソースをコピーせずに Run を起動可能

- プロジェクトをアーカイブ可能

- テキスト エディターのフォントをカスタマイズ可能

グラフィカル ユーザー インターフェイス

新規ユーザーおよび上級ユーザーの両方が効率的に使用できるようグラフィカル ユーザー インターフェイス (GUI) を向上

インターフェイスの左側の Flow Navigator を使用することにより、プロジェクト管理、RTL デザイン、ネットリスト デザイン、デザインのインプリメンテーション、デバイスのプログラムおよびデバッグまでをボタンをクリックするだけで実行可能。新たに ISim が統合され、ビヘイビア シミュレーションおよびタイミング シミュレーションを Flow Navigator から実行可能。情報ウィンドウを追加し、また Tcl コンソールおよびメッセージ ウィンドウを向上

その他の改善点

- GUI を改善

- RTL デザイン機能を追加および修正

- ChipScope 機能の追加

- ピン配置を変更

- デザイン ルール チェックを向上および新規チェックを追加

- インプリメンテーションを改善

[13.1 PlanAhead ビデオ チュートリアル](#)

次の新機能の詳細については、第 2 章「重要なリリース情報」の「PlanAhead」セクションを参照してください。

FPGA Editor

新しい [Lock Layers] ツールバー ボタンで現在のレイヤー表示設定をすべてのズーム レベルで固定

iMPACT

SPI/BPI プログラム サポート

- Numonyx P30 トップ ブートに加えボトム ブートをサポート
- Winbond W25Q を 128Mb までサポート
- Winbond W25Q の CV リビジョンのサポートを追加

ChipScope Pro

PlanAhead と XST 合成フローを使用した ChipScope™ Pro HDL (VHDL および Verilog) デバッグ プローブ

- HDL および XCF 制約ファイルでデバッグ ネットをマーク可能
- MARK_DEBUG 属性を使用すると、次のようになります。
 - ネットが保持される (最適化で削除されない)
 - PlanAhead の ChipScope ビューにネットが表示され、デバッグ コアに割り当て可能

PlanAhead と Synplify 合成フローを使用した ChipScope Pro HDL デバッグ プローブ

- HDL (VHDL および Verilog) または SDC でデバッグ ネットをマーク可能
- MARK_DEBUG 属性を使用すると、次のようになります。
 - ネットが保持される (最適化で削除されない)
 - PlanAhead の ChipScope ビューにネットが表示され、デバッグ コアに割り当て可能

Virtex-6 GTX および GTH 用の IBERT を PlanAhead と ChipScope フローで使用可能

→ Virtex-6 GTH の IBERT に低ライン レートおよび中ライン レートのサポートを追加
スタートアップ トリガー モード

- Project Navigator、Core Inserter、および Analyzer ツールを使用
- PlanAhead および Analyzer ツールを使用

IBERT スweep テスト プロット GUI

- Virtex®-6 FPGA GTX/GTH FPGA トランシーバーの IBERT スweep テスト結果をビルトイン ビューアーで表示
- Virtex-6 FPGA GTX/GTH、Spartan®-6 FPGA GTP、Virtex-5 FPGA GTX トランシーバーの IBERT スweep テスト結果をスタンドアロン ビューアーで表示

チュートリアル

- PlanAhead チュートリアル :ChipScope Pro を使用したデバッグ
- ChipScope IBERT基本 IBERT デザイン フロー

ISE Simulator

AXI BFM のシミュレーションをサポート

ISim GUI からシミュレーションを再起動可能

エンベデッド ツールの新機能

エンベデッド ツールおよび IP の新機能は次のとおりです。

EDK 全体

Project Navigator、Xilinx Platform Studio (XPS)、および SDK でワークスペース選択の動作を統一

TDP デバイス ベースのライセンスをサポート

XPS

Base System Builder

- Spartan-6、Virtex-6、7 シリーズ デザインで AXI システムをデフォルトに設定。Base System Builder では 7 シリーズ デザインでのみ AXI システムがサポートされています。
- 共有バス インターコネクトを低周波数パシフェラル バスに使用し、デザイン サイズを削減
- 共有バス インターコネクトを低周波数パシフェラル バスに使用し、デザイン サイズを削減

System Assembly View (SAV)

- デザイン ルール チェック (DRC) をどの時点でも実行可能
- SAV に AXI IP を追加したときに、バス、クロック、リセットの接続およびアドレス生成を自動的に完了
- AXI MicroBlaze プロセッサ インスタンスを追加したときにインターコネクト、DRAM メモリとキャッシュ、デバッグ接続、クロック、および LMB BRAM の接続を自動的に完了
- SAV で IP の順序を変更可能
- 複数プロセッサ システムの場合、SAV でプロセッサ システム インスタンスをフィルター可能

その他の XPS の変更点

- XPS からソフトウェア開発ツールを削除
- XPS からソフトウェア プロジェクトを削除
- メイン ツールバーを整理し、ボタンの数を削減
- Create and Import Peripheral (CIP) Wizard で AXI4 および AXI4-Lite スレーブ パシフェラルの作成をサポート
- AXI BFM プロジェクトの生成を CIP ウィザードに追加 **メモ** : AXI BFM のライセンスは、別途に購入する必要があります。
- インプリメンテーションまたはシミュレーションに ELF ファイルを指定可能となり、Project Navigator との同期化も保持
- デバッグ ウィザードで AXI ベース デザインに AXI モニターおよびハードウェア/ソフトウェア協調デバッグの追加をサポート
- XPS デザインが Project Navigator プロジェクトのサブモジュールである場合、シミュレーションは Project Navigator でのみ実行可能

- デザインを SDK にエクスポートした場合に、SDK ワークスペースは自動的に設定されない

SDK

Eclipse 3.6 および CDT 7.0 Helios リリースにアップデート

- ユーザー インターフェイスを保持しながら機能をアップデートし、安定性を向上
- コンソール ログをファイルに保存可能

Cygwin は不要 (ソフトウェアに含まれない)

- Cygwin なしで MicroBlaze および PowerPC の GNU ツールチェーンを構築可能
- 一般的な UNIX/Linux 機能に対して GnuWin32 ユーティリティを提供

使いやすさを向上

- ELF のみのデバッグ
- 起動管理
- フロー チェック (BSP の削除およびハードウェアの変更の検出を含む)
- ヒント、文脈依存ヘルプ、プリファレンス設定など、ユーザー支援機能を向上
- リビジョン管理を使用した場合にソフトウェア リポジトリ情報を保存することによりセットアップを最小限に
- フラッシュ読み出しのみの領域の動作の自動化

XMD で 7 シリーズを初期サポート

TDP デバイス ベースのライセンスをサポート

Project Navigator と EDK の統合性

XMP ファイルのプロセッサ インスタンスを認識

- 以前のバージョンでは 1 つのプロセッサと想定
 - ELF ファイルと XMP ファイルで定義された特定のプロセッサの関連性を制御可能
- インプリメンテーションとシミュレーションに異なる ELF ソースを使用可能
- ELF ファイルをプロセッサ インスタンスごとに割り当て可能
 - EDK デザインで参照される ELF ファイルを自動検出

インプリメンテーションを実行する前に [Export Hardware Design to SDK without Bitstream] プロセスを使用してハードウェア デザインをエクスポート可能

デザインをエクスポートした後にソフトウェア開発キット (SDK) を自動的に起動 (オプション)

- SDK のワークスペースの動作を XPS およびスタンドアロン SDK と統一

Project Navigator の New Project Wizard、[New Project] ダイアログ ボックス、および [Design Properties] ダイアログ ボックスで評価用開発ボードを選択可能

MicroBlaze ソフト プロセッサ

- 新しいバージョン : v8.10.a
- Kintex-7 および Virtex-7 デバイスをサポート
- AXI を 7 シリーズ デザインのデフォルト インターフェイスに設定
- MicroBlaze Configuration Wizard でフォールト トレラント機能をサポート
- MicroBlaze に接続されている LMB BRAM メモリにエラー訂正コード (ECC) を追加
- MicroBlaze のキャッシュおよび MMU メモリにパリティ保護を追加

次の命令を追加

- CLZ (Count Leading Zeros)
- MBAR (Memory Barrier)

スタック オーバーフローおよびアンダーフローを検出

新しいパラメーターによりユーザー モードで AXI4-Stream および FSL 命令を使用可能

エンベデッド IP

新規 エンベデッド IP

- AXI 7-Series DDRx
- AXI External Peripheral Controller
- AXI to AHBLite Bridge
- AXI Master Lite IP Interface (IPIF)

CORE Generator から使用可能なエンベデッド IP

- CORE Generator AXI VDMA

DSP ツールの新機能

System Generator for DSP および DSP IP の新機能は、次のとおりです。

System Generator for DSP

MATLAB/Simulink 2011a をサポート

すべての System Generator ブロックで Kintex-7 および Virtex-7 デバイスをサポート

新しいブロック

- 7 Series DSP48E1、Complex Multiply 5.0、DSP48 Macro 2.1、FIR Compiler 6.2、および VDMA Interface 3.0

System Generator で AXI PCore およびハードウェア協調シミュレーションをサポート

新しい文脈依存メニューによりブロックの追加および接続をスピードアップ (ベータ)。この機能の詳細は、[『System Generator for DSP Reference Guide』](#) を参照してください。

ハードウェア インターフェイス ドキュメントを自動的に作成可能。この機能の詳細は、[『System Generator for DSP Reference Guide』](#) を参照してください。

System Generator IP

- Floating-point Operator、CORDIC、Divider Generator、CIC Compiler、DSP48 Macro、Multiply-Add、および Mutiply-Accumulate

CORE Generator および IP の新機能

CORE Generator ソフトウェアおよび IP コアの新機能は、次のとおりです。

Virtex-7 および Kintex-7 をサポートする CORE Generator IP を提供

新規 IP コア

オーディオ、ビデオ、および画像処理 IP

→ [Object Segmentation v1.0](#) (AXI4-Lite)

- Image Characterization LogiCORE IP と共に使用し、統計データをオブジェクト特性のユーザー定義セットを満たすオブジェクトのリストに変換します。

→ [AXI Video Direct Memory Access v1.0](#) (AXI4、AXI4-Stream、AXI4-Lite)

- 外部メモリからのビデオ フレーム ストアを制御および同期化する柔軟なインターフェイスを提供します。異なるクロック ドメインからの複数の VDMA を連結し、複数のソースからのフレーム ストア読み出し/書き込みを制御できます。

通信 DSP 機能ブロック

→ [Linear Algebra Toolkit v1.0](#) (AXI4-Stream)

- 基本的なマトリックス演算 (マトリックス同士の加算、減算、乗算、およびマトリックスとスカラーの乗算) をインプリメントします。
- さまざまな信号およびデータ処理アプリケーションの複素合成関数を開発するために最適化された柔軟な機能ブロックです。

FPGA の機能およびサポート

→ [7 Series FPGA Transceivers Wizard v1.3](#)

- 1 つまたは複数の Virtex-7 および Kintex-7 FPGA GTX トランシーバーを最初から、業界標準のテンプレートを使用して、あるいはカスタム Verilog または VHDL ラッパーを使用してコンフィギュレーションします。
- シミュレーションおよびハードウェアでのトランシーバーの動作を検証するためサンプルデザイン、テストベンチ、スクリプトも生成します。

→ [XADC Wizard v1.2](#)

- ユーザー指定のチャンネルおよびアラーム用に 1 つの 7 シリーズ FPGA XADC プリミティブをコンフィギュレーションする HDL ラッパーを生成します。

標準バス インターフェイスおよび I/O

→ [7-Series Integrated Block for PCI Express \(PCIe\) v1.0](#) (AXI4-Stream)

- 1 レーン、2 レーン、4 レーン、または 8 レーン コンフィギュレーションをインプリメントします。7 Series Integrated Hard IP Block for PCI Express を使用し、PCI Express Base Specification v2.1 に準拠した PCI Express エンドポイントまたはルート ポートを柔軟にインプリメントします。
- PCI Express 用の LogiCORE IP には、高パフォーマンス AXI インターフェイス、高バンド幅アプリケーション用のバッファ、BAR チェックおよびフィルター処理などの機能があります。

ワイヤレス IP

→ [Triple Rate SDI v1.0](#) (AXI4-Stream)

- SMPTE SD-SDI、HD-SDI、および 3G-SDI 規格用のレシーバーおよびトランスミッター インターフェイスを提供します。

- トリプル レート SDI レシーバーおよびトランスミッターは暗号化されていないソースコード (Verilog および VHDL) で提供されており、アプリケーションの要件に応じて完全にカスタマイズできます。
- [3GPP LTE PUCCH Receiver v1.0 \(AXI4-Stream\)](#)
- 3GPP TS 36.211 v9.0.0 物理チャンネルと変調仕様 (リリース 9) 用の LTE Physical Uplink Control Channel Receiver ブロックを提供します。
 - チャンネル予測、復調、デコードをサポート

AXI4 インターフェイスをサポートするその他の IP

CORE Generator IP の最新バージョンは、AXI4 インターフェイスを製品サポートしています。サポートの詳細は、japan.xilinx.com/ipcenter/axi4_ip.htm を参照してください。

通常 AXI4 インターフェイスは、Virtex-6 および Spartan-6 デバイス ファミリの最新版の IP でサポートされます。これまでの製品版の IP では、Virtex-6、Spartan-6、Virtex-5、Virtex-4、および Spartan-3 デバイス ファミリーでレガシ インターフェイスがサポートされます。

ザイリンクスの AXI4 サポートに関する一般的な情報は、<http://japan.xilinx.com/ipcenter/axi4.htm> を参照してください。

→ このリリースでアップデートされたコアのリストは、http://japan.xilinx.com/ipcenter/coregen/13_1_datasheets.htm を参照してください。

このリリースの LogiCORE IP の詳細は、http://japan.xilinx.com/ipcenter/coregen/updates_13_1.htm を参照してください。

CORE Generator

ザイリンクスおよび Alliance IP 用に IP-XACT ベースの IP リポジトリをサポート。既存の CORE Generator、PlanAhead、および Project Navigator フローでは変更は不要です。

リポジトリおよび IP 管理機能を実行する [Manage IP] メニューを追加

[IP Catalog] パネルで AXI4 IP に対して各 AXI4 インターフェイス (AXI4、AXI4-Stream、および AXI4-Lite) のサポート情報を個別の列で表示

IP シンボルの個々のポートを AXI4 チャンネルでグループ化して表示を簡略化

PlanAhead IP デザイン フロー

ザイリンクスおよび Alliance IP 用に IP-XACT ベースの IP リポジトリをサポート。既存の PlanAhead IP フローでは変更は不要です。

[IP Catalog] パネルで AXI4 IP に対して各 AXI4 インターフェイス (AXI4、AXI4-Stream、および AXI4-Lite) のサポート情報を個別の列で表示

IP の自動アップデート フローを追加

重要なリリース情報

重要な 13.1 リリース情報

Kintex-7 および Virtex-7 のピン配置は、パッケージ ファイルが最終版ではないため、今後変更されます。ピン配置の変更により、今後のザイリンクス ソフトウェア リリースでインプリメンテーションをし直す必要のある可能性があります。

Kintex-7 および Virtex-7 デバイスのデフォルト IO は、今後のザイリンクス ソフトウェア リリースで変更される予定です。

今後のザイリンクス ソフトウェア リリースでは、XC7V1500T および XC7V2000T デバイスモデルが変更される予定です。これらのデバイスをターゲットとした 13.1 のインプリメンテーション デザイン ファイル (.ncd) は現時点では無効になっているので、あとでデザインをインプリメントし直す必要があります。

今後のザイリンクス ソフトウェア リリースでは、Kintex-7 および Virtex-7 GTX コンポーネント モデルが変更される予定です。これにより、各インスタンスごとに 7 シリーズ FPGA のトランシーバー ウィザードを実行し直す必要があります。

IBIS および HSPICE モデルは Kintex-7 および Virtex-7 デバイスにはまだ使用できません。

既知の問題

ISE Design Suite に関する既知の問題は、アンサー 39243 (<http://japan.xilinx.com/support/answers/39243.htm>) を参照してください。

PlanAhead に関する既知の問題は、アンサー 40512 (<http://japan.xilinx.com/support/answers/40512.htm>) を参照してください。

System Generator for DSP に関する既知の問題は、アンサー 29595 (<http://japan.xilinx.com/support/answers/29595.htm>) を参照してください。

13.1 ソフトウェアおよび IP の変更点

PlanAhead

GUI を改善：メイン メニューの改善

ワークスペース ビュー

PlanAhead のワークスペース ビューが自動選択されるようになりました。メイン ツールバーのドロップダウン リストからは、開いたプロジェクトに合ったビューが選択できます。ワークスペース ビューには、固定/解除、フロート、最小/最大化、復元などができるボタンが含まれるようになりました。

検索オプション

メイン メニューに検索テキスト ボックスが追加され、指定したテキストをすべてのメニュー オプションから検索できるようになりました。

エクスポート オプション

開いたデザインから **IBIS** モデルを抽出できる [File] → [Export] → [Export IBIS Model] という新しいオプションが追加されました。**IBIS (Input/Output Buffer Information Specification)** はデザイン解析に使用されます。**PlanAhead** からエクスポートされる **IBIS** モデルは **IBIS** パージョン 4.2 に準拠し、このスペックのデフォルトを使用しています。

クリック 1 つでインプリメンテーション可能

Flow Navigator の [Implementation] ボタンをクリックすると、RTL プロジェクトがある場合はまず合成を実行するかどうかを尋ねるダイアログ ボックスが表示され、合成実行パターン (Run) が最新の状態でない場合はそれを示すメッセージが表示されるようになりました。これにより、RTL のインプリメンテーションが 1 クリックでできるようになりました。この機能を使用するには、**PlanAhead** を GUI モードで起動している必要があります。実行途中でプロジェクトを閉じると、現在実行中の合成のみが完了し、インプリメンテーションは開始されません。

[Source] ビューの改善

PlanAhead リリース 13 では、ソース ファイル構造と編集用のビューが改善されています。

サードパーティのテキスト エディターのサポート

ソース コード ファイルを編集できるサードパーティのエディターを使用できるようになりました。

メッセージ マネージャー

新しい [Messages] ビューには、**PlanAhead** および **ISE** からのエラー、重要な警告、警告、情報などのメッセージがまとめられ、1 つのビューで表示できるようになっています。メッセージはソース コードとリンクされるので、エラーや警告に該当する部分を素早く見つけて解決することができます。

[Netlist] ビューへの追加と修正点

次のセクションでは、[Netlist] ビューへの追加と修正点について説明します。

[Clocking Resource] ビュー

新しい [Clock Resource] ビューでは、**FPGA** 内のクロック関連サイトと物理リソースを表示し、割り当てることができます。

コンポーネント スイッチ制限のフォルダ

TRCE からインポートされた [Timing Results] ビューに、コンポーネント ピンのスイッチ制限違反とセットアップ/ホールド違反が分類され、新しいフォルダができるようになりました。違反は分類され、制約内のワースト違反からリストされます。

スラック ヒストグラム レポートの改善

PlanAhead リリース 13 では、最も負の値から最も正の値までの範囲内のパスを集めたものを棒グラフで表示するスラック ヒストグラム機能を改善しました。

[Source] ビューの改善

PlanAhead リリース 13 では、次が改善されています。

デバイス リソースの詳細

PlanAhead の [Device] ビューに、スライスのピンや Virtex®-6 および Virtex-7 デバイスの BEL ピンといったデバイス リソースの詳細が含まれるようになり、完全に配置が終了すると、タイミング パスにピンのアノテーションが含まれるようになりました。

複数インスタンスのドラッグ アンド ドロップ

PlanAhead の [Device] ビューで複数のインスタンスを同時に動かせるようになりました。これにより、既にグループ内に配置されているインスタンスを移動でき、すべての位置制約を一緒に変換できます。

[Schematic] ビューの改善

PlanAhead では、回路図ビューで選択した 2 つのオブジェクト間のロジックをトレースできます。オブジェクトはどれでも選択できます。選択されると、PlanAhead の回路図内でそれらのオブジェクト間にあるロジック接続がすべてトレースおよび描画されます。

XPA の統合

PlanAhead リリース 13 からは Xilinx Power Analyzer (XPA) を起動して、インプリメント済みデザインの電力を解析できるようになりました。XPA を起動するには、インプリメント済みのデザインを開いて XPower Analyzer のアイコンをクリックします。

RTL デザイン機能を追加および修正

テキスト エディター オプション

PlanAhead リリース 13 では、コメントおよびキーワードのフォントをカスタマイズできるようになりました。また、サードパーティのテキスト エディターの統合がサポートされるようになったほか、ザイリンクス言語テンプレートも使用できるようになりました。詳細は、[『PlanAhead ユーザー ガイド』](#) の第 5 章「RTL デザイン」を参照してください。

IP カタログ

PlanAhead リリース 13 の IP カタログの改善点は、次のとおりです。

- CORE Generator™ の IP カタログで、古い廃止されたコアを現在サポートされるバージョンにアップグレードできるようになりました。
- また、GUI でほかの動作を妨げる IP 生成タスクをキャンセルできるようになりました。

ソース ファイルの制御

RTL デザインの最上位モジュールは自動的に認識されるほか、ユーザーが手動で定義することもできます。

コンパイルおよび合成用に自動または手動でソース ファイルを並び替えたり、最上位レベル モジュールの指定に従って RTL ソース ファイルを自動または手動でイネーブルまたはディスエーブルにできます。

消費電力予測

PlanAhead リリース 13 では、Virtex-5、Virtex-6、および Spartan-6 デバイス ファミリの消費電力を予測できます。

パーティション制御

PlanAhead リリース 13 では、XST を使用して合成で RTL レベルのパーティションを制御できます。

ピン配置を変更

次のセクションは、PlanAhead 13 のピン配置機能の変更点について説明します。

ビューの表示規則を変更

[Device] ビューおよび [Package] ビューで特定のレイヤーやオブジェクトを表示/非表示にできるようになり、レイヤーの色やピンの形の基準も変更されています。

スプレッドシート表示の [Package Pins] ビューでは、ピンを操作しやすいように、編集、並び替え、平坦化、フィルタできます。

代替パーツの定義

PlanAhead 13 では、デザインに対して代替パーツを定義できるようになりました (Virtex-5、Virtex-6、および Spartan-6 デバイスのみ)。ただし、Spartan-6 LX25 および LX25T デバイスは例外です。詳細は、アンサー #34885 を参照してください。

新規ピン割り当てとバンク規則

新規ピン割り当てとバンク規則については、『[PlanAhead ユーザーガイド](#)』の付録 B 「DRC」を参照してください。これには、Virtex-6 以降のデバイスの VCCaux レポートが含まれます。

エクスポートされる UCF への IOSTANDARD の記述

[File] → [Export] → [Export I/O Ports] をクリックすると、すべての IOSTANDARD 制約をエクスポートされる UCF ファイルに書き出すことができるようになりました。

[Netlist] ビューへの追加と修正点

次のセクションでは、[Netlist] ビューへの追加と修正点について説明します。

コンポーネント スイッチ制限のフォルダ

TRCE からインポートされた [Timing Results] ビューに、コンポーネント ピンのスイッチ制限違反とセットアップ/ホールド違反が分類され、新しいフォルダができるようになりました。違反は分類され、制約内のワースト違反からリストされます。

スラック ヒストグラム レポートの改善

PlanAhead リリース 13 では、最も負の値から最も正の値までの範囲内のパスを集めたものを棒グラフで表示するスラック ヒストグラム機能を改善しました。

[Source] ビューの改善

PlanAhead リリース 13 では、次が改善されています。

デバイス リソースの詳細

PlanAhead の [Device] ビューに、スライスのピンや Virtex®-6 および Virtex-7 デバイスの BEL ピンといったデバイス リソースの詳細が含まれるようになり、タイミング パスには、完全に配置が終了した時点でピンのアノテーションが含まれるようになりました。

複数インスタンスのドラッグ アンド ドロップ

PlanAhead の [Device] ビューで複数のインスタンスを同時に動かせるようになりました。

[Schematic] ビューの改善

PlanAhead では、回路図ビューで選択した 2 つのオブジェクト間のロジックをトレースできません。

デザイン ルール チェックを向上および新規チェックを追加

次は PlanAhead 13 で新しく追加された、または変更されたデザイン ルール チェック (DRC) です。

属性 DRC

- AVAL - 無効な属性値をチェック
- ADEF - 定義されていない属性値をチェック

バンク DCI カスケード DRC

- DCICIOSTD - DCI カスケード制約が有効かどうかをチェック

バンク I/O 規格 DRC

- VCCAUX2 - LVPECL_33 および TMDS_33 の要件について警告

ChipScope DRC

- CSUC - 接続されていないチャンネルをチェック
- CSCL - クロック エレメントにクロックを供給するクリック以外のネットがないかどうかをチェック
- CSBR - デバイスのブロック RAM リソースが超過していないかどうかをチェック

DSP48 DRC

- DPCA - DSP48 カスケードをチェック
- DPREG - DSP48 非同期フィードバックをチェック

FIFO DRC

- FSYN - 同期 FIFO をチェック

IOB DRC

- OPCSLR - モノリシック デバイスとマルチダイ デバイス間のパーツの互換性をチェック

配置 DRC

- PLCR - クロック領域に対する配置制約をチェック
- PLCK - クロックが有効な位置に配置されているかどうかをチェック
- PLDL - I/O の配置制約をチェック
- PLVP - 有効な LOC 配置をチェック

RAMB DRC

- RAMB - READ_FIRST モードのクロック制限をチェック

必須ピン DRC

- REQ - 接続されていない必須ピンがないかどうかをチェック

インプリメンテーションおよび解析の改善

PlanAhead 13 のインプリメンテーションおよび解析で改善された点は次のとおりです。

インプリメンテーションの改善

インプリメンテーションでは、次の点が改善されています。

- インプリメンテーション run のファイル順序を簡単に変更可能
- 指定 UCF ファイルへ run 別に制約を保存可能

デザインをインプリメントすると、その run 専用の UCF から制約が自動的に読み込まれ、保存されます。

•解析の改善

PlanAhead リリース 13 では、クロック パスとタイミング パスがより見やすくなりました。

階層デザイン手法

→ チーム ベース デザインのサポート

PlanAhead 13 では、新しいチーム ベース デザイン手法のサポートが追加されています。チーム ベース デザインでは、複数のエンジニアが 1 つのモジュール レベルでインプリメントでき、同時に開発を進めることができます。フローでは、チーム リーダーがこれらのモジュール レベルの実行パターンを集められるようになっており、その際インポート中に維持される配置配線情報も制御できるようになっています。

詳細は、『[階層デザイン手法ガイド](#)』(UG748) および『[PlanAhead ユーザー ガイド](#)』の第 13 章「階層デザイン手法」を参照してください。

パーティションのリコンフィギュレーション サポート

→ PlanAhead では、該当ライセンスを購入の方にのみパーシャル リコンフィギュレーションのインターフェイスが含まれます。

詳細は、『[パーシャルリコンフィギュレーション ユーザー ガイド](#)』(UG702) を参照してください。

ISim

リコンパイルとシミュレーションの再起動

→ ISim の GUI 内でファイルを編集し、リコンパイルし、シミュレーションを再起動できるようになりました。

ハードウェア協調シミュレーションへのアクセス権

- カスタマのアクセス制限が解除され、
- 追加ライセンスが必要なくなりました。

デザイン環境の統合

→ ISim が PlanAhead および Project Navigator から起動できるようになりました。

ISim ユーザー ガイドの改善

- ハードウェア協調シミュレーションに関する新しいセクションを追加しました。
- Tcl コマンドの章も変更されています。

XPS

XPS からソフトウェア開発ツールを削除

AXI ベースの MicroBlaze デザインは常に命令キャッシュとデータ キャッシュを使用して構築

メイン ツールバーを整理し、ボタンの数を削減

Create and Import Peripheral (CIP) Wizard で AXI4 および AXI4-Lite スレーブ ペリフェラルの作成をサポート

AXI BFM プロジェクトの生成を CIP ウィザードに追加

インプリメンテーションまたはシミュレーションに ELF ファイルを指定可能となり、Project Navigator との同期化も保持

デバッグ ウィザードで AXI ベース デザインに AXI モニターおよびハードウェア/ソフトウェア協調デバッグの追加をサポート

XPS デザインが Project Navigator プロジェクトのサブモジュールである場合、シミュレーションは Project Navigator でのみ実行可能

デザインを SDK にエクスポートした場合に、SDK ワークスペースは自動的に設定されない

SDK

Cygwin は不要

→ カスタム メイクファイルで Windows 形式のパスを使用

→ xbash を削除

MicroBlaze v8.10a をサポート

XMDStub のサポートを削除

Project Navigator と EDK の統合

Project Navigator で最上位レベルのソースとしての XMP ファイルのサポートを削除

最上位レベルの HDL を追加する新規メッセージにより、矛盾のない制約処理が可能

エンベデッド IP

複数の既存コアをアップデート

→ 詳細は各変更ログおよびデータシートを参照

AXI の改善

→ AXI BRAM コントローラ – Microblaze ECC ブロック RAM をサポート

→ AXI インターコネクト – 共通バス モード

→ パーティションされたクロック ドメイン – AXI VDMA、AXI CDMA、AXI DMA.

→ AXI イーサネット – フル チェックサム オフロード

System Generator for DSP

ブラック ボックスの VHDL ライブラリ サポート

この新しいブラック ボックス機能により、定義済みライブラリの依存関係を記述した VHDL モジュールをインポートできるようになりました。たとえば、類似していても独立しているサブモジュールは、work 以外の別々のライブラリにコンパイルできるようになりました。この機能の使用方法の詳細な例は、「ブラック ボックスの VHDL ライブラリ サポート」というオンライン ヘルプトピックを参照してください。

パフォーマンスの向上

- 42 倍のスピードアップとなる AXI FFT の高速シミュレーション モデルをサポート
- モデルの最初の初期化を 33% 改善
- シミュレーション速度を 2 ~ 3 倍改善

MATLAB サポート

- MATLAB 2010a および 2010b を完全にサポート
- MATLAB 2011a をベータ サポート
- MATLAB のインストール ディレクトリのパス名は、C:\MATLAB\R2010a のように、スペースを含まない名前を使用する必要があります。
- Gateway Out ブロックに 53 ビットを超える出力がある場合は Fixed-Point Toolbox が必要です。ザイリンクスの Gateway In および Gateway Out ブロックへの内部信号は Fixed-Point Toolbox がなくても 53 ビットより大きくできます。
- Linux の場合、MATLAB 2010a には、Red Hat Enterprise Desktop 5.2、32-ビット/64-ビットの OS が必要です。Red Hat Enterprise Linux WS v4.7 とは互換性がありません。

新規ブロック

Complex Multiply 5.0

このブロックは、ユーザー指定のオプションに従って AXI4-Stream 準拠の高パフォーマンスの最適化済みの複素乗算器をインプリメントするザイリンクス LogiCORE™ IP Complex Multiplier に基づいています。

DSP48 Macro 2.1

ザイリンクス LogiCORE™ DSP48 マクロは、XtremeDSP™ スライスを抽象化した使いやすいインターフェイスを提供するブロックで、ユーザー定義の演算式のセットを使用して複数の演算指定を可能にすることで、ダイナミックな演算を単純化します。このバージョンからは、XtremeDSP スライス内のレジスタのリセットおよびクロック イネーブルを制御する機能が追加されています。

DSP48E1

ザイリンクス DSP48E1 は、Virtex®-6 デバイスを使用する DSP アプリケーション用の効率的な構築ブロックで、前置加算へのアクセスやシリコン内のレジスタの制御に使用されます。

FIR Compiler 6.2

このブロックは、ユーザー指定のオプションに従って AXI4-Stream 準拠の高パフォーマンスの最適化済みの複素乗算器をインプリメントするザイリンクス LogiCORE™ IP FIR Compiler v6.2 に基づいています。

VDMA Interface 3.0 (ベータ)

このブロックは、AXI Video Direct Memory Access (AXI VDMA) コアに基づいており、外部 DDR メモリと AXI4-Stream インターフェイス間のバンド幅の広いダイレクト メモリ アクセスを提供するザイリンクスのソフト IP コアです。初期化、ステータス、および管理レジスタには、MCode ブロックを使用してコンフィギュレーションされる AXI4-Lite スレーブ インターフェイスを介してアクセスできます。また、System Generator デザインと外部 DDR メモリを接続しやすくするのに必要なロジックを生成するために、MATLAB ユーティリティが含まれます。

System Generator for DSP (前バージョン) のリリース ノート

前バージョンの System Generator for DSP リリース ノートについては、『System Generator for DSP Getting Started Guide』(v 12.4) の第 3 章を参照してください。このガイドは、次の URL から入手できます。

http://japan.xilinx.com/support/documentation/dt_sysgendsp_sysgen12-4.htm

アーキテクチャ サポート およびシステム要件

この章では、ISE® Design Suite 13 でサポートされる OS およびアーキテクチャのほか、ISE Design Suite 13 のシステム要件について説明します。この章は次のセクションで構成されています。

- 「オペレーティング システム」
- 「アーキテクチャ」
- 「互換性のあるサードパーティ ツール」
- 「システム要件」

オペレーティング システム

ISE Design Suite 13 でサポートされる OS は、Microsoft® Windows、Red Hat® Enterprise Linux、SUSE Linux Enterprise です。

Microsoft Windows

次の表は、Microsoft Windows のサポートについて示しています。

表 3-1 : Microsoft Windows サポート (英語版/日本語版)

製品	Windows 7 Professional (32 & 64 ビット)	XP Professional (32 & 64 ビット)
デザイン入力およびインプリメンテーション ツール (ISE Design Suite Logic Edition 13)	○	○
ISim	○	○
ISE WebPACK™	○	○
ChipScope™ Pro および ChipScope Pro Serial I/O ツールキット	○	○
エンベデッド開発キット (EDK)	○	○
System Generator for DSP	○	○

Linux サポート

次の表は、Linux のサポートについて示しています。

表 3-2 : Linux サポート

製品	Red Hat Enterprise 4 ワークステーション (32 & 64 ビット)	Red Hat Enterprise 5 ワークステーション (32 & 64 ビット)	SUSE Linux Enterprise 11 (32 & 64 ビット)
デザイン入力およびインプリメンテーション ツール (ISE Design Suite 13)	○	○	○
ISim	○	○	○
ISE WebPACK	○	○	○
ChipScope Pro および ChipScope Pro Serial I/O ツールキット	○	○	○
エンベデッド開発キット (EDK)	○	○	○
System Generator for DSP	○	○	○

アーキテクチャ

ISE Design Suite 13 では、Virtex[®] デバイス、Spartan[®] デバイスおよび CPLD デバイス アーキテクチャファミリがサポートされます。次の表は、アーキテクチャのサポートについて示しています。

表 3-3 : アーキテクチャ サポート

	ISE WebPACK	ISE Design Suite (Logic Edition、Embedded Edition、 DSP Edition、System Edition)
Virtex シリーズ	Virtex-4 デバイス : LX : XC4VLX15、XC4VLX25 SX : XC4VSX25 FX : XC4VFX12 Virtex-5 デバイス : LX : XC5VLX30、XC5VLX50 LXT : XC5VLX20T、XC5VLX30T、 XC5VLX50T FXT : XC5VFX30T Virtex-6 デバイス : LXT : XC6VLX75T、XC6VLX75TL Virtex-7 デバイス : なし	Virtex-4 デバイス : LX : すべて SX : すべて FX : すべて Virtex-5 デバイス : LX : すべて LXT : すべて SXT : すべて TXT : すべて FXT : すべて メモ : エンベデッド開発キット (EDK) では Virtex-5 TXT はサポートされません。 Virtex-6 デバイス : LX/LXT : 低電力デバイス (L) も含む CXT : SXT すべて : 低電力デバイス (L) も 含む HXT : すべて メモ : エンベデッド開発キット (EDK) では Virtex-6 HXT はサポートされません。 Virtex-7 デバイス : すべて
Kintex シリーズ	Kintex-7 デバイス : XC7K30T/XC7K30TL XC7K70T/XC7K70TL XC7K160T/ XC7K160TL	Kintex-7 デバイス : すべて

表 3-3：アーキテクチャ サポート

	ISE WebPACK	ISE Design Suite (Logic Edition、Embedded Edition、 DSP Edition、System Edition)
Spartan シリーズ	Spartan-3 デバイス : XC3S50 - XC3S1500 Spartan-3A デバイス : すべて Spartan-3AN デバイス : すべて Spartan-3A DSP デバイス : XC3SD1800A Spartan-3E デバイス : すべて Spartan-3L デバイス : XC3S1000L、XC3S1500L XA* Spartan-3 デバイス : すべて XA* Spartan-3E デバイス : すべて XA* Spartan-3A デバイス : すべて XA* Spartan-3A DSP デバイス : XC3SD1800A Spartan-6 デバイス : LX :XC6SLX4(L)-XC6SLX75(L) LXT :XC6SLX25T、XC6SLX45T、 XC6SLX75T XA* Spartan-6 デバイス : すべて *ザイリンクス オートモーティブ	Spartan-3 デバイス : すべて Spartan-3A デバイス : すべて Spartan-3AN デバイス : すべて Spartan-3A DSP デバイス : すべて Spartan-3E デバイス : すべて Spartan-3L デバイス : すべて XA* Spartan-3 デバイス : すべて XA* Spartan-3E デバイス : すべて XA* Spartan-3A デバイス : すべて XA* Spartan-3A DSP デバイス : すべて Spartan-6 デバイス :LX/LXT : 低電力デバイス (L) も含む XA* Spartan-6 デバイス : すべて *ザイリンクス オートモーティブ
CoolRunner™ XPLA3 CoolRunner-II XA* CoolRunner-II *ザイリンクス オート モーティブ	すべて	すべて メモ : エンベデッド開発キット (EDK) では CPLD はサポートされません。
XC9500 シリーズ デバイス	すべて (9500XV ファミリ以外)	すべて (9500XV ファミリ以外) メモ : エンベデッド開発キット (EDK) では CPLD はサポートされません。

互換性のあるサードパーティ ツール

サードパーティ ツール	Red Hat Linux	Red-Hat Linux-64	SUSE Linux	Windows XP	Windows XP-64	Windows 7	Windows 7-64
シミュレーション							
Mentor Graphics ModelSim SE (6.6d)	√	√	√	√	√	√	√
Mentor Graphics ModelSim PE (6.6d)	なし	なし	なし	√	√	√	√
Mentor Graphics ModelSim DE (6.6d)	√	√	√	√	√	√	√
Mentor Questa (6.6d)	√	√	√	√	√	√	√
Cadence Incisive® Enterprise Simulator (IES) (10.2)	√	√	√	なし	なし	なし	なし
Synopsys VCS® および VCS MX (2010.06)	√	√	√	なし	なし	なし	なし
MathWorks MATLAB® (2009b、2010a)	√	√	√	√	√	√	√
MathWorks Simulink® with Fixed-Point Toolbox (2009b、2010a)	√	√	√	√	√	√	√
合成							
Synopsys Synplify®/Synplify Pro (E-2010.09)	√	√	√	√	√	√	√
Mentor Graphics Precision® RTL/Plus (2010a)	√	√	√	√	√	√	√
等価性チェック							
Cadence Encounter® Conformal® (9.1)	√	√	√	なし	なし	なし	なし

システム要件

このセクションでは、システム メモリ要件、ケーブル インストール、およびその他の要件について説明します。

システム メモリ要件

このセクションでは、ISE Design Suite 13 を使用するのに必要な RAM および仮想メモリについて説明します。次の表は、FPGA インプリメンテーション ソフトウェアを実行するコンピュータを注文または構築する際に参照してください。これらのガイドラインは、指定したデバイス サイズのピーク メモリ要件に基づいています。標準的なメモリ要件については、次を参照してください。

<http://japan.xilinx.com/ise/products/memory.htm>

メモリ要件の表

表 3-4 : ピーク メモリ要件 :32 ビット OS

メモリ :32 ビット OS	ファミリ	デバイス サイズ
2GB	Spartan-3	3S50 - 3S2000
	Spartan-6	6S4 - 6S45
	Virtex-4	4V12 - 4V25
	Virtex-5	5V20 - 5V50
	Kintex-7	7K30 - 7K70
4GB	Spartan-3	3S3400 - 3S5000
	Spartan-6	6S75 - 6S150
	Virtex-4	4V35 - 4V60
	Virtex-5	5V70 - 5V130
	Virtex-6	6V75
	Kintex-7	7K160

表 3-5 : ピーク メモリ要件 :64 ビット OS

メモリ :64 ビット OS	ファミリ	デバイス サイズ
2GB	Spartan-3	3S50 - 3S1400
	Spartan-6	6S4 - 6S16
	Virtex-4	4V12 - 4V25
	Kintex-7	7K30

表 3-5 : ピーク メモリ要件 :64 ビット OS

メモリ :64 ビット OS	ファミリ	デバイス サイズ
4GB	Spartan-3	3S1500 - 3S5000
	Spartan-6	6S45
	Virtex-4	4V20 - 4V60
	Virtex-5	5V20 - 5V110
	Virtex-6	6V75
	Kintex-7	7K70 - 7K160
8GB	Virtex-4	4V140 - 4V200
	Virtex-5	5V220 - 5V240
	Virtex-6	6V195 - 6V240
	Kintex-7	7K325
12GB	Virtex-5	5V330
	Virtex-6	6V315 - 6V365
	Kintex-7	7K410
	Virtex-7	7V450 - 7V485
16GB	Virtex-6	6V380 - 6V550
	Virtex-7	7V585 - 7V855
20GB	Virtex-6	6V565 - 6V760
	Virtex-7	7V865 - 7V870
24GB	Virtex-7	7V1500
32GB	Virtex-7	7V2000

OS と使用可能なメモリ

Microsoft Windows および Linux® OS のアーキテクチャ場合、ザイリンクス プログラムに使用できるメモリの最大容量に制限があり、大規模デバイスおよび複雑なデバイスを作成する際に問題となることがあります。ISE Design Suite 13 には最適化メモリが含まれており、ザイリンクス ソフトウェア用に RAM を増加できるようになっています。

Windows XP Professional 32 ビット

ザイリンクス アプリケーションでは、Windows 32 ビットでメモリ増加機能が取り入れられるようになっていますが、ユーザーの方でもより大規模なメモリを使用できるように Windows 設定を変更する必要があります。

標準の Windows では、ザイリンクスのプロセスに使用できる最大メモリ容量は 2GB ですが、Windows XP Professional の場合は、RAM を 3 GB まで増加できるようになっています。ISE にはこのオプションがビルトインされていますが、Windows XP OS にも修正を加えないと、メモリは拡張できません。拡張するには boot.ini ファイルの startup ラインの終わりに /3GB を追加する必要があります。

ザイリンクス アプリケーションで 3GB サポートを使用する前に、マイクロソフトのサポート技術情報 (<http://support.microsoft.com/?kbid=328269>) を参照してください。Windows XP サービスパック 1 にアップグレードし、/3GB オプションを使用する場合、マイクロソフトからのパッチをインストールしていないとマシンを再起動できません。詳細は、ザイリンクス アンサー #17905 を参照してください。

変更を加える前に、次を参照してください。

4GT RAM チューニングのアプリケーション使用については、マイクロソフトのサポート技術情報 Q17193 (<http://support.microsoft.com/default.aspx?scid=kb;en-us;Q171793>) を参照してください。

boot.ini ファイルの修正方法については、マイクロソフトのサポート技術情報 Q289022 (<http://support.microsoft.com/default.aspx?scid=kb;en-us;q289022>) を参照してください。

Linux

ISE Design Suite 13 では、Linux 32 ビットとメモリアロケーションの大きい Linux 64 の両方がサポートされます。Linux カーネルを変更すると、ザイリンクス アプリケーションで 3GB 以上のメモリを使用できるようになります。

32 ビットの Red Hat Enterprise Linux では、大規模メモリのカーネルを使用して各プロセスに 4GB 割り当てることができます。詳細については、次の Red Hat のサポートサイトを参照してください。<http://www.redhat.com/docs/manuals/enterprise/>

ISE では、メモリアロケーションの大きい 64 ビットの Red Hat Enterprise Linux もサポートされません。

ケーブルインストール要件

ザイリンクス® デザイン ツールでターゲット ハードウェアをプログラムおよびコンフィギュレーションするには、ハイパフォーマンスなケーブル、プラットフォーム ケーブル USB またはパラレル ケーブル IV が必要です。

Platform Cable USB II をインストールする場合は、少なくとも USB 1.1 ポートが必要になります。最適なパフォーマンスには、USB 2.0 ポートで Platform Cable USB II を使用することをお勧めします。

Parallel Cable IV をインストールするには、パラレル ポート コネクタとパラレル ポート通信がサポートされるシステムが必要です。

ケーブルは、Windows XP Professional、Windows 7 Professional、Redhat Linux Enterprise、SUSE Linux Enterprise 11 の 32 ビットおよび 64 ビットバージョンで公式にサポートされています。OS 別の注意点は、次を参照してください。

Linux すべて :Linux にケーブルドライバをインストールするには、ルート ディレクトリの権限が必要です。

SUSE Linux Enterprise 11 :Platform Cable USB II が正しく動作するためには、fxload ソフトウェアパッケージが必要です。fxload パッケージは SUSE Linux Enterprise 11 には自動的にインストールされないため、そのユーザーまたはシステム管理者がインストールしておく必要があります。

Linux LibUSB サポート :LibUSB パッケージに基づく Platform Cable USB II の暫定的なサポートは、ザイリンクスの Web サイトから入手できます。詳細については、[アンサー #25249](#) を参照してください。

ザイリンクス ケーブルに関するその他の情報は、次のマニュアルを参照してください。

[USB ケーブル インストール ガイド \(UG344\)](#)

[Platform Cable USB II データシート \(DS593\)](#)

[Parallel Cable IV データシート \(DS097\)](#)

装置とアクセス権

次の表は、関連装置、アクセス権、ネットワーク接続の条件を示しています。

表 3-6：装置とアクセス権の要件

項目	要件
ディレクトリのアクセス権	編集するデザイン ファイルが含まれるディレクトリすべての書き込み権が必要です。
モニタ	解像度 1024x768 ピクセル以上の 16 ビット カラー VGA をお勧めします。
ドライブ	ISE Design Suite には DVD-ROM (Web からのダウンロードではなく、DVD を請求してインストールする場合)、MXE には CD-ROM が必要です。
ポート	デバイスのプログラムには、ザイリンクス プログラム ケーブル用にパラレル ポート、USB ポートのいずれかが必要です。ポートの仕様については、ケーブルのマニュアルを参照してください。 メモ：ケーブル ドライバ ソフトウェアのインストールには、Windows XP Pro SP1 (またはそれ以降) または Windows 7 Professional が必要です。これらの OS を使用していない場合、ケーブルが正しく動作しないことがあります。

メモ：Exceed、ReflectionX、XWin32 のような X サーバー/リモート デスクトップ サーバーはサポートされません。

ネットワーク時刻の同期化

ソフトウェアがインストールされたコンピュータとは別のネットワーク コンピュータにユーザーのデザイン ファイルを保存する場合、どちらのコンピュータも同時刻に設定する必要があります。ソフトウェアのファンクションを最適にするため、時刻は定期的に合わせてください。

ChipScope Pro Analyzer

ケーブル インストール要件

Linux の場合、ルート ディレクトリの権限がないとケーブル ドライバをインストールできません。USB 2.0 ポート用に Platform Cable USB II をインストールする場合は、Windows XP SP2 以降を使用する必要があります。Platform Cable USB II は、ユーザー ハードウェアに接続されるハイパフォーマンスのダウンロード ケーブルで、ChipScope Pro Analyzer ツールを使用してデバイスのプログラム、コンフィギュレーション、デバッグを実行します。

システム メモリ要件

ChipScope Pro Analyzer には、1024MB のシステム メモリが必要です。ChipScope Pro Core Inserter ツールのメモリ要件は ISE と同じです。ISE のメモリ要件の詳細は、<http://japan.xilinx.com/ise/products/memory.htm> を参照してください。

System Generator for DSP のシステム要件

推奨ハードウェア

表 3-7 : System Generator for DSP の推奨ハードウェア

推奨	メモ
4.00 GB の RAM	なし
600 MB のハード ディスク容量	最低必要条件
ザイリンクス ハードウェア協調シミュレーションプラットフォーム	ハードウェア協調シミュレーションフローに必要

OS とソフトウェア要件

表 3-8 : System Generator for DSP の OS およびソフトウェア要件

要件	メモ
Windows XP Professional SP2、32 ビット/64 ビット または Windows 7 Professional SP1、32 ビット/64 ビット または Red Hat Linux 4u7、32 ビット & 64 ビット	なし
ザイリンクス ISE Design Suite 13.1	なし
MathWorks MATLAB バージョン 2010a または 2010b.MATLAB 2011a をベータ サポート	MATLAB 2010a には、Red Hat Enterprise Desktop 5.2、32-ビット/64-ビットの OS が必要です。Red Hat Enterprise Linux WS v4.7 とは互換性がありません。
MathWorks Simulink (Fixed-Point Toolbox 含む) バージョン 2010a または 2010bMathWorks Simulink with Fixed-Point Toolbox バージョン 2011a のベータ サポート	MATLAB のインストール ディレクトリのパス名には、C:\MATLAB\R2010a のように、スペースを含まない名前を使用する必要があります。 Gateway Out ブロックに 53 ビットを超える出力がある場合は Fixed-Point Toolbox が必要です。ザイリンクスの Gateway In および Gateway Out ブロックへの内部信号は Fixed-Point Toolbox がなくても 53 ビットより大きくできます。

テクニカル サポート、サービス、関連文書

この章では、テクニカル サポート、サービス、関連文書について、次のセクションに分けて説明します。

- 「[テクニカル サポート](#)」
- 「[トレーニング サービス](#)」
- 「[マニュアル](#)」

テクニカル サポート

技術的な質問については、ザイリンクス サポート サイトを参照してください。

<http://japan.xilinx.com/support/>

このサイトでは、アンサー データベースを検索したり、次のセルフ サポート機能を使用することができます。

- 資料ページ : <http://japan.xilinx.com/support/documentation/index.htm>
- ダウンロード センタ : <http://japan.xilinx.com/support/download/index.htm>
- アンサー ブラウザ : <http://japan.xilinx.com/support/answers/index.htm>
- ザイリンクス ユーザー コミュニティ フォーラム : <http://forums.xilinx.com/>
- デザイン リソース - ビデオ デモ : <http://japan.xilinx.com/design>

オンライン リソースを使用しても問題が解決しない場合は、ザイリンクス テクニカル サポートまで直接ご連絡ください。

<http://japan.xilinx.com/support/techsup/tappinfo.htm>

トレーニング サービス

ザイリンクスでは、プログラマブル ロジック デザインのエキスパートやザイリンクス承認のインストラクタによる高品質なトレーニング サービスを提供しています。トレーニングには、オンサイトおよびオンラインのインストラクタによるものと、ご自身のペースで学ぶことのできる録画済みのビデオなどがあります。

次のサイトからは、トレーニング コース、無料のオンデマンド トレーニング、ライブのオンライン トレーニング、イベントなどの詳細情報が入手できます。

<http://japan.xilinx.com/support/education-home.htm>

マニュアル

ザイリンクスでは、ISE Design Suite を使用するのに役立つ技術文書を提供しています。

オンライン ヘルプ

グラフィック ユーザー インターフェイスのある ISE Design Suite ツールのほとんどのツールから、状況に応じたオンライン ヘルプを利用できます。オンライン ヘルプは、Project Navigator で [Help] → [Help Topics] をクリックしても表示できます。

ソフトウェア マニュアル

ISE Design Suite の詳細なソフトウェア マニュアルおよびコマンド ライン機能は、ソフトウェア インストールに含まれます。ソフトウェアをインストール後、Project Navigator で [Help] → [Software Manuals] をクリックすると、ソフトウェア マニュアルのコレクションが表示されます。

メモ：ソフトウェア マニュアルを表示するには、Adobe Acrobat Reader が必要です。

Xilinx Platform Studio (XPS) では、文書のナビゲーション ページがデフォルトの開始画面になっています。この文書のタブからすべてのエンベデッド開発キット (EDK) に関するマニュアルを表示することができます。XPS を起動せずにマニュアルを開く場合は、\$XILINX_EDK/doc/japanese ディレクトリの edk_documentation_locator.htm ファイルを参照してください。

Web サイトからソフトウェア マニュアルを参照するには、次の手順に従ってください。

1. 資料ページ (<http://japan.xilinx.com/support/documentation/index.htm>) にアクセスします。
2. [デザイン ツール] タブをクリックします。
3. ISE Design Suite のようなデザイン ツールのカテゴリをクリックするか、「すべてのデザイン ツール資料」をクリックします。

ユーザー チュートリアル

チュートリアルは、次のサイトから表示できます。

<http://japan.xilinx.com/support/techsup/tutorials/index.htm>

ソフトウェア メッセージ

ISE Design Suite で表示されるエラー メッセージ、警告メッセージ、情報メッセージの日本語訳は次の Web サイトから入手可能です。

<http://japan.xilinx.com/japan/support/jmessages/index.htm>

Project Navigator の場合、コンソール ウィンドウに表示されるエラーまたは警告メッセージを右クリックし、[Go to Translated Message] をクリックすると、該当するメッセージの翻訳ページが開きます。

PlanAhead の場合、[Compilation Messages] ビューでエラーまたは警告メッセージを右クリックし、[Search for Japanese Translation] をクリックすると、該当するメッセージの翻訳ページが開きます。

その他のリソース

アンサー データベース

シリコン、ソフトウェア、および IP に関する Q&A を示すアンサー データベースを検索したり、テクニカル サポートのウェブケースを開くには、次のザイリンクスのウェブサイトを参照してください。

<http://japan.xilinx.com/support/>

その他のマニュアル

その他のマニュアルは、次から検索してください。

<http://japan.xilinx.com/support/documentation/index.htm>

最新バージョンの USB ケーブルのインストール ガイドは、次から入手できます。

http://japan.xilinx.com/support/documentation/user_guides/ug344.pdf

最新バージョンの Platform Cable USB II のデータシートは、次から入手できます。

http://japan.xilinx.com/support/documentation/data_sheets/ds593.pdf

最新バージョンの Parallel Cable IV のデータシートは、次から入手できます。

http://japan.xilinx.com/support/documentation/data_sheets/ds097.pdf

サードパーティのライセンス

ザイリンクスは、ISE® Design Suite で次のサードパーティ ベンダのソフトウェア ライセンスを使用する許諾を受けています。各ライセンスは、該当するソフトウェアのみに適用されるもので、その他に適用されるものではありません。サードパーティの所有するライセンスは英文のまま記載しています。

サードパーティ ライセンスの詳細は、[『Xilinx Third-Party Licenses Guide』](#) を参照してください。

