

# ザイリンクス デザイン ツール: リリース ノート ガイド

UG631 (v14.1) 2012 年 5 月 8 日



### Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

© Copyright 2012 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

---

## 改訂履歴

次の表に、この文書の改定履歴を示します。

日付	バージョン	改訂内容
2012年5月8日	14.1	初版

---

## 第 1 章：ザイリンクス デザイン ツールの新機能

Vivado Design Suite 2012.1 リリース .....	4
ISE Design Suite 14.1 .....	4

---

## 第 2 章：アーキテクチャ サポートおよびシステム要件

オペレーティング システム .....	12
アーキテクチャ .....	12
互換性のあるサードパーティ ツール .....	14
システム要件 .....	14

---

## 第 3 章：テクニカル サポートおよび資料

既知の問題 .....	17
サポート サイト .....	17
カスタマー トレーニング .....	17
資料 .....	17

# ザイリンクス デザイン ツールの新機能

---

## Vivado Design Suite 2012.1 リリース

Vivado™ Design Suite はザイリンクスの新しい IP およびシステム中心のデザイン環境で、一部の顧客に早期アクセス リリースされています。Vivado Design Suite 2012.1 のリリース ノートは、早期アクセス 顧客にのみ提供されています。Vivado Design Suite の詳細は、<http://japan.xilinx.com/products/design-tools/vivado/index.htm> を参照してください。

---

## ISE Design Suite 14.1

### デバイス サポート

- 次のデバイス ファミリを制限なしでサポート
  - Zynq™-7000 EPP (ビットストリームの生成を含む)
  - ミリタリ グレードの 7 シリーズ FPGA および Zynq-7000 EPP
  - オートモーティブ XA Zynq-7000 EPP
- Virtex®-7 XT FPGA ファミリでビットストリームの生成をサポート
- Artix™-7 FPGA GTPE2 のサポートを追加
  - ザイリンクスがサポートするすべてのシミュレータ用の SecureIP モデル
  - 7 シリーズ FPGA GT トランシーバー ウィザードでサポート
- 次の Artix-7 デバイスを削除
  - XC7A8
  - XC7A15
  - XC7A30T
  - XC7A50T
- ISE® Design Suite では、ビットストリームを生成する前に、I/O 規格およびピン配置をすべて選択する必要があります。詳細は、次のザイリンクス アンサーを参照してください。  
<http://japan.xilinx.com/support/answers/41615.htm>

## PlanAhead デザイン ツール

ここに記載されている新機能の詳細は、次のサイトから『PlanAhead™ ユーザー ガイド』を参照してください。  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx14\\_1/PlanAhead\\_UserGuide.pdf](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/PlanAhead_UserGuide.pdf)

### 一般

- Flow Navigator に、コンパイル フローに必要な各段階をより詳細に表示。各段階 (RTL 解析、合成、インプリメンテーション、プログラムおよびデバッグ) で実行可能なタスク リストを、展開表示したり閉じたりできます。
- [Clock Resources] ビューに、クロックおよび I/O 関連のリソースの接続をフライ ラインを使用して表示
- プロジェクト設定にさらに XPA オプションを追加

### ピン配置

- ピン配置プロジェクトを空のネットリストから完全な RTL またはネットリスト ベースのプロジェクトに変換可能。これにより、ピン配置プロジェクトでほかのソース タイプも管理できるようになります。
- Zynq-7000 EPP デバイスでのピン配置をサポート
- ピン配置プロジェクトで差動ペアを推論可能。差動規格の一方が認識されると、もう一方が自動的に作成されます。
- 同時スイッチ ノイズ (SSN) のレポート エンジンおよび 7 シリーズ FPGA のノイズ予測機能を向上
- デフォルトの I/O 規格の表記を向上

### ModelSim および Questa Advanced Simulator の統合

- PlanAhead デザイン ツールのプロジェクト設定で、ModelSim または Questa® Advanced Simulator をシミュレータとして選択できるようになりました。シミュレーションに必要なライブラリのコンパイルには、Tcl コマンド `complib` を使用します。これらのシミュレータの統合は、ISE ツールでの統合と比べ、複数のシミュレーション ファイルセットを使用してそれぞれプロパティを設定できる点が優れています。使用するテストベンチやシミュレーション プロパティが異なる複数のシミュレーション コンフィギュレーションを作成し、管理することが可能です。

### エンベデッド開発キット (EDK) の統合

- PlanAhead デザイン ツールで XPS (Xilinx® Platform Studio) サブシステムを `.xmp` ソース タイプとして作成し、プロジェクトに追加できるようになりました。`.xmp` ソース タイプをダブルクリックすると XPS が起動し、エンベデッド サブシステムを生成およびカスタマイズできます。
- `.xmp` ソース を含む ISE ツールプロジェクト (`.xise`) を PlanAhead デザイン ツールプロジェクトにインポートすることも可能です。XPS で生成されたファイルは、合成およびインプリメンテーション フローで適切に管理されます。

### System Generator for DSP の統合

- PlanAhead デザイン ツールで DSP サブシステムを `.sgp` ソース タイプとして作成し、プロジェクトに追加できるようになりました。`.sgp` ソース タイプをダブルクリックすると The MathWorks Simulink® が起動し、DSP サブシステムを生成およびカスタマイズできます。
- `.sgp` ソース を含む ISE ツールプロジェクト (`.xise`) を PlanAhead デザイン ツールプロジェクトにインポートすることも可能です。DSP ツールで生成されたファイルは、合成およびインプリメンテーション フローで適切に管理されます。

## IP リポジトリ

- PlanAhead デザイン ツールで、デザインを作成せずに IP リポジトリを使用できるようになりました。空のプロジェクトを作成し、IP リポジトリを開いて IP コアを検索、生成、コンフィギュレーションできます。サンプルデザイン、制約ファイル、データシートなどの生成されたソースは、[Sources] ビューの [IP Sources] タブに表示されます。
- IEEE P1735 暗号化規格をサポート

## Run 構造

- run のステートを強制的にアップデート済みに変更可能
- 物理制約をアップデートしても合成 run のステートがアップデート必要にならないよう修正
- ISE ツール (NGDBuild、MAP、PAR、TRACE) の中間ステートまで実行する次のステップ オプションを導入
- プロジェクト設定の run オプションに BitGen オプションを統合
- フローでオプションの手順をサポートし、run フローの 2 つの段階の間で Tcl スクリプトを起動するメカニズムを追加。コンパイル段階の間で実行される Tcl スクリプトを指定し、カスタムの回避策またはレポート目的で使用できます。

## プロジェクト構造

- すべてのメッセージが共通のメッセージ マネージャーに統合され、[Messages] ビューで参照可能
- 新しい Tcl コマンド `reset_param` および `reset_property` でパラメーターおよびプロパティをリセット可能。これらのコマンドは、プロパティおよびパラメーターの値をデフォルト値 (該当する場合はターゲット デバイスのデフォルト値) にリセットします。
- 一部の無効な UCF メッセージを RTL エラボレーションでディスエーブル
- RTL ネットリストの UCF を解析する際に誤ってレポートされていたエラーおよびクリティカル警告の条件を向上
- RTL でのインクルード ファイルのサポートを向上

## エンベデッド デザイン ツール

エンベデッド デザインでの主な改善点は、次のとおりです。

- Bare Metal および Linux ベースの製品開発で Zynq-7000 EPP をサポート
- MicroBlaze プロセッサのアップデート
  - パフォーマンスを向上
  - エンディアンネスを変換する新しい命令
  - あらかじめ統合された I/O モジュール
  - 改ざん検出および単一イベント アップセット検出用のマルチプロセッサのロックステップ/結果多数決
  - 追加デバイス サポート
- システム パフォーマンス、コンフィギュレーション、および有用性を向上するため IP をアップデート
- XPS および SDK をアップデート

## Zynq-7000 EPP サポート

- 14.1 ISE WebPACK™ デザイン ツールで Zynq-7000 EPP の Z7010、Z7020、Z7030 パーツをサポート。WebPACK デザイン ツールには、Embedded Edition と同じ XPS、SDK、MicroBlaze プロセッサ、エンベデッド IP ライブラリがすべて含まれています。
- XPS に Zynq-7000 EPP 専用の新しいコンフィギュレーションおよび MIO サマリ ウィンドウを追加 (詳細は「[エンベデッド ツール](#)」セクションを参照)
- Zynq-7000 EPP の資料にザイリンクス ウェブサイト (<http://japan.xilinx.com/support>) および Documentation Navigator ツールから参照可能

## MicroBlaze プロセッサのアップデート

### 低レイテンシ割り込みモード

- コントローラーから直接割り込みベクターを供給することにより、レイテンシ応答をシステム デザインによっては 1/10 に削減

### スワップ命令

- バイトおよびハーフワードをスワップする新しい命令により、AXI ビッグ エンディアンと AXI リトル エンディアンの変換をサポート

### 追加デバイス サポート

- 7 シリーズ FPGA ファミリー全体で MicroBlaze プロセッサを検証済み

### システム キャッシュ

- Embedded Edition に、AXI ベースのシステムで MicroBlaze プロセッサと外部メモリ コントローラーの間に使用する新しいエンベデッド システム キャッシュ IP ペリフェラルを追加。MicroBlaze プロセッサはこのシステム IP キャッシュ コアをレベル 2 キャッシュとして使用し、システムのさまざまな要素、デザイン タイプ、接続ポイントによってはレイテンシが削減され、パフォーマンスが高速になります。

### I/O モジュール

- MicroBlaze プロセッサのデータ側 LMB バス用に、汎用エンベデッド プロセッサ ペリフェラルを 1 つの IP ブロックとしてまとめたコンフィギュラブルなコレクションを導入。これにより、標準的なマイクロコントローラーシステムの定義、コンフィギュレーション、配置が簡略化され、MicroBlaze プロセッサ MCS デザインを Logic Edition から Embedded Edition にスムーズに移行できます。

## エンベデッド IP のアップデート

14.1 には、AXI、Zynq-7000 EPP、および MicroBlaze プロセッサのサポートを向上するための IP コアの改善点および新機能が含まれています。

- AXI Quad SPI : XIP (Execute In Place) モードをサポート、パフォーマンスを向上するためアーキテクチャを改善。この IP コアは既存のカスタマーをサポートするため、レガシ モードもデフォルト オプションで機能します。
- AXI Performance Monitor : システムの特定のマスター/スレーブ (AXI4、AXI4-Lite、AXI4-Stream) のバス レイテンシ、特定期間のメモリ トラフィック量、その他のパフォーマンス基準を計測
- Processing System7 : PS と PL の間の Zynq-7000 EPP ロジック接続のラッパー IP で、カスタムまたはその他の EDK IP の追加を支援
- AXI System Cache : MicroBlaze プロセッサ用のレベル 2 キャッシュ モジュールで、MicroBlaze プロセッサと外部メモリ コントローラーの間に使用
- Embedded IO Module : 共通 I/O ペリフェラルのサブセットで、MicroBlaze プロセッサ MCS で導入されており、互換性のため Embedded Edition に移植

## エンベデッド ツール

ISE Design Suite 14.1 では、PlanAhead デザイン ツールでエンベデッド デザインのキャプチャおよび管理がサポートされます。エンベデッド デザイン フローには PlanAhead の使用が推奨されます。

### XPS の新機能

14.1 では、コンフィギュレーションおよび SDK での第 1 ステージ ブート ロードターの生成用に Zynq-7000 EPP 特定のツールを提供するため、XPS が拡張されています。

- 新しい Zynq-7000 EPP プロセッシング システムにより、メモリ、クロック、ペリフェラル、DMA、I/O、割り込み、およびフラッシュ インターフェイス用のさまざまなコンフィギュレーション オプションを提供。XPS に新しいコンフィギュレーション ウィンドウが追加されており、各パラメーターをグラフィカルに設定でき、確実な配線が得られ、電圧およびクロックに適した自動選択が可能です。
- 標準 Zynq-7000 EPP コンフィギュレーション (ZC702 ボード用) が含まれており、すぐに使用可能
- 新しい Zynq-7000 EPP MIO サマリ ウィンドウに、ペリフェラルのピン配置が色付きのグラフィックで表示され、すばやく簡単に正しい MIO 選択が可能

### SDK の新機能

- ザイリンクス SDK を無償で提供 (FlexLM ライセンス チェックを削除)。SDK はザイリンクス ウェブサイトから入手可能なスタンドアロン インストーラーまたは各 ISE デザイン ツール エディションのインストーラーでインストールできます。
- Zynq-7000 EPP を完全サポート
  - SDK で Bare Metal および Linux アプリケーションの開発、プロファイリング用のツール ソリューションを提供。BARE Metal (EABI) および Linux 開発用にアップデートされた ARM GCC、Boot Image Creator、QSPI 用フラッシュ プログラマ、デバイス ツリー ジェネレーター、リモート システム エクスプローラー (IP が接続されたターゲット ボードをデバッグ) などが含まれます。
  - SDK を XPS と共に使用して、デバイス セキュリティ対策を含む第 1 ステージ ブート ロードター、ビットストリーム管理などを含むデザイン特定のファームウェアを構築可能。Zynq-7000 EPP ターゲット プラットフォームに完全なブート可能システム イメージを構築することもできます。

## ChipScope Pro ツールおよび iMPACT

- Zynq-7000 EPP
  - iMPACT で間接クワッド SPI フラッシュ プログラムをサポート
  - ChipScope™ Pro ツールでデバイスのプログラムおよびデバッグをサポート
  - iMPACT で基本およびアドバンス プログラムをサポート
- Virtex-7 FPGA
  - IBERT 2-D アイ スキャンを向上
  - 7 シリーズ FPGA GTH をサポート
  - ChipScope Pro ツールでデバイスのプログラムおよびデバッグをサポート
  - iMPACT で基本およびアドバンス プログラムをサポート
- Kintex-7 FPGA
  - IBERT 2-D アイ スキャンを向上
  - ChipScope Pro ツールでデバイスのプログラムおよびデバッグをサポート
  - iMPACT で基本およびアドバンス プログラムをサポート



- Artix-7 FPGA
  - CCore Generator および Inserter をサポート
- ChipScope Pro ツールの AXI モニターで EDK および標準 CORE Generator ツール フローをサポート

## System Generator for DSP

- ミリタリ グレード 7 シリーズ FPGA および オート モーティブ XA Zynq-7000 EPP ファミリのサポートを追加
- PlanAhead デザイン ツールに統合
  - System Generator モジュールを大型 RTL デザインに統合可能
  - チュートリアルを提供
- [Performance Tips] ツールバー ボタンをクリックして高パフォーマンス デザインの資料にアクセス
- ブロックセットを改善し、BRAM コンフィギュレーションのエンベデッド レジスタの FIFO サポートを追加

## IBIS シミュレーション

- 7 シリーズ FPGA の IBIS サポートは、PlanAhead デザイン ツールの write\_ibis コマンドでのみ提供
  - IBISWriter は 7 シリーズ FPGA ファミリーでは使用不可

## パーシャル リコンフィギュレーション

- XC7VX980T、XC7A200T、および XC7A350T のサポートを追加
  - Artix-7 デバイスのビットストリーム生成は 14.1 ではディスエーブル
- スタティックのみであるべきリソースのリストに I/O およびコンフィギュレーション コンポーネントを追加

## IP (Intellectual Property)

### デバイス サポート

- 次のファミリを製品版前 (pre-production) ステータスでサポート
  - ミリタリ グレード Virtex-7Q FPGA
  - ミリタリ グレード Kintex-7Q FPGA
  - ミリタリ グレード Artix-7Q FPGA
  - XA Artix-7 FPGA
  - XA Zynq-7000 EPP

### 新規 IP コア

- SMPTE 2022 5/6 Video over IP v1.0 : ブロードキャスト接続性規格 (SD/HD/3G) と 10G ネットワーク間をブリッジする必要のあるブロードキャスト アプリケーション用のトランスミッターおよびレシーバー コアを提供
- Ten Gigabit Ethernet 10GBASE-KR : 7 シリーズ FPGA GTX および GTH トランシーバー用のフォワード エラー訂正 (FEC) およびオート ネゴシエーション (AN) を含む 10G イーサネット PCS/PMA。Ten Gigabit Ethernet PCS/PMA (10GBASE-R/KR) IP コアの別ライセンス コンフィギュレーションとして提供されています。
- Asynchronous Sample Rate Converter for Digital Audio : ステレオ オーディオのサンプリング周波数を変換します。入力と出力のサンプリング周波数は、お互いを分周したものまたは同じ周波数にできますが、異なるクロックに基づきます。

- **Video In to AXI4-Stream** : 一般的な並列クロックビデオ信号を AXI4-Stream インターフェイスに変換します。これを使用すると、DVI PHY などの外部ビデオソースを AXI4-Stream インターフェイスを使用するザイリンクスビデオ IP などのビデオ処理ブロックに接続できます。
- **AXI4-Stream to Video Out** : AXI4-Stream インターフェイス信号を標準の並列ビデオ出力インターフェイスにタイミング信号と共に変換します。これにより、AXI4-Stream インターフェイスを使用するザイリンクスビデオ IP などのビデオ処理ブロックを DVI PHY などの外部ビデオシンクに接続できます。
- **AXI4-Stream Interconnect** : 異種マスター/スレーブ AMBA® AXI4-Stream プロトコルに準拠したエンドポイント IP の接続を簡略化するインターコネクト インフラストラクチャ IP。1 つ以上の AXI4-Stream マスター チャネルを 1 つ以上の AXI4-Stream スレーブ チャネルに接続します。
- **AXI Performance Monitor** : AMBA Advanced eXtensible Interface (AXI) システムの主なパフォーマンス基準を計測します。システムの特定のマスター/スレーブ (AXI4、AXI4-Lite、AXI4-Stream) のバスレイテンシ、特定期間のメモリアクティビティ量などの計測がサポートされます。

## Virtex-7 FPGA GTH トランシーバーのサポート

- 次の IP に Virtex-7 FPGA GTH を製品版前 (pre-production) サポート
  - Ten Gigabit Ethernet 10GBASE-KR
  - 10GBASE-R
  - RXAUI
  - XAUI
  - QSGMII
  - 1000BASE-X/SGMII

## 既存 IP のアップデート

- FIFO Generator v9.1
  - AXI FIFO コンフィギュレーションで最大データ幅を 4096 に増加
- 7 Series FPGA Transceiver Wizard (GT Wizard) v2.1
  - UG769 に説明されている初期化シーケンスを示す GTX および GTH トランシーバーの新しいサンプル デザイン モジュールを提供
  - 初期 ES GTH デバイスをサポートするためポートおよび属性設定をアップデート
  - 新しい GTX プロトコル テンプレート (シミュレーションのみ) : HD-SDI、3G-SDI、6G-SDI、および PCI Express Gen1、Gen2
  - 新しい GTH プロトコル テンプレート (シミュレーションのみ) : XAUI、RXAUI、OTL3.4、OC48、ギガビットイーサネット (1000BASE-X PCS/PMA)、QSGMII、CPRI、PCI Express Gen1、Gen2
  - 新しい GTP プロトコル テンプレート (シミュレーションのみ) : DisplayPort、CPRI、ギガビットイーサネット (1000BASE-X PCS/PMA)、QSGMI、V-by-One、HD-SDI、3G-SDI、6G-SDI、RXAUI、XAUI
- DisplayPort v3.1
  - 仕様バージョン 1.2 から 7 シリーズ FPGA デバイスで 5.4Gbps SST (Single Stream Transport) をサポート
  - グレイスケールビデオ用の輝度のみのモード
  - コンポーネントごとのビット数 (BPC) を設定でき、メモリのフットプリントを削減
  - クワッドピクセル幅ビデオクロックインターフェイス
  - セカンダリオーディオ (2 チャネル) オプション (別ライセンス)
- AXI Bus Functional Model (AXI BFM) v2.1
  - VHDL 例を追加
  - Synopsys VCS® および Aldec Riviera-PRO™ シミュレーション ツールをサポート

## AXI4 IP およびその他の情報

通常 AXI4 インターフェイスは、Zynq-7000 EPP、Virtex-7、Kintex-7、Virtex-6、および Spartan@-6 FPGA デバイスファミリ向けの最新版の IP でサポートされます。これまでの製品版の IP では、Virtex-6、Spartan-6、Virtex-5、Virtex-4、および Spartan-3 デバイスファミリ向けのレガシ インターフェイスがサポートされます。

- CORE Generator ツール IP の最新バージョンは、AXI4 インターフェイスを製品サポートしています。AXI IP サポートの詳細は、[http://japan.xilinx.com/ipcenter/axi4\\_ip.htm](http://japan.xilinx.com/ipcenter/axi4_ip.htm) を参照してください。
- AXI4 サポートに関する一般的な情報は、<http://japan.xilinx.com/ipcenter/axi4.htm> を参照してください。
- 14.1 リリースの IP コアのリストは、[http://japan.xilinx.com/ipcenter/coregen/updates\\_14\\_1\\_2012\\_1.htm](http://japan.xilinx.com/ipcenter/coregen/updates_14_1_2012_1.htm) を参照してください。
- IP の新機能および既知の問題は、『IP リリース ノート ガイド』(XTP025) を参照してください。  
[http://www.xilinx.com/support/documentation/ip\\_documentation/xtp025.pdf](http://www.xilinx.com/support/documentation/ip_documentation/xtp025.pdf)

# アーキテクチャ サポート およびシステム要件

---

## オペレーティング システム

ザイリンクスでサポートされる OS は、x86 および x86-64 プロセッサ アーキテクチャの OS のみです。

### Microsoft Windows サポート

- Windows XP Professional (32 ビットおよび 64 ビット)、英語版/日本語版
- Windows 7 Professional (32 ビットおよび 64 ビット)、英語版/日本語版
- Windows Server 2008 (64 ビット)

### Linux サポート

- Red Hat Enterprise Workstation 5 (32 ビットおよび 64 ビット)
  - Red Hat Enterprise Workstation 6 (32 ビットおよび 64 ビット)
  - SUSE Linux Enterprise 11 (32 ビットおよび 64 ビット)
- 

## アーキテクチャ

次の表は、ISE Design Suite WebPACK ツールとその他の ISE Design Suite エディションのコマーシャル製品のアーキテクチャ サポートをリストしています。

コマーシャル製品以外：

- ザイリンクス オートモーティブ デバイスはすべて ISE Design Suite WebPACK ツールでサポートされます。
- ディフェンス グレードのザイリンクス FPGA デバイスは、同等のコマーシャル パーツ サイズのサポートされるエディションでサポートされます。

表 2-1: アーキテクチャ サポート

	ISE WebPACK	ISE Design Suite (全エディション)
Zynq EPP	Zynq-7000 EPP <ul style="list-style-type: none"> <li>XC7Z010、XC7Z020、XC7Z030</li> </ul>	Zynq-7000 EPP <ul style="list-style-type: none"> <li>すべて</li> </ul>
Virtex FPGA	Virtex-4 FPGA <ul style="list-style-type: none"> <li>LX :XC4VLX15、XC4VLX25</li> <li>SX :XC4VSX25</li> <li>FX :XC4VFX12</li> </ul> Virtex-5 FPGA <ul style="list-style-type: none"> <li>LX :XC5VLX30、XC5VLX50</li> <li>LXT :XC5VLX20T - XC5VLX50T</li> <li>SXT :なし</li> <li>FXT :XC5VFX30T</li> </ul> Virtex-6 FPGA <ul style="list-style-type: none"> <li>LXT :XC6VLX75T</li> </ul> Virtex-7 FPGA <ul style="list-style-type: none"> <li>なし</li> </ul>	Virtex-4 FPGA <ul style="list-style-type: none"> <li>すべて</li> </ul> Virtex-5 FPGA <ul style="list-style-type: none"> <li>すべて</li> </ul> Virtex-6 FPGA <ul style="list-style-type: none"> <li>すべて</li> </ul> Virtex-7 FPGA <ul style="list-style-type: none"> <li>すべて</li> </ul>
Kintex FPGA	Kintex-7 FPGA <ul style="list-style-type: none"> <li>XC7K70T、XC7K160T</li> </ul>	Kintex-7 FPGA <ul style="list-style-type: none"> <li>すべて</li> </ul>
Artix FPGA	Artix-7 FPGA <ul style="list-style-type: none"> <li>XC7A100T、XC7A200T</li> </ul>	Artix-7 FPGA <ul style="list-style-type: none"> <li>すべて</li> </ul>
Spartan FPGA	Spartan-3 FPGA <ul style="list-style-type: none"> <li>XC3S50 - XC3S1500(L)</li> </ul> Spartan-3A/-3AN/-3E FPGA <ul style="list-style-type: none"> <li>すべて</li> </ul> Spartan-3A DSP FPGA <ul style="list-style-type: none"> <li>XC3SD1800A</li> </ul> Spartan-6 FPGA <ul style="list-style-type: none"> <li>XC6SLX4 - XC6SLX75T</li> </ul>	Spartan-3 FPGA <ul style="list-style-type: none"> <li>すべて</li> </ul> Spartan-3A/-3AN/-3E FPGA <ul style="list-style-type: none"> <li>すべて</li> </ul> Spartan-3A DSP FPGA <ul style="list-style-type: none"> <li>すべて</li> </ul> Spartan-6 FPGA <ul style="list-style-type: none"> <li>すべて</li> </ul>
CoolRunner™ XPLA3 CoolRunner-II、 XC9500 CPLD	<ul style="list-style-type: none"> <li>すべて</li> </ul>	<ul style="list-style-type: none"> <li>すべて</li> </ul>

## 互換性のあるサードパーティ ツール

表 2-2 : 互換性のあるサードパーティ ツール

サードパーティ ツール	Red HatLinux	Red-Hat Linux-64	SUSE Linux	Windows XP 32 ビット	Windows XP 64 ビット	Windows-7 32 ビット	Windows-7 64 ビット
シミュレーション							
Mentor Graphics ModelSim SE/DE (10.1a)	○	○	○	○	○	○	○
Mentor Graphics ModelSim PE (10.1a)	×	×	×	○	○	○	○
Mentor Graphics Questa® Advanced Simulator(10.1a)	○	○	○	○	○	○	○
Cadence Incisive® Enterprise Simulator (IES) (11.1)	○	○	○	×	×	×	×
Synopsys VCS® および VCS MX (F-2011.12)	○	○	○	×	×	×	×
The MathWorks MATLAB® and Simulink® with Fixed-Point Toolbox (2011a、2011b)	○	○	○	○	○	○	○
合成							
Synopsys Synplify®/Synplify Pro (F-2012.03-SP1)	○	○	○	○	○	○	○
Mentor Graphics Precision® RTL/Plus (2012a)	○	○	○	○	○	○	○
等価性チェック							
Cadence Encounter® Conformal® (9.1)	○	○	○	×	×	×	×

## システム要件

このセクションでは、システム メモリ要件、ケーブル インストール、およびその他の要件について説明します。

### システム メモリ要件

ISE Design Suite 14 の推奨メモリについては、<http://japan.xilinx.com/ise/products/memory.htm> を参照してください。

## OS と使用可能なメモリ

Microsoft Windows および Linux® OS のアーキテクチャ場合、ザイリンクス プログラムに使用できるメモリの最大容量に制限があり、大規模デバイスおよび複雑なデバイスを作成する際に問題となることがあります。ISE Design Suite には最適化メモリが含まれており、ザイリンクス ツール用に RAM を増加できるようになっています。

### Windows XP Professional 32 ビット

ザイリンクス アプリケーションでは、Windows 32 ビット システムでメモリ増加機能が取り入れられるようになっていますが、ユーザーの方でもより大規模なメモリを使用できるように Windows 設定を変更する必要があります。

標準の Windows では、ザイリンクスのプロセスに使用できる最大メモリ容量は 2GB ですが、Windows XP Professional の場合は、RAM を 3 GB まで増加できるようになっています。ISE ツールにはこのオプションがビルトインされていますが、Windows XP OS にも修正を加えないと、メモリは拡張できません。拡張するには boot.ini ファイルの startup ラインの終わりに /3GB を追加する必要があります。

ザイリンクス アプリケーションで 3GB サポートを使用する前に、マイクロソフトのサポート技術情報 (<http://support.microsoft.com/?kbid=328269>) を参照してください。Windows XP サービスパック 1 にアップグレードし、/3GB オプションを使用する場合、マイクロソフトからのパッチをインストールしていないとマシンを再起動できません。詳細は、アンサー 17905 (<http://japan.xilinx.com/support/answers/17905.htm>) を参照してください。

変更を加える前に、次を参照してください。

- 4GT RAM チューニングのアプリケーション使用については、マイクロソフトのサポート技術情報 Q17193 (<http://support.microsoft.com/default.aspx?scid=kb;en-us;Q171793>) を参照してください。
- boot.ini ファイルの修正方法については、マイクロソフトのサポート技術情報 Q289022 (<http://support.microsoft.com/default.aspx?scid=kb;en-us;q289022>) を参照してください。

### Linux

32 ビットの Red Hat Enterprise Linux では、大規模メモリのカーネルを使用して各プロセスに 4GB 割り当てることができます。詳細については、次の Red Hat のサポートサイトを参照してください。

<http://www.redhat.com/docs/manuals/enterprise/>

## ケーブル インストール要件

ザイリンクス® デザイン ツールでターゲット ハードウェアをプログラムおよびコンフィギュレーションするには、ハイパフォーマンスなケーブル、プラットフォーム ケーブル USB またはパラレル ケーブル IV が必要です。

Platform Cable USB II をインストールする場合は、少なくとも USB 1.1 ポートが必要になります。最適なパフォーマンスには、USB 2.0 ポートで Platform Cable USB II を使用することをお勧めします。

Parallel Cable IV をインストールするには、パラレルポート コネクタとパラレルポート通信がサポートされるシステムが必要です。

ケーブルは、Windows XP Professional、Windows 7、Redhat Linux Enterprise、SUSE Linux Enterprise 11 の 32 ビットおよび 64 ビット バージョンで公式にサポートされています。OS 別の注意点は、次を参照してください。

- ルート ディレクトリへの権限が必要です。
- SUSE Linux Enterprise 11 : Platform Cable USB II が正しく動作するためには、fxload ソフトウェア パッケージが必要です。fxload パッケージは SUSE Linux Enterprise 11 には自動的にインストールされないため、そのユーザーまたはシステム管理者がインストールしておく必要があります。
- Linux LibUSB サポート : LibUSB パッケージに基づく Platform Cable USB II のサポートは、ザイリンクスの Web サイトから入手できます。詳細は、ザイリンクス アンサー #29310 (<http://japan.xilinx.com/support/answers/29310.htm>) を参照してください。

ザイリンクス ケーブルに関するその他の情報は、次のマニュアルを参照してください。

- USB ケーブル インストール ガイド (UG344) : [http://japan.xilinx.com/support/documentation/user\\_guides/ug344.pdf](http://japan.xilinx.com/support/documentation/user_guides/ug344.pdf)
- Platform Cable USB II データシート (DS593) : [http://japan.xilinx.com/support/documentation/data\\_sheets/ds593.pdf](http://japan.xilinx.com/support/documentation/data_sheets/ds593.pdf)
- Parallel Cable IV データシート (DS097) : [http://japan.xilinx.com/support/documentation/data\\_sheets/ds097.pdf](http://japan.xilinx.com/support/documentation/data_sheets/ds097.pdf)

## 装置とアクセス権

次の表は、関連装置、アクセス権、ネットワーク接続の条件を示しています。

表 2-3: 装置とアクセス権の要件

項目	要件
ディレクトリのアクセス権	編集するデザイン ファイルが含まれるディレクトリすべての書き込み権が必要です。
モニタ	解像度 1024x768 ピクセル以上の 16 ビット カラー VGA をお勧めします。
ドライブ	ISE Design Suite には DVD-ROM が必要です (Web からのダウンロードではなく、DVD を請求してインストールする場合)。
ポート	デバイスのプログラムには、ザイリンクス プログラム ケーブル用にパラレル ポート、USB ポートのいずれかが必要です。ポートの仕様については、ケーブルのマニュアルを参照してください。  注記 : ケーブルドライバソフトウェアのインストールには、Windows XP Pro SP1 (およびそれ以降) または Windows 7 が必要です。これらの OS を使用していない場合、ケーブルが正しく動作しないことがあります。

注記 : Exceed、ReflectionX、XWin32 のような X サーバー / リモート デスクトップ サーバーはサポートされません。

## ネットワーク時刻の同期化

ソフトウェアがインストールされたコンピュータとは別のネットワーク コンピュータにユーザーのデザイン ファイルを保存する場合、どちらのコンピュータも同時刻に設定する必要があります。ソフトウェアのファンクションを最適にするため、時刻は定期的に合わせてください。



# テクニカル サポート および 資料

---

## 既知の問題

ISE Design Suite ツールの既知の問題については、<http://japan.xilinx.com/support/answers/46491.htm> を参照してください。

---

## サポート サイト

技術的な問題については、ザイリンクス製品のサポートおよび資料サイト (<http://www.xilinx.com/support/>) を参照してください。このサイトからは、アンサー データベースや次のようなセルフ サポート機能を使用できます。

- ダウンロード センター: <http://www.xilinx.com/support/download/index.htm>
- ザイリンクス ユーザー コミュニティ フォーラム: <http://forums.xilinx.com>
- デザイン トレーニング ビデオ: <http://japan.xilinx.com/training/free-video-courses.htm>

オンライン リソースを使用しても問題が解決しない場合は、ザイリンクス テクニカル サポート (<http://japan.xilinx.com/support/techsup/tappinfo.htm>) まで直接ご連絡ください。

---

## カスタマー トレーニング

ザイリンクスでは、設計をすぐに開始するために必要な基本的な知識を得るためのトレーニング プログラムを用意しています。これらのプログラムは、FPGA 初心者と経験豊富なエンジニアの両方をターゲットにしており、複雑な接続、デジタル信号処理、エンベデッド ソリューションなどについて学ぶことができます。

ザイリンクスのトレーニング サイト (<http://japan.xilinx.com/support/education-home.htm>) からは、トレーニング コース、無料のオンデマンド トレーニング、ライブのオンライン トレーニング、イベントなどの詳細情報が入手できます。

---

## 資料

### オンライン ヘルプ

グラフィック ユーザー インターフェイスのある ISE Design Suite ツールのほとんどのツールから、状況に応じたオンライン ヘルプを利用できます。オンライン ヘルプは、Project Navigator から [Help] → [Help Topics] をクリックするか F1 キーを押すと表示できます。

## ソフトウェア マニュアル

ISE Design Suite およびコマンド ラインに関するソフトウェア マニュアルについては、[japan.xilinx.com](http://japan.xilinx.com) を参照してください。ウェブサイトからソフトウェア マニュアルを参照するには、次の手順に従ってください。

1. 資料ページ (<http://japan.xilinx.com/support/>) を表示します。
2. [デザイン ツール] タブをクリックします。
3. まずデザイン ツール カテゴリをクリックし、ISE 14.1 などのバージョンをクリックするか、[See All ISE Design Suite Documentation] などのリンクをクリックします。

## 用語集

ザイリンクスで使用される技術用語については、<http://japan.xilinx.com/company/terms.htm> を参照してください。

## サードパーティのライセンス

ザイリンクスは、ISE® Design Suite で次のサードパーティ ベンダーのライセンスを使用する許諾を受けています。各ライセンスは、該当するソフトウェアのみに適用されるもので、その他に適用されるものではありません。サードパーティの所有するライセンスは英文のまま記載しています。

サードパーティ ライセンスの詳細は、次の情報を参照してください。  
[http://japan.xilinx.com/support/documentation/sw\\_manuals/xilinx14\\_1/ug763\\_tplg.txt](http://japan.xilinx.com/support/documentation/sw_manuals/xilinx14_1/ug763_tplg.txt)