

# Vivado Design Suite ユーザーガイド

## I/O およびクロック プランニング

UG899 (v2021.2) 2021 年 11 月 10 日

この資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

ザイリンクスは、従業員、顧客、パートナーそれぞれが認められ、受け入れられていると実感できる環境作りに取り組んでいます。その一環として、ザイリンクス製品資料およびその他関連資料に含まれる非包括的な用語/表現を排除していきます。ザイリンクス ソフトウェアおよび IP に組み込まれている用語を含め、人を差別、疎外したり、歴史的な偏見を増長する可能性のある表現をなくすための社内的取り組みが始まっています。該当表現を改め、進化する業界標準に則った取り組みを進めていますが、旧製品資料には配慮に欠ける表現が残っている可能性があります。詳細は、この[リンク](#)を参照してください。



# 改訂履歴

次の表に、この文書の改訂履歴を示します。

セクション	改訂内容
2021 年 11 月 10 日 バージョン 2021.2	
第 6 章: <a href="#">Hard Block Planner</a>	新しい章を追加

# 目次

改訂履歴.....	2
第 1 章: 概要.....	5
この資料に関連する設計プロセス.....	5
I/O およびクロック プランニングの段階.....	7
プラットフォーム ボード フローを使用した I/O およびクロック プランニング.....	14
SSI テクノロジ デバイスの I/O およびクロック プランニング.....	14
I/O ポートを含む IP の I/O およびクロック プランニング.....	14
Zynq UltraScale+ MPSoC の I/O プランニング.....	15
UltraScale および UltraScale+ I/O プランニング.....	15
Versal ACAP の I/O プランニング.....	15
第 2 章: デバイスのコンフィギュレーション.....	17
互換性のある代替デバイスの指定.....	17
デバイス コンフィギュレーション モードの設定.....	18
デバイス制約の設定.....	20
コンフィギュレーション バンク電圧セレクト ピンの設定.....	24
第 3 章: I/O ロジックおよび低速 I/O プランニング.....	26
[I/O Planning] レイアウトの使用.....	26
デバイス リソースの表示.....	27
I/O ポートの定義と設定.....	31
I/O ポートの配置.....	41
I/O プランニング プロジェクトの RTL プロジェクトへの変換.....	47
第 4 章: UltraScale アーキテクチャのメモリ IP の I/O プランニング.....	48
UltraScale アーキテクチャ メモリ IP の I/O プランニング デザイン フローの変更.....	48
メモリ IP の設定.....	49
Vivado IDE での UltraScale アーキテクチャ メモリ IP の I/O プランニング.....	51
メモリ バンク/バイト プランナーの使用.....	52
メモリ I/O ポートの変更.....	60
メモリ DRC の実行.....	62
PHY のインプリメンテーション.....	62
デザイン間での I/O ポート割り当てのコピー.....	63
第 5 章: Versal ACAP の高速 I/O のプランニング.....	64
Advanced I/O Planner の使用.....	64

第 6 章: Hard Block Planner.....	69
Versal ACAP のハード ブロック プランニング.....	69
Hard Block Planner の使用.....	69
第 7 章: クロック プランニング.....	77
ロジック セルの検索.....	77
[Device] ウィンドウでのクロック ロジックの配置.....	78
第 8 章: I/O およびクロック プランニングの検証.....	79
DRC の実行.....	79
SSN 解析.....	84
第 9 章: システム設計者との情報共有.....	90
I/O ピンとパッケージ データのエクスポート.....	90
IBIS モデルの生成.....	91
PCB 設計との情報共有.....	93
付録 A: CSV ファイル形式の I/O ポート リストの使用.....	96
CSV ファイル.....	96
CSV ファイルでの差動ペア.....	98
付録 B: その他のリソースおよび法的通知.....	99
ザイリンクス リソース.....	99
ソリューション センター.....	99
Documentation Navigator およびデザイン ハブ.....	99
参考資料.....	100
トレーニング リソース.....	101
お読みください: 重要な法的通知.....	101

## 概要

I/O およびクロック プランニングは、FPGA/ACAP とプリント回路基板 (PCB) の接続性を定義および解析し、デバイスの物理的なピンにインターコネクト信号を割り当てるプロセスです。PCB 設計、FPGA 設計、およびシステム設計にかかわるプロセスであり、次のような考慮事項および要件があります。

- クリティカル信号の接続を効率化することにより、信号を短くして信号が交差するのを回避。
- デバイスに送受信される高速信号のインテグリティを保持。
- 代替デバイスでも機能する I/O 設定を選択。
- PCB 上で使用可能な電源およびグランド信号を決定。
- 適切なデカップリングのための PCB 要件を確立。
- デバイスのプログラムおよびデバッグに関する考慮事項を特定。

ピン配置が最適化されていないと遅延が増加し、タイミングおよびシグナル インテグリティ 要件を満たす障害となります。PCB から FPGA/ACAP ダイへのデータフローを考慮すると、最適なピン配置を短期間で定義でき、内部および外部のトレース長を削減し、配線の密集を緩和できます。この章では、Vivado® 統合設計環境 (IDE) というグラフィカル ユーザー インターフェイス (GUI) を使用した I/O およびクロック プランニングのプロセスの概要を説明します。

---

## この資料に関連する設計プロセス

ザイリンクスの資料は、開発タスクに関連する内容を見つけやすいように、標準設計プロセスに基づいて構成されています。Versal® ACAP デザイン プロセスの[デザイン ハブ](#)および[デザイン フロー アシスタント](#)は、[ザイリンクス ウェブサイト](#)からアクセスできます。この資料では、次の設計プロセスについて説明します。

- システム/ソリューション プランニング: システム レベルのコンポーネント、パフォーマンス、I/O、およびデータ転送要件を特定します。ソリューションの PS、PL、および AI エンジン へのアプリケーション マップも含まれます。

次の表は、各アーキテクチャで利用可能なさまざまなインターフェイス速度オプションをまとめたもので、資料を探しやすくしています。なお、表中のビット レートは、スピード グレードが -3 のデバイスで LVDS を使用した場合のハードウェア特性に基づいています。

表 1: IP およびクロック プランニングの資料

デバイス アーキテクチャ	追加考慮事項	関連リンク
7 シリーズ	<b>HRIO (低速 I/O)</b> <ul style="list-style-type: none"> <li>ビット レート 0 ~ 1250 Mb/s</li> </ul> <b>HPIO (高速 I/O)</b> <ul style="list-style-type: none"> <li>ビット レート 0 ~ 1600 Mb/s</li> </ul>	<ul style="list-style-type: none"> <li><a href="#">第 3 章: I/O ロジックおよび低速 I/O プランニング</a></li> <li><a href="#">第 7 章: クロック プランニング</a></li> <li><a href="#">第 8 章: I/O およびクロック プランニングの検証</a></li> <li><a href="#">第 9 章: システム設計者との情報共有</a></li> </ul>
UltraScale/UltraScale+	<b>コンポーネント モード (低速 I/O)</b> <ul style="list-style-type: none"> <li>UltraScale HP/HR バンクまたは UltraScale + HP バンクのビット レート 0 ~ 1250 Mb/s</li> <li>UltraScale+ HD バンクのビット レート 0 ~ 250 Mb/s</li> </ul>	<ul style="list-style-type: none"> <li><a href="#">第 3 章: I/O ロジックおよび低速 I/O プランニング</a></li> <li><a href="#">第 7 章: クロック プランニング</a></li> <li><a href="#">第 8 章: I/O およびクロック プランニングの検証</a></li> <li><a href="#">第 9 章: システム設計者との情報共有</a></li> </ul>
	<b>ネイティブ モード (高速 I/O)</b> <ul style="list-style-type: none"> <li>ビット レート 300 ~ 1600 Mb/s (HP バンクのみ)</li> </ul>	<ul style="list-style-type: none"> <li><a href="#">第 4 章: UltraScale アーキテクチャのメモリ IP の I/O プランニング</a></li> <li><a href="#">第 7 章: クロック プランニング</a></li> <li><a href="#">第 8 章: I/O およびクロック プランニングの検証</a></li> <li><a href="#">第 9 章: システム設計者との情報共有</a></li> </ul>
Versal ACAP	<b>I/O ロジック (低速 I/O)</b> <ul style="list-style-type: none"> <li>ビット レート 0 ~ 300 Mb/s (HD および XP バンクの両方)</li> </ul>	<ul style="list-style-type: none"> <li><a href="#">『Versal ACAP SelectIO リソース アーキテクチャ マニュアル』 (AM010: 英語版、日本語版)</a></li> <li><a href="#">第 7 章: クロック プランニング</a></li> <li><a href="#">第 8 章: I/O およびクロック プランニングの検証</a></li> <li><a href="#">第 9 章: システム設計者との情報共有</a></li> </ul>
	<b>XPIO (高速 I/O)</b> <ul style="list-style-type: none"> <li>ビット レート 200 ~ 1800 Mb/s (XP バンクのみ)</li> </ul>	<ul style="list-style-type: none"> <li><a href="#">第 5 章: Versal ACAP の高速 I/O のプランニング</a></li> <li><a href="#">第 7 章: クロック プランニング</a></li> <li><a href="#">第 8 章: I/O およびクロック プランニングの検証</a></li> <li><a href="#">第 9 章: システム設計者との情報共有</a></li> </ul>

## I/O およびクロック プランニングの段階

Vivado Design Suite では、PCB 設計者と FPGA 設計者の初期の共同作業から完全にインプリメントされたデザインの検証まで、デザイン プロセスのさまざまな段階で I/O およびクロック プランニングを実行できます。デザイン フローを進めていくと、より多くの情報を入手できるようになり、より複雑な解析およびルール チェックが可能になります。たとえば、デザイン フロー早期 (合成/最適化) の解析では、実際のセル遅延が使用されますが、インターコネクト遅延は 0 です。配置後は、実際のセル遅延と見積もりインターコネクト遅延が使用され、インプリメント済みデザインでは実際のセル遅延と配線済みネットの実際のインターコネクト遅延が使用されます。

最適な I/O 割り当ては、FPGA の構造、PCB デザインの要件、および FPGA の構造と PCB デザイン要件の関係によって異なります。FPGA と PCB 間の物理的および論理的な関係を把握することにより、デバイスのデータフローを効率化できます。I/O ポートの割り当ては PCB からの信号がどのように FPGA デザインに入力されてボードに出力されるかを定義し、クロック リソースの割り当てはデザインのクロック ツリーの構造を定義しますが、これらの割り当ては通常同時に定義されます。

たとえば、デバイス上の一部のピンはクロック ピンに適しており、ほかのピンはデジタル制御インピーダンス (DCI) カスケードおよび内部電圧基準 (VREF) に適しています。

I/O ポートおよびクロックの割り当てが適切にプランニングされていないと、システム パフォーマンスが低下し、デザインを何回も反復実行することになり、デザイン クロージャに時間がかかります。Versal のクロックおよび I/O の設計は、Advanced IO Wizard の GUI を使用して簡単に実行できます。UltraFast™ 設計手法を使用したボードおよびデバイス プランニングについては、UltraFast Design Methodology Guide for Xilinx FPGAs and SoCs ([UG949](#)) のこの [セクション](#)を参照してください。

I/O プランニングは、デザイン フローのどの段階でも実行できます。たとえば、I/O 割り当てを最上位ポート リスト、レジスタ トランスファー レベル (RTL) デザイン、または合成済みネットリストから開始できます。さまざまなタイプのプロジェクトにより、I/O プランニングを柔軟に実行できます。ただし、I/O の割り当てではできるだけ合成済みデザインで実行してください。たとえば、より複雑な I/O 配置のデザイン ルール チェック (DRC) は、合成済みデザインでのみ実行可能です。

I/O プランニングは、複数の方法で実行できます。Advanced IO Wizard でデザインを構築した場合は、Advanced I/O Planner という Versal 用の新しいツールを使用して、SelectIO やソフト/ハード メモリ インターフェイスのピン プランニングを、バンク (54 ピン) またはニブル (6 ピン) 単位で実行できます。Advanced I/O Planner では、ピンを自動で割り当て、その後従来のピン プランニング ツールを使用して個々のピン割り当てを調整できます。このツールでは、すべての I/O インターフェイスを自動配置して、最適なクロッキングおよび I/O アーキテクチャを達成できます。個々の I/O を配置する必要がある場合は、従来のピン プランニング ツールを使用してピン制約を XDC ファイルに出力できます。最後に、ピン プランニングをユーザー定義 XDC ファイルで指定することも可能です。

メモリ IP、ギガビット トランシーバー (GT)、ザイリンクスの高速 I/O IP、PCI Express® (PCIe)、およびイーサネット インターフェイスなどの IP には、それらの IP に関連付けられた I/O ポートがあります。I/O プランニング プロセスを開始する前に、Vivado Design Suite の IP 機能を使用してこれらの IP を適切に設定しておく必要があります。これらのインターフェイスは通常タイミング クリティカルなので、デバイスのピン割り当てを考慮する際はこれらの IP を始点として使用します。また、これらの IP を使用する場合は、RTL または合成済みデザインを使用してください。詳細は、「I/O ポートを含む IP の I/O およびクロック プランニング」を参照してください。

### 関連情報

[I/O ポートを含む IP の I/O およびクロック プランニング](#)

## I/O およびクロック プランニング デザイン フロー

Vivado Design Suite では、任意のプロジェクト タイプを使用して、デザイン フローの任意の段階で I/O およびクロック プランニングを実行できます。最もよく使用される方法は、次のとおりです。



**ヒント:** Vivado Design Suite を非プロジェクト モードで実行して、I/O およびクロック プランニングを実行することもできます。プロジェクト モードおよび非プロジェクト モードの詳細は、Vivado Design Suite User Guide: Design Flows Overview (UG892) の[このセクション](#)を参照してください。



**ビデオ:** デザイン プロセスのさまざまな段階での I/O プランニング実行の詳細は、[Vivado Design Suite ビデオチュートリアル: I/O プランニングの概要](#)を参照してください。

## RTL 作成前の I/O プランニング

空の I/O プランニング プロジェクトを作成すると、デザイン ソース ファイルがない状態で、デバイスを調べたり、初期 I/O ポート割り当てたりできます。この方法では、RTL ソース ファイルまたはネットリストはなく、初期の I/O プランニングおよびボード レベルの統合を実行します。これにより、ピン配置を設計の初期段階で定義でき、設計サイクルの後の方でデバイスのピン配置に関連する変更を繰り返さなくて済みます。I/O プランニング プロジェクトを使用すると、次が可能です。

- デバイスおよび I/O ポート割り当てを PCB 設計からインポート、または I/O ポートを手動で作成。
- デバイスおよび I/O ポート割り当てをエクスポートして PCB 設計用に渡したり、後続のデザイン プロセスで使用。
- ポート定義とピン割り当てが解決した後、I/O プランニング プロジェクトを RTL プロジェクトに変換。
- ポート定義に基づいてデザインの最上位の Verilog または VHDL モジュール定義を作成。

I/O ピン プランニング プロジェクトでポート割り当てを完了したら、RTL プロジェクトに変換し、デザインの最上位の Verilog または VHDL モジュール定義を作成できます。これにより、RTL デザインを開始するときに既に承認した I/O プランニングを使用できます。詳細は、「I/O プランニング プロジェクトの RTL プロジェクトへの変換」を参照してください。

**注記:** I/O プランニング プロジェクトの作成方法は、Vivado Design Suite User Guide: System-Level Design Entry (UG895) の[このセクション](#)を参照してください。PCB 設計で定義されたピン割り当てのインポートまたは別の Vivado Design Suite プロジェクトからのピン割り当てのインポートについては、「I/O ポートの定義と設定」を参照してください。

### 関連情報

[I/O プランニング プロジェクトの RTL プロジェクトへの変換](#)

[I/O ポートの定義と設定](#)

## RTL I/O プランニング

I/O プランニングはエラボレート済み RTL プロジェクトで実行できます。この方法では、RTL デザイン (オプションで Vivado IP カタログからの IP コア、または Vivado IP インテグレーターからのブロック デザインを含む) を使用します。IP カタログを使用すると、IP のカスタマイズ、Clocking Wizard を使用したクロッキング コンポーネントのカスタマイズ、SelectIO™ Interface Wizard を使用した SelectIO インターフェイス リソースの設定が可能です。Vivado ツールでエラボレート済みデザインを開くと、基本的な DRC を使用してポート割り当て、I/O 規格、クロック リソース、およびその他のデザインの詳細をチェックできます。エラボレート済みデザインで初期の I/O およびクロック プランニングを実行すると、デバイスおよび I/O ポート割り当てをエクスポートして PCB 回路図シンボルの生成に使用したり、合成またはインプリメンテーションで使用する制約を XDC ファイルに保存できます。



**注記:** RTL プロジェクトの作成方法およびエラボレート済みデザインを開く方法は、Vivado Design Suite User Guide: System-Level Design Entry (UG895) の[このセクション](#)を参照してください。

## ネットリスト I/O プランニング

I/O プランニングは、合成済みネットリストでも実行できます。この方法では、合成済み RTL プロジェクトまたは合成後のネットリストから作成したネットリスト プロジェクトを使用します。I/O およびクロック プランニングは、できるだけ合成済みデザインで実行してください。Vivado ツールでは合成後にデザインに関するより詳細な情報を使用できるので、自動 I/O 配置やインタラクティブ配置モードを使用して、I/O ポートの割り当てを制御できます。[I/O Planning] レイアウトを使用して、デバイス パッケージの物理的なピンと、デバイス上の I/O バンクのダイ パッド間の関係を表示することもできます。

合成済みデザインを使用すると、PCB とザイリンクス デバイス間の接続を最適化する際に適切な判断を下すことができるので、PCB またはシステム レベルの設計者と連携しやすくなり、MIPI やメモリ IP など、I/O 配置を割り当てる IP コアからの I/O 配置情報を組み込みやすくなります。また、合成後には生成クロックを含むすべてのクロックが定義されているので、Vivado Design Suite でクロック要件およびリソース使用率が認識され、より詳細な検証を実行できます。

**注記:** ネットリスト ベースの I/O プランニングは、合成済み RTL デザインまたは合成後のネットリスト プロジェクトで実行できます。合成後のプロジェクトの作成方法は、Vivado Design Suite User Guide: System-Level Design Entry (UG895) の[このセクション](#)を参照してください。



**推奨:** クロック ロジックのチェックは、合成済みデザインで実行することをザイリンクスではお勧めします。クロック タイミングのチェックは、インプリメント済みデザインで実行することをザイリンクスではお勧めします。

## インプリメント済みデザインでの最終的な I/O の検証

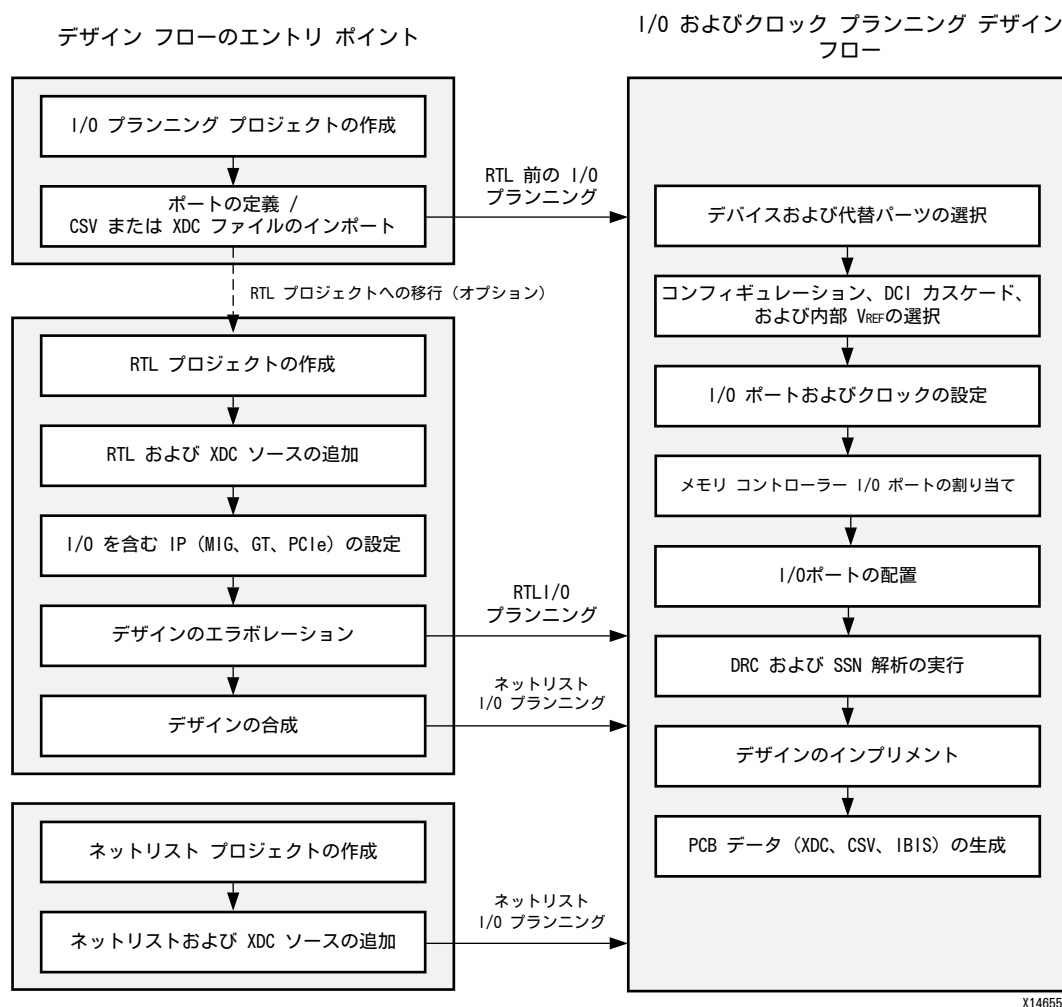
I/O ピン配置およびクロック構成が有効であることを最終的に検証するには、完全にインプリメント済みデザインを使用する必要があります。クロック リソースが適切であることを検証するには、すべてのクロックの完全に配線されたインプリメンテーションが必要です。インプリメンテーション レポートで I/O およびクロック関連のメッセージを確認できます。最後に、I/O ポート割り当てを PCB 設計者に確認し、FPGA がシステム レベル デザイン用に正しく定義されていることをチェックします。

I/O の配置は、クロックの配置や、クロックがどのニブルに供給されるかによって異なります。I/O でのクロッキングに関する詳細は、『Versal ACAP SelectIO リソース アーキテクチャ マニュアル』(AM010: [英語版](#)、[日本語版](#)) および『Versal ACAP クロッキング リソース アーキテクチャ マニュアル』(AM003: [英語版](#)、[日本語版](#)) を参照してください。

## I/O およびクロック プランニング デザイン フローの手順

次の図に、プロジェクト デザイン フローの手順を示します。水平方向の矢印は、プロジェクト デザイン フローで I/O およびクロック プランニングを実行可能な段階を示します。I/O およびクロック プランニング デザイン フローの手順は、右側に示されています。

図 1: I/O およびクロック プランニング デザイン フロー



プロジェクト デザイン フローは、空の I/O プランニング プロジェクト、RTL デザイン プロジェクト、または合成後のネットリスト プロジェクトから開始します。これらのプロジェクト タイプのいずれかを使用すると、I/O およびクロック プランニング デザイン フローの次の手順を実行できます。

#### 1. デバイスおよび代替パーツの選択

パーツを選択する際は、最終的なデザインのリソースの見積もりに基づいてデバイスのサイズを決定します。パッケージは、メモリへのクリティカル配線など、PCB 要件に基づいて選択します。Versal には、ほかの I/O 操作には使用できない専用のハード メモリ コントローラー ピンもあります。スタックド シリコン インターコネクト (SSI) テクノLOGYを使用するデザインについては、UltraFast Design Methodology Guide for Xilinx FPGAs and SoCs (UG949) のこのセクションを参照してください。互換性のある代替パーツを指定することもできます。詳細は、「互換性のある代替デバイスの指定」を参照してください。

ザイリンクス デバイスおよびその他のコンポーネントを含み、信頼性の高い評価プラットフォームまたは製品開発プラットフォームを提供するターゲット デザイン プラットフォーム ボードを選択することもできます。詳細は、「プラットフォーム ボード フローを使用した I/O およびクロック プランニング」を参照してください。

#### 2. コンフィギュレーション、DCI カスケード、および内部 VREF の選択

ザイリンクス デバイスは、電源を投入するたびにコンフィギュレーションする必要があります。ビットストリームは、異なるコンフィギュレーション モードをイネーブルにする特別なコンフィギュレーション ピンを介してデバイスに読み込みます。Versal では、デバイス イメージを読み込みます。アプリケーションで使用するコンフィギュレーション モードは、デザインの I/O プランニングに影響します。I/O 割り当てを開始する前に、コンフィギュレーション モードを決定しておくことが必要です。コンフィギュレーション モードは一部のピンの接続を決定するだけでなく、多目的ピンを含む I/O バンクに必要な VCCO 電圧も決定します。詳細は、「デバイス コンフィギュレーション モードの設定」を参照してください。

伝送ラインの特性インピーダンスを一致させてシグナル インテグリティを向上するため、I/O 規格によって、デジタル制御インピーダンス (DCI) でドライバーの出力インピーダンスを制御するか、ドライバー、レシーバー、またはその両方に並列終端を追加できます。DCI では、各 I/O バンクの 2 つの多目的基準ピンを使用して、ドライバーのインピーダンスまたはバンクのすべての I/O の並列終端値を制御します。

差動入力バッファを使用するシングルエンド I/O 規格には、基準電圧 (VREF) が必要です。INTERNAL\_VREF 制約を使用して内部 VREF を生成できるので、PCB 上で特定の基準電圧電源レールを提供する必要はありません。7 シリーズおよび UltraScale™ アーキテクチャでは、これにより I/O バンクの多目的 VREF ピンをほかの I/O ポート割り当てに使用できます。詳細は、「デバイス制約の設定」を参照してください。

### 3. I/O ポートおよびクロックの設定

デバイス上の I/O ポートでは、IOSTANDARD、SLEW、DRIVE などの複数の I/O 関連の制約がサポートされています。これらのポートを、システム レベル デザインに必要な規格をサポートするように設定します。I/O 規格の定義が、ピン配置に影響する可能性があります。たとえば、1 つの I/O バンクで組み合わせることができる I/O 規格とできない I/O 規格があります。詳細は、「I/O ポートの設定」を参照してください。

ザイリンクス デバイスは、クロック領域の列と行に分割されています。1 つのクロック領域には、コンフィギュラブル ロジック ブロック (CLB)、I/O バンク、DSP スライス、ブロック RAM、インターコネクト、および関連のクロック リソースが含まれます。各 I/O バンクには、システムまたはボード クロックをデバイスに取り込み、クロック配線リソースに供給するクロック兼入力ピンがあります。デザインのクロックをデバイス全体に分配できるよう、これらのクロック リソースの使用をプランニングする必要があります。Versal には、グローバル クロッキングを使用しない高速 I/O 専用のクロッキングがあります。これらの I/O に正しくクロックが供給されていることを確認してください。詳細は、「クロック プランニング」を参照してください。

**注記:** I/O プランニング プロジェクトでは、クロック オブジェクトが定義されていないので、クロック プランニングを実行することはできません。



**推奨:** ザイリンクスでは、Vivado IP カタログの Clocking Wizard を使用して、混合モード クロック マネージャー (MMCM) または位相ロック ループ (PLL) モジュールを生成してクロック接続を定義することをお勧めします。詳細は、Clocking Wizard LogiCORE IP Product Guide (PG065) を参照してください。Advanced IO Wizard を使用して I/O インターフェイス デザインを含むクロッキングを生成することもできます。

### 4. メモリ コントローラー I/O ポートの割り当て

メモリ IP は、FPGA デザインとサポートされる外部メモリ デバイスの通信用にあらかじめ設計されたコントローラーおよび物理層 (PHY) を使用するメモリ コントローラーを定義します。イーサネット IP および PCI Express® (PCIe) テクノロジ IP だけでなく、高速メモリ コントローラーにもクロックおよびスキューの要件によって特別なピン配置要件があります。

ギガビット トランシーバー (GT)、PCIe テクノロジ、およびメモリ IP に対しては、コアをデザインに追加する際に、IP カスタマイズの一部として I/O 物理ピン割り当てを実行する必要があります。IP によっては、I/O 割り当てを変更するのに、デザインに含まれる IP をカスタマイズし直す必要があります。IP のカスタマイズおよび IP の操作については、Vivado Design Suite User Guide: Designing with IP (UG896) を参照してください。UltraScale アーキテクチャのメモリ IP では、I/O 割り当ては標準 I/O プランニング フローに統合されているので、I/O 割り当てを変更する際にメモリ IP をカスタマイズし直す必要はありません。詳細は、「UltraScale アーキテクチャのメモリ IP の I/O プランニング プロジェクト」を参照してください。

**注記:** I/O プランニング プロジェクトには、メモリ コントローラー、PCIe、ギガビット トランシーバーなどの複雑な IP の IP ファイルからの物理ピン割り当ては読み込まれません。詳細は、「I/O ポートを含む IP の I/O およびクロック プランニング」を参照してください。

## 5. I/O ポートの配置

デザインの I/O ポートを、デバイス上のパッケージ ピンにインタラクティブに割り当てることができます。これには、[I/O Ports] ウィンドウで個別の I/O ポートまたは I/O ポートのグループ (インターフェイス) を選択し、[Package] ウィンドウでパッケージ ピンに、または [Device] ウィンドウで I/O パッドに割り当てます。Advanced I/O Planner では、ニブルまたはバンク単位でのピン配置も可能です。このツールを使用すると、XPIO バンクのすべての I/O インターフェイスを理解し、すべてを一度に自動配置できます。詳細は、「I/O ポートの配置」を参照してください。

合成済みデザインからの情報を使用して、Vivado Design Suite で I/O ポートを自動的に配置することも可能です。詳細は、「I/O ポートの自動配置」を参照してください。

## 6. DRC および SSN 解析の実行

I/O およびクロックを割り当てたら、デザイン ルール チェック (DRC) および同時スイッチ ノイズ (SSN) 解析を実行してデザインを解析することが重要です。DRC は、指定したデザイン ルールのセットに対して現在のデザインをチェックし、違反がある場合はレポートします。詳細は、「DRC の実行」を参照してください。

SSN 解析では、同時に切り替わる出力が I/O バンク内のほかの出力ポートに与える影響を見積もります。この見積もりには I/O バンク特定の電気特性も考慮され、デザインで発生する可能性のあるノイズに関連した問題が特定されます。詳細は、「SSN 解析」を参照してください。

**注記:** SSN 解析の見積もり値は、デザインで発生する可能性のあるノイズに関連した問題を特定するためのもので、最終デザインを確定するための検証方法としては使用しないでください。



**推奨:** ザイリンクスでは、インプリメンテーション後だけではなく、合成後のインプリメンテーション前に DRC および SSN 解析を実行することをお勧めします。そうすると、デザイン サイクルの早期に問題を検出できます。

## 7. デザインのインプリメント

ザイリンクス デバイスをコンフィギュレーションするためのビットストリームを生成する前に、デザインをインプリメントする必要があります。インプリメンテーションでは、Vivado ツールによりデザイン エLEMENT のデバイス リソースへの配置、デザイン ネットワークの配線、消費電力削減およびタイミング クロージャ達成のための最適化が実行されます。詳細は、Vivado Design Suite User Guide: Synthesis (UG901) および Vivado Design Suite User Guide: Implementation (UG904) を参照してください。

## 8. PCB データ (XDC、CSV、IBIS) の生成

I/O およびクロック プランニングは繰り返しプロセスであり、PCB またはシステム設計者と FPGA 設計者の間の情報交換が必要です。このプロセスは、CSV ファイルからインポートされたターゲット デバイスのピン配置を使用した、PCB からの入力から開始できます。I/O およびクロック プランニング フローの手順を完了したら、CSV ファイルおよび IBIS (I/O Buffer Information Specification) モデルを使用して、ピン配置をデバイス モデルと共にシグナル インテグリティ 解析用に戻すことができます。詳細は、「システム設計者との情報共有」を参照してください。

## 関連情報

[互換性のある代替デバイスの指定](#)  
[プラットフォーム ボード フローを使用した I/O およびクロック プランニング](#)  
[デバイス コンフィギュレーション モードの設定](#)  
[デバイス制約の設定](#)  
[I/O ポートの設定](#)  
[クロック プランニング](#)  
[UltraScale アーキテクチャのメモリ IP の I/O プランニング](#)  
[I/O ポートを含む IP の I/O およびクロック プランニング](#)  
[I/O ポートの配置](#)  
[I/O ポートの自動配置](#)  
[DRC の実行](#)  
[SSN 解析](#)  
[システム設計者との情報共有](#)

## I/O およびクロック プランニングの機能

次の表に、各プロジェクト タイプでサポートされる機能を示します。

表 2: I/O およびクロック プランニングの機能

機能	I/O プランニング プロジェクト	RTL デザイン	合成済みデザイン	インプリメント済み デザイン
CSV および XDC ファイルからのポートの読み込み	サポートあり <sup>1</sup>	なし	なし	なし
ポートの作成または削除	サポートあり <sup>1</sup>	なし	なし	なし
XDC ファイルからの I/O 規格および配置の読み込み	サポートあり <sup>1</sup>	サポートあり <sup>1</sup>	サポートあり <sup>1</sup>	サポートあり <sup>1</sup>
パーツの互換性の設定	サポートあり <sup>1</sup>	サポートあり	サポートあり	サポートあり
コンフィギュレーション モードの設定	サポートあり <sup>1</sup>	サポートあり	サポートあり	サポートあり
I/O プランニング DRC	サポートあり <sup>1</sup>	サポートあり	サポートあり	サポートあり
同時スイッチ ノイズ (SSN) 解析	サポートあり	サポートあり	サポートあり	サポートあり
クロックを考慮した配置および DRC	なし	なし	サポートあり	サポートあり
最終的な DRC	なし	なし	なし	サポートあり

### 注記:

1. Zynq® UltraScale+™ MPSoC の MIO (Multiplexed I/O) ピンは、Zynq UltraScale+ MPSoC IP を設定する際に定義されます。これらのピンは、IP 設定、インプリメンテーション I/O レポート、またはエラボレート、合成、インプリメント済みのデザインから生成された CSV ファイルでのみ表示されます。

## プラットフォーム ボード フローを使用した I/O およびクロック プランニング

Vivado Design Suite では、デザインのターゲットとして、コンフィギュレーション済みのターゲット デザイン プラットフォーム ボードを選択できます。ターゲット ザイリンクス デバイス、ボード コンポーネント、信号インターフェイス、I/O 設定、さまざまな IP 設定オプションなどの各プラットフォーム ボードに関する情報は、ボード インターフェイス ファイルに格納されています。Vivado Design Suite では、定義済みボード用のボード インターフェイス ファイルを提供しています。独自のターゲット プラットフォーム ボードを Vivado ツールで使用できるように定義することもできます。プラットフォーム ボード フローの詳細は、Vivado Design Suite User Guide: System-Level Design Entry (UG895) の[このセクション](#)を参照してください。

I/O 要件は、IP をカスタマイズしたときに使用した IP 設定および信号インターフェイスによって 変わる可能性があります。プラットフォーム ボード フローで Vivado IP カタログからの IP を使用する場合は、パッケージ ピン割り当て および IOSTANDARD、SLEW、DRIVE などの I/O 関連の制約を自動的に定義できます。

また、I/O プランニング プロジェクト、RTL デザイン プロジェクト、または合成後のネットリスト プロジェクトで作業中に、さまざまな Vivado Design Suite Tcl コマンドを使用してボード インターフェイス ファイルの情報にアクセスできます。ボード インターフェイス ファイルからの情報を使用して、ポートをグループ化してインターフェイスを定義したり、特定の FPGA コンフィギュレーション用に必要なポートを定義できます。詳細は、「I/O ポート インターフェイスの自動推論」を参照してください。

### 関連情報

[I/O ポート インターフェイスの自動推論](#)

## SSI テクノロジ デバイスの I/O およびクロック プランニング

スタックド シリコン インターコネクト (SSI) テクノロジ デバイスを使用する場合、I/O およびクロック プランニング が重要になります。SSI テクノロジ デバイスはダイの集積度が高いため、配置に問題があると、配線時間が長くなり、消費電力が増加して、パフォーマンスが低下する可能性があります。ピン配置の選択およびクロッキングの詳細は、UltraFast Design Methodology Guide for Xilinx FPGAs and SoCs (UG949) の[このセクション](#)を参照してください。

## I/O ポートを含む IP の I/O およびクロック プランニング

メモリ、GT、PCIe、およびイーサネット インターフェイスなどの IP には、それらの IP に関連付けられた I/O ポートがあります。I/O プランニング プロセスを開始する前に、Vivado Design Suite の IP 機能を使用してこれらの IP を適切に設定しておく必要があります。これらのインターフェイスは通常タイミング クリティカルなので、デバイスのピン割り当てを考慮する際はこれらの IP を始点として使用します。また、これらの IP を使用する場合は、I/O ピン プランニング プロセスに RTL または合成済みデザインを使用します。



GT、PCIe IP、イーサネット、およびメモリ IP のコアの I/O 物理ピン割り当ては、デザインに追加するときの IP カスタマイズで実行します。I/O 割り当てを変更するには、デザインに含まれる IP をカスタマイズし直します。IP のカスタマイズおよび IP の操作については、Vivado Design Suite User Guide: Designing with IP ([UG896](#)) を参照してください。UltraScale アーキテクチャのメモリ IP では、I/O 割り当ては標準 I/O プランニング フローに統合されているので、I/O 割り当てを変更する際にメモリ IP をカスタマイズし直す必要はありません。詳細は、「UltraScale アーキテクチャのメモリ IP の I/O プランニング プロジェクト」を参照してください。

#### 関連情報

[UltraScale アーキテクチャのメモリ IP の I/O プランニング](#)

---

## Zynq UltraScale+ MPSoC の I/O プランニング

Zynq® UltraScale+™ MPSoC MPSoC には高度な機能があるので、ピン プランニング フローがほかのデバイスと異なります。Zynq UltraScale+ MPSoC IP をカスタマイズして、デザインで使用する予定の機能を指定する必要があります。デザイン フローを進めていっても、MIO (Multiplexed I/O) ピンはユーザー デザインまたは制約に表示されません。I/O プランニング プロジェクトでは、MIO ポートの使用は示されず、MIO ピンの配置も記述されません。回路図またはボード設計者とのやり取りのために使用されたピンすべてを表示するには、[File]→[Export]→[Export I/O Ports] コマンドを使用して CSV ファイルを生成する必要があります。Zynq UltraScale+ MPSoC MPSoC のピンすべてのプランニングには、HDL プロジェクトを使用することをザイリンクスではお勧めします。詳細は、「I/O ポートの定義と設定」を参照してください。

#### 関連情報

[I/O ポートの定義と設定](#)

---

## UltraScale および UltraScale+ I/O プランニング

UltraScale および UltraScale+ デバイスのバンク タイプの名前は、7 シリーズ デバイスと異なります。さらに I/O 規格も追加されています。バンク タイプの名前は、7 シリーズ デバイスの場合 High Range と High Performance ですが、UltraScale アーキテクチャ デバイスの場合 High Density (High Range の代わり) と High Performance です。詳細は、『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: [英語版](#)、[日本語版](#)) のこのセクションを参照してください。

---

## Versal ACAP の I/O プランニング

Versal ACAP の I/O には、高性能 XP I/O (XPPIO) と高密度 HD I/O (HDIO) の 2 種類があります。XPPIO には 1.0V ~ 1.5V の電圧範囲の高速インターフェイスをサポートする専用のロジックが含まれます。HDIO バンクと XPPIO バンクの電圧または I/O 規格は重複していません。HDIO は 1.8V ~ 3.3V の電圧範囲のインターフェイスをサポートします。HDIO には、削減されたクロック速度でシングル データ レート (SDR) およびダブル データ レート (DDR) インターフェイスをサポートするためのロジックがあります。アーキテクチャ情報は『Versal ACAP SelectIO リソース アーキテクチャ マニュアル』(AM010: [英語版](#)、[日本語版](#))、Advanced IO Wizard および Advanced IO Planner の詳細は Advanced I/O Wizard LogiCORE IP Product Guide ([PG320](#)) を参照してください。

すべての Versal FPGA は、コンフィギュレーション可能な SelectIO インターフェイス ドライバーとレシーバーを備え、さまざまな標準インターフェイスに対応しています。その充実した機能セットには、出力駆動能力およびスループートのプログラマブル制御、オンチップ終端、基準電圧 (INTERNAL\_VREF) の内部生成などがあります。Versal デバイスの XPIO バンクには 54 本の SelectIO ピンがあり、シングルエンドおよび差動 I/O 規格の両方を実装できます。XPIO バンクは、1.5V 以下の高速インターフェイスをサポートします。一部の Versal デバイスには、1.8V ~ 3.3V の電圧レベルに接続可能な HDIO バンクがあります。HDIO バンクには 22 本の SelectIO ピンがあり、シングルエンドおよび差動 I/O 規格の両方を実装できます。すべての SelectIO IOB リソースには入力、出力、およびトライステートのドライバーが含まれます。SelectIO ピンは、シングルエンドおよび差動のさまざまな I/O 規格に合わせて構成できます。

- シングルエンド I/O 規格の例としては、LVCMOS、LVTTL、HSTL、SSTL、HSUL、LVSTL、および POD があります。
- 擬似差動規格の例としては、差動 HSTL、POD、HSUL、LVSTL、および SSTL があります。
- LVDS と互換性があります。



# デバイスのコンフィギュレーション

Vivado Design Suite には、I/O およびクロック プランニングに影響するデバイス プランニング機能がいくつかあります。たとえば、デバイスのコンフィギュレーション方法やデバイスの制約やコンフィギュレーション電圧の設定方法は、すべて I/O およびクロック プランニングに影響します。

最終的なデザインで必要な場合にターゲット パーツのサイズを変更できるように、代替パッケージ/互換性のあるデバイスを定義することもできます。I/O およびクロック プランニングを開始する前に、これらのデバイス特定のプロパティを定義してください。

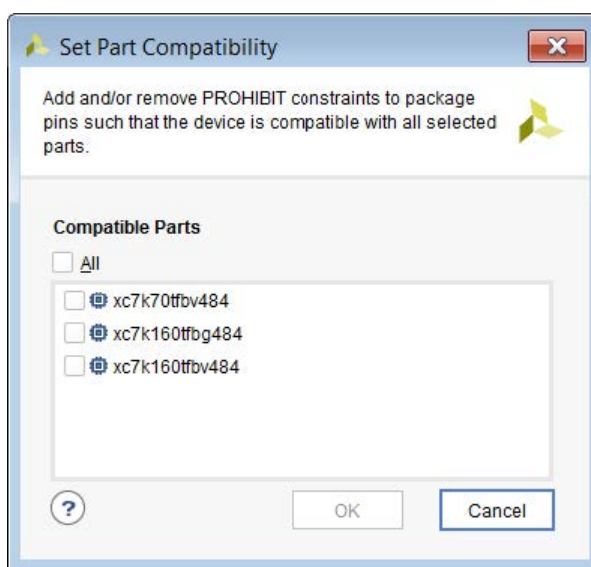
## 互換性のある代替デバイスの指定

デザインに互換性のある代替サイリックス デバイスを選択でき、必要に応じてターゲット デバイスを変更できます。Vivado ツールで現在選択されているターゲット パーツと同じパッケージの代替サイリックス デバイスが選択され、できるだけ多くの I/O 割り当てが保持されるので、I/O ピン割り当てでは選択された代替デバイスでも確実に機能します。


互換性のある代替デバイスを定義するには、次の手順に従います。

1. [Tools] → [I/O Planning] → [Set Part Compatibility] をクリックします。
2. [Set Part Compatibility] ダイアログ ボックスで代替デバイスを選択し、[OK] をクリックします。

図 2: [Set Part Compatibility] ダイアログ ボックス



Vivado IDE で、選択されたすべての代替デバイス間で共通のピンが特定され、すべてのデバイスに共通でないピンに対しては PROHIBIT 制約が設定されます。選択するデバイスの数が増えると、配置可能なパッケージ ピンの数が減ります。

Vivado IDE では、選択した代替デバイスのボンディングされていないピンに信号が割り当てられないように、PROHIBIT 制約も自動的に設定されます。使用禁止のパッケージ ピン数を示すダイアログ ボックスが表示されます。使用禁止のピンは、[Package]、[Package Pins]、[Device] ウィンドウで確認できます。禁止ピンは、斜線の入った丸いアイコン  で表示されます。

## 互換性のある代替パーツを定義する Tcl コマンド例

```
set_property KEEP_COMPATIBLE xc7k160tfbg676 [current_design]
```

注記: `set_property` Tcl コマンドの詳細は、Vivado Design Suite Tcl Command Reference Guide (UG835) を参照してください。KEEP\_COMPATIBLE プロパティの詳細は、Vivado Design Suite Properties Reference Guide (UG912) を参照してください。

## デバイス コンフィギュレーション モードの設定

ザイリンクス デバイス コンフィギュレーション データは CMOS ラッチに格納されるので、デバイスに電源を投入するたびにコンフィギュレーションし直す必要があります。ビットストリームは、異なるコンフィギュレーション モードのインターフェイスとして使用される特別のモード コンフィギュレーション ピンを介してデバイスに読み込まれます。コンフィギュレーション モードは、専用の入力ピンに適切な電圧を設定することにより選択します。

各コンフィギュレーション モードには、デバイスの 1 つまたは複数の I/O バンクにまたがるインターフェイス ピンのセットが対応しています。バンク 0 には専用コンフィギュレーション ピンが含まれるので、すべてのコンフィギュレーション インターフェイスで常に使用されます。UltraScale および UltraScale+ デバイスのバンク 65、7 シリーズ デバイスのバンク 14 および 15 には、さまざまなコンフィギュレーション モードで使用される多機能ピンが含まれています。使用可能なデバイス コンフィギュレーション モードの詳細は、該当するデバイスのコンフィギュレーション ユーザー ガイドを参照してください。コンフィギュレーション モードとほかの多機能ピンとの間に競合が発生するかどうかを解析する場合は、「多機能ピン」を参照してください。

デバイス コンフィギュレーション モードを設定し、モードに関する情報を表示するには、次の手順に従います。

1. [Tools] → [Edit Device Properties] をクリックします。
2. [Edit Device Properties] ダイアログ ボックス (次の図) で [Configuration Modes] カテゴリをクリックし、次の操作を実行したら [OK] をクリックしてダイアログ ボックスを閉じます。
  - コンフィギュレーション モードのチェック ボックスをオンにして、コンフィギュレーション モードを設定します。コンフィギュレーション モードを設定すると、次のようになります。
    - 。 関連する I/O ピンが [Package Pins] ウィンドウの [Config] 列に表示されます。
    - 。 デザインを保存すると、次の制約が作成されます。

```
set_property BITSTREAM.CONFIG.PERSIST NO [current_design]
set_property CONFIG_MODE <configuration_mode> [current_design]
```

- コンフィギュレーション モードをクリックしてダイアログ ボックスを開くと、説明、コンフィギュレーション図、詳細情報へのリンクなどの情報が表示されます。コンフィギュレーション図を印刷するには、[Print] をクリックします。

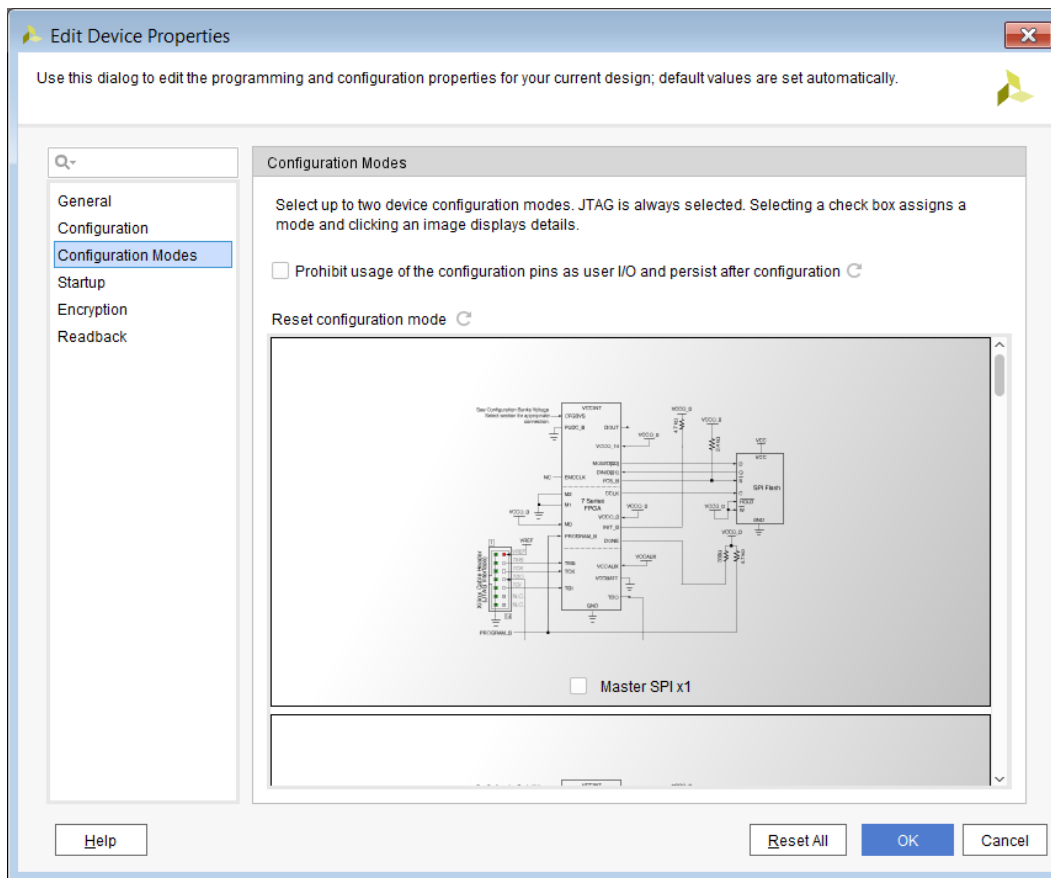
- ピンがコンフィギュレーション ピンとして使用され、コンフィギュレーション後に汎用 I/O としては使用されないようにするには、[Prohibit usage of the configuration pins as user I/O and persist after configuration] をオンにします。このオプションをオンにすると、デザインを保存したときに次の制約が作成されます。

```
set_property BITSTREAM.CONFIG.PERSIST YES [current_design]
```

**注記:** コンフィギュレーション ビットストリーム設定の詳細は、Vivado Design Suite User Guide: Programming and Debugging (UG908) のこのセクションを参照してください。



**重要:** JTAG コンフィギュレーション モードは、常に選択されます。JTAG コンフィギュレーション モードに加え、コンフィギュレーション モードをもう 1 つ選択できます。



- 制約をターゲット XDC ファイルに保存するには、[File]→[Constraints]→[Save] をクリックします。

**注記:** これを Tcl コマンドで実行するには、save\_constraints コマンドを使用します。



**ヒント:** コンフィギュレーション モードを設定する場合は、[Edit]→[Undo] をクリックして最後のアクションを取り消すことができます。または、Tcl コンソールに「undo」と入力します。

## 関連情報

多機能ピン

## デバイス コンフィギュレーション モードを設定する Tcl コマンド例

```
set_property CONFIG_MODE SPIx2 [current_design]
```

**注記:** デフォルトでは、コンフィギュレーション ピンはコンフィギュレーション後にもコンフィギュレーション ピンとして保持される (persist) ようには設定されていません。ピンがコンフィギュレーション ピンとして使用され、コンフィギュレーション後に汎用 I/O に使用されないようにするには、Tcl コマンドを入力します。

```
set_property BITSTREAM.CONFIG.PERSIST YES [current_design]
```

## デバイス制約の設定

[Device Constraints] ウィンドウでは、DCI\_CASCADE および INTERNAL\_VREF などの制約を設定できます。ザイリンクス デバイスには、さまざまな規格のインターフェイスをサポートするコンフィギュレーション可能な SelectIO™ インターフェイス ドライバーおよびレシーバーが含まれます。この機能には、出力駆動電流およびスループートのプログラマブル制御、デジタル制御インピーダンス (DCI) を使用したオンチップ終端、基準電圧 (INTERNAL\_VREF) を内部生成する機能などが含まれます。

伝送ラインの特性インピーダンスを一致させるため、I/O 規格によって、ザイリンクス DCI でドライバーの出力インピーダンスを制御するか、ドライバー、レシーバー、またはその両方に並列終端を追加できます。DCI は I/O バンク内のインピーダンスを動的に調整し、VRN および VRP ピンに配置されている外部精度基準抵抗にキャリブレーションします。これは、プロセスのばらつきや温度および電源電圧の変動による I/O インピーダンスの変化を補正します。DCI では、各 I/O バンクの 2 つの多目的基準ピンを使用して、ドライバーのインピーダンスまたはバンクのすべての I/O の並列終端値を制御します。

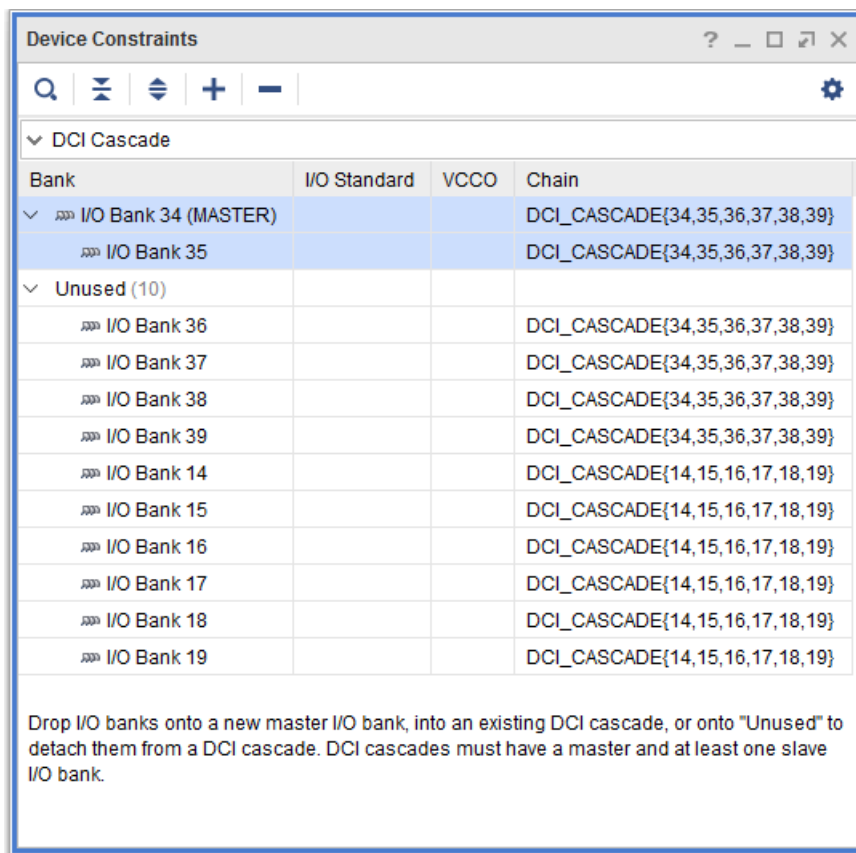
差動入力バッファを使用するシングルエンド I/O 規格には、VREF が必要です。I/O バンクに VREF が必要な場合は、バンクの次のピンを VVREF 電源入力として使用します。

- UltraScale アーキテクチャ ベース デバイス: 専用 VREF ピン
- 7 シリーズ デバイス: 2 つの多機能 VREF ピン

または、INTERNAL\_VREF 制約を使用して内部 VREF を生成することもできます。内部基準電圧を使用すると、PCB 上で特定の VREF 電源レールを提供する必要がなくなり、I/O バンク内の多目的 VREF ピンをほかの I/O ポート割り当てに使用できるようになります。各 I/O バンクには 1 つの VREF プレーンがあり、INTERNAL\_VREF を使用してバンク全体に 1 つの電圧レベルを設定できます。

詳細は、ご使用のデバイスによって『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』(UG471: [英語版](#)、[日本語版](#)) または『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』(UG571: [英語版](#)、[日本語版](#)) を参照してください。

図 3: [Device Constraints] ウィンドウ

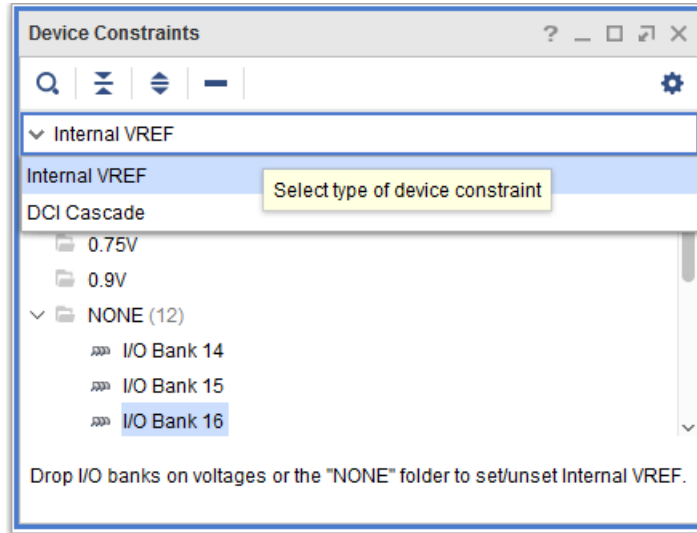


## DCI\_CASCADE 制約の作成

DCI\_CASCADE 制約は、DCI 基準電圧用に近接する複数の I/O バンクをリンクするために使用します。DCI 基準電圧を含む I/O バンクは「マスター」と呼ばれ、カスケード内のその他すべての I/O バンクは「スレーブ」と呼ばれます。カスケードのすべてのバンクは、デバイスの同じ I/O 列に配置されている必要があります。

**注記:** DCI\_CASCADE 制約は、7 シリーズ デバイス、Zynq-7000、および UltraScale アーキテクチャベース デバイスに対して設定できます。DCI\_CASCADE 制約の詳細は、Vivado Design Suite Properties Reference Guide (UG912) の [DCI\\_CASCADE](#) を参照してください。DCI\_CASCADE 制約を作成するには、次の手順に従います。

1. [Device Constraints] ウィンドウの上部にあるドロップダウン リストから [DCI Cascade] を選択します。



2. カスケード接続する I/O バンクを右クリックし、[Add DCI Cascade] をクリックします。
3. [Add DCI Cascade] ダイアログ ボックスで新しい DCI カスケードのマスター I/O バンクを選択し、[OK] をクリックします。

マスター バンクが [Device Constraints] ウィンドウに表示されます。

**注記:** DCI カスケードには、マスター 1 つと少なくとも 1 つのスレーブ I/O バンクが必要です。



**ヒント:** または、[Package] ウィンドウまたは [Package Pins] ウィンドウで DCI\_CASCADE 制約を作成します。カスケード接続するバンクを右クリックし、[Create a DCI Cascade] をクリックします。

## DCI\_CASCADE 制約を作成する Tcl コマンド例

```
set_property DCI_CASCADE {31 32} [get_iobanks 36]
```

**注記:** この Tcl コマンドでは、get\_iobanks コマンドでマスター バンクを指定します。この例では、31 および 32 がスレーブ バンクで、36 がマスター バンクです。

## DCI カスケード制約の変更と削除

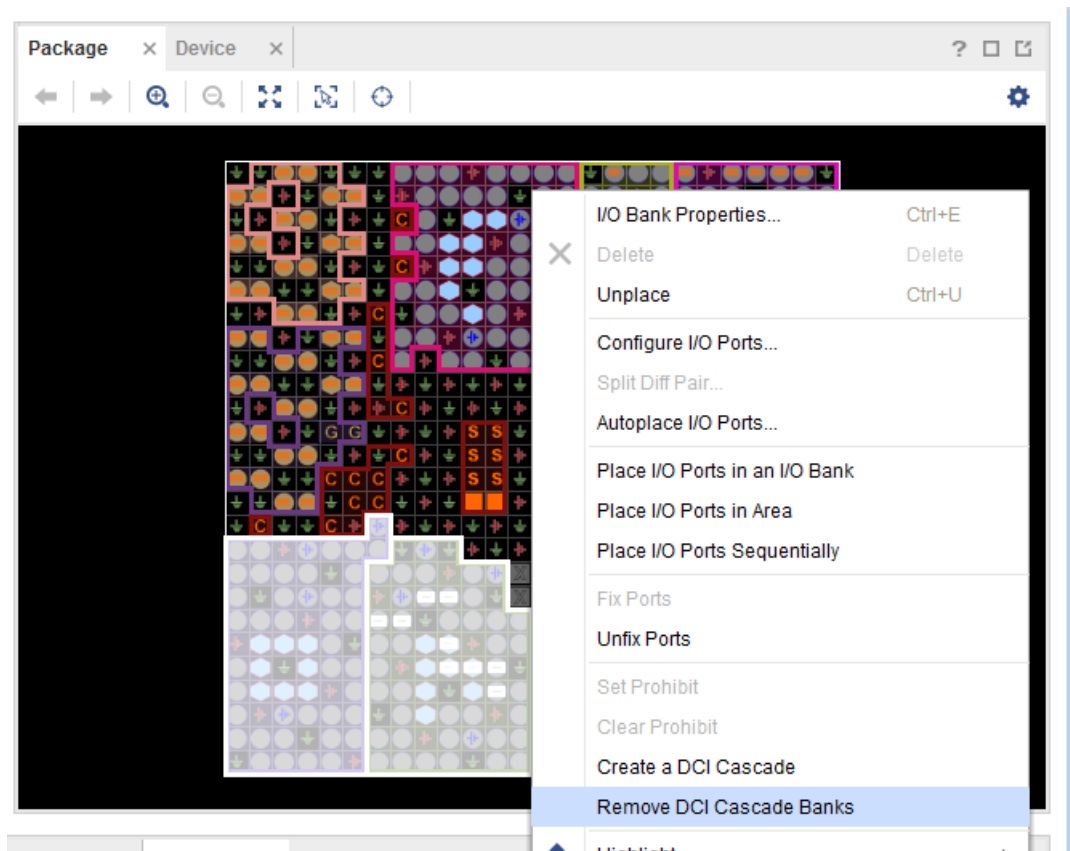
DCI カスケードを変更するには、[Device Constraints] ウィンドウで次を実行します。

- マスターを変更するには、DCI カスケードを右クリックし、[Add DCI Cascade] をクリックします。[Add DCI Cascade] ダイアログ ボックスでマスターにする別のバンクを選択します。
- DCI カスケードに I/O バンクを追加するには、その I/O バンクを DCI カスケードにドラッグ アンド ドロップします。
- DCI カスケードから I/O バンクを削除するには、その I/O バンクを [Unused] フォルダーにドラッグ アンド ドロップします。
- DCI カスケード全体を削除するには、DCI カスケードを右クリックし、[Remove DCI Cascade Banks] をクリックします。

**注記:** これを実行する Tcl コマンドはこちらです。

```
set_property DCI_CASCADE {} [get_iobanks 36]
```

図 4: DCI カスケード バンクの削除



## INTERNAL\_VREF 制約の作成

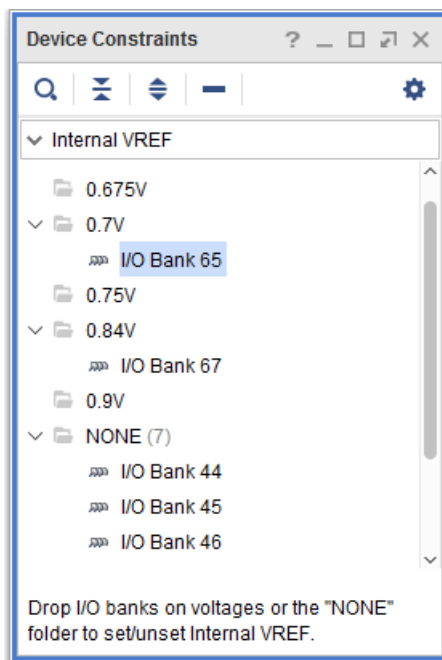
ザイリンクス FPGA には、INTERNAL\_VREF 制約を有効にして、内部生成された基準電圧を使用するオプションがあります。内部生成すると PCB 上で特定の VREF 電源レールを提供する必要がなくなり、I/O バンク内の多目的 VREF ピンを通常の I/O ピンとして使用できるようになります。



**ヒント:** INTERNAL\_VREF 制約が設定されていない I/O バンクは、[Device Constraints] ウィンドウの [NONE] フォルダの下に表示されます。

INTERNAL\_VREF 制約を作成するには、[Device Constraints] ウィンドウで I/O バンクを該当する電圧フォルダー ([0.7V] または [0.84V] など) にドラッグアンドドロップします。



図 5: 内部 V<sub>REF</sub> 制約の作成


## INTERNAL\_VREF 制約を作成する Tcl コマンド例

```
set_property INTERNAL_VREF 0.7 [get_iobanks 65]
set_property INTERNAL_VREF 0.84 [get_iobanks 67]
```

## コンフィギュレーション バンク電圧セレクト ピンの設定

コンフィギュレーション バンク電圧セレクト (CFGBVS) ロジック入力ピンは、VCCO\_0 および GND 間で参照されます。CFGBVS ピンは High または Low に設定して、バンク 0 のピンの I/O 電圧サポートを決定する必要があります。Vivado ツールでは、Tcl コマンドを使用して CFGBVS の接続 VCCO または GND に設定します。コンフィギュレーション電圧 (VCCO\_0) は 1.5、1.8、2.5、または 3.3 に設定できます。これらの設定に基づいて 7 シリーズ デバイスの場合は DRC がバンク 0、14、15 で実行され、UltraScale デバイスの場合はバンク 0 および 65 で実行されます。これらの値は、IBIS モデルをエクスポートする際にも使用されます。

次に例を示します。

```
set_property CFGBVS VCCO [current_design]
set_property CONFIG_VOLTAGE 3.3 [current_design]
```

デフォルトでは、CFGBVS プロパティは空です。Vivado ツールにより CFGBVS プロパティが VCCO または GND に設定されているかがチェックされます。CFGBVS プロパティに値が設定されている場合は、Vivado ツールにより CONFIG\_MODE プロパティがチェックされます。バンクの IOSTANDARD および CONFIG\_VOLTAGE 設定に基づいて、DRC メッセージが表示されます。



Vivado ツールで CSV ファイルをエクスポートすると、CONFIG\_MODE プロパティの設定に基づいて、関連するバンク (7 シリーズ デバイスではバンク 0、14、および 15、UltraScale アーキテクチャ ベース デバイスではバンク 0 および 65) の VCCO 接続情報が提供されます。たとえば、JTAG/バウンダリスキャンを使用する場合、CFGBVS が GND に、CONFIG\_VOLTAGE が 3.3 に設定されていると、クリティカル警告 DRC CFGBVS-4 が表示されます。これは、CONFIG\_VOLTAGE が設定されていても、その値を VCCO (1.8V) に変更する必要があることを示しています。UltraScale+ デバイスの場合、CFGBVS または CONFIG\_VOLTAGE を手動で設定することはできません。デフォルトでは、CFGBVS は GND に設定され、CONFIG\_VOLTAGE は 1.8V に設定されます。

**注記:** CFGBVS ピンの詳細は、該当するデバイスの資料を参照してください。

- 『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』 (UG470: [英語版](#)、[日本語版](#))
- 『UltraScale アーキテクチャ コンフィギュレーション ユーザー ガイド』 (UG570: [英語版](#)、[日本語版](#))
- Zynq UltraScale+ Device Technical Reference Manual ([UG1085](#))

# I/O ロジックおよび低速 I/O プランニング

Vivado IDE の [I/O Planning] レイアウトは、エラボレート済みデザイン、合成済みデザイン、およびインプリメント済みデザインで使用できます。このレイアウトには、[Package] ウィンドウと [Device] ウィンドウが含まれます。I/O の情報は、[Clock Resources]、[Clock Regions]、[Package Pins]、[I/O Ports]、[Device Constraints]、および [Properties] ウィンドウに表示されます。

Advanced I/O Planner は、ニブルおよびバンク単位で I/O を配置および移動できる Versal デバイス用の新しいツールです。低速 I/O プランニングでは、I/O プランニングと同様に従来の設計手法が採用されます。低速 I/O のピンプランニングの詳細は、『Versal ACAP SelectIO リソース アーキテクチャ マニュアル』(AM010: [英語版](#)、[日本語版](#)) を参照してください。

**注記:** Vivado IDE のウィンドウの詳細は、Vivado Design Suite User Guide: Using the Vivado IDE ([UG893](#)) を参照してください。



**ヒント:** I/O プランニング プロジェクトの場合は、[I/O Planning] レイアウトがデフォルトのレイアウトとして使用されます。

[I/O Planning] レイアウトでは、次を実行できます。

- デザイン フローの初期段階で I/O ポートの初期リストを作成、インポート、および設定。
- デザイン フローの最後にピン配置の最終的な検証を実行。
- 関連ポートをインターフェイスにまとめ、パッケージ ピンに割り当て。
- 全自動または半自動インタラクティブ モードを使用して I/O ポートの割り当てを制御。
- 物理パッケージ ピンおよびバンクと、それに対応するチップ上の I/O パッド間の関係を表示。
- PCB とザイリンクス デバイス間の接続を最適化。
- デザインおよびデバイスの I/O 要件を解析。
- I/O ピン配置または PCB と FPGA デザインの両方の要件を満たすピン配置を定義。

## [I/O Planning] レイアウトの使用

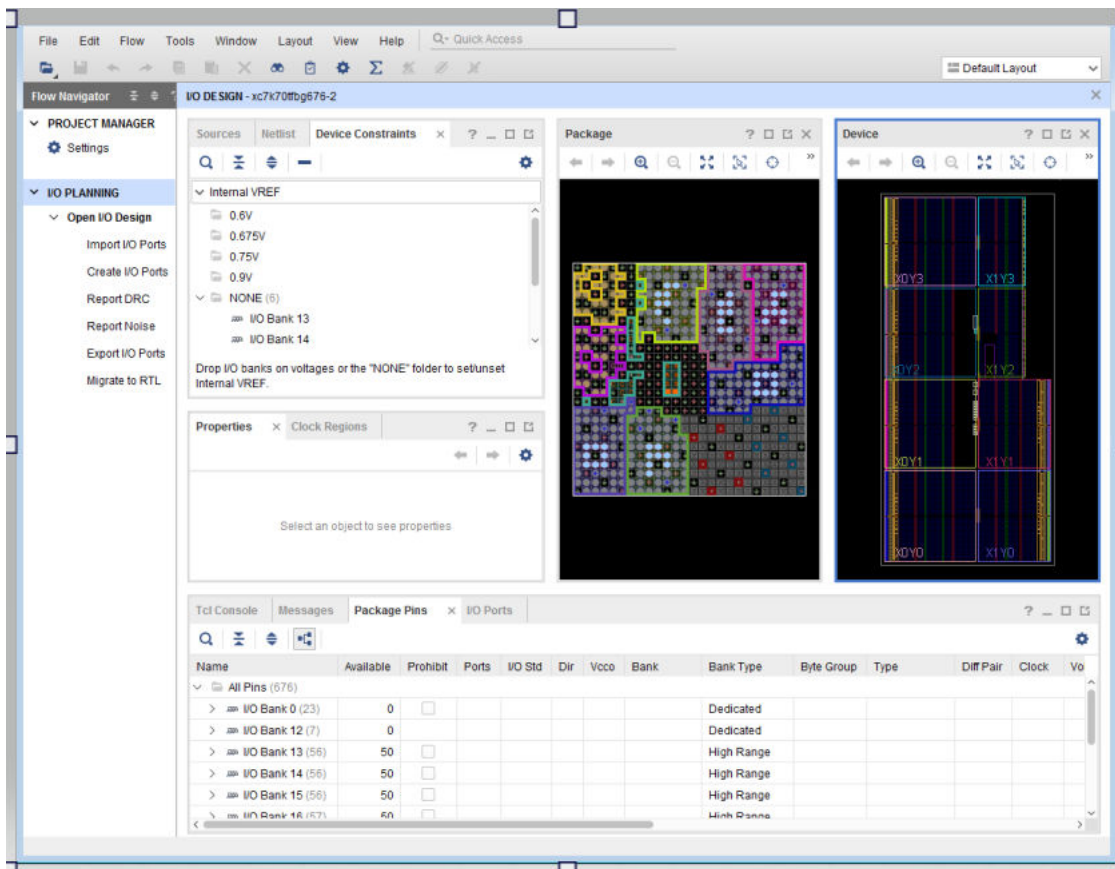
[I/O Planning] レイアウトを開くには、エラボレート済み、合成済み、またはインプリメント済みのデザインを開いて、次のいずれかを実行します。

- [Layout] → [I/O Planning] をクリックします。
- レイアウト セレクターから [I/O Planning] を選択します。
- [New Project] ウィザードを使用して新しい I/O プランニング プロジェクトを作成します。

**注記:** I/O プランニング プロジェクトの作成方法は、Vivado Design Suite User Guide: System-Level Design Entry (UG895) のこのセクションを参照してください。

次の図に、[I/O Planning] レイアウトを示します。

図 6: [I/O Planning] レイアウト



## デバイス リソースの表示

[Device] ウィンドウおよび [Package] ウィンドウは、デバイスおよび配置されたロジック リソースをグラフィカルに表示します。ウィンドウでロジック オブジェクトまたはデバイス サイトを選択すると、その情報が [Properties] ウィンドウに表示されます。次に、これらのウィンドウについて詳細に説明します。

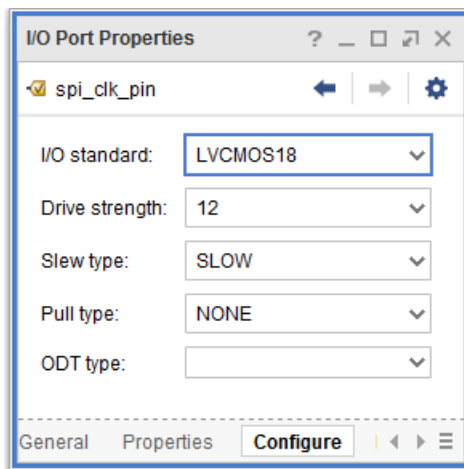


**ヒント:** 特定のオブジェクトまたはデバイス サイトを検索するには、[Edit]→[Find] コマンドを使用します。[Find] ダイアログ ボックスでは、さまざまなオブジェクト タイプを検索でき、デバイスまたはデザインで特定のオブジェクトを検索する優れたフィルター機能も含まれています。[Find Results] ウィンドウからオブジェクトを直接選択できます。

## プロパティ

[Properties] ウィンドウには、選択したオブジェクトのプロパティが表示されます。選択したオブジェクトによって、ウィンドウのタイトル バーは変化します。多くの場合、[Properties] ウィンドウにはオブジェクトに関する異なる情報を表示する複数のビューがあります。たとえば次の図は、I/O ポートのプロパティを表示する [I/O Port Properties] ウィンドウで、[General]、[Properties]、および [Configure] ビューが含まれます。[Properties] ウィンドウを開くには、[Window]→[Properties] をクリックします。

図 7: [I/O Ports] のプロパティ



**ヒント:** パッケージ ピンのプロパティ情報を取得するには、Tcl コマンドを使用します。たとえば、次のコマンドを実行すると、指定されたパッケージ ピンに関連するすべてのプロパティを表示します。

```
report_property [get_package_pins <pin_number>]
```

次のコマンドを実行すると、指定したパッケージ ピンの最大トレース遅延を表示します。

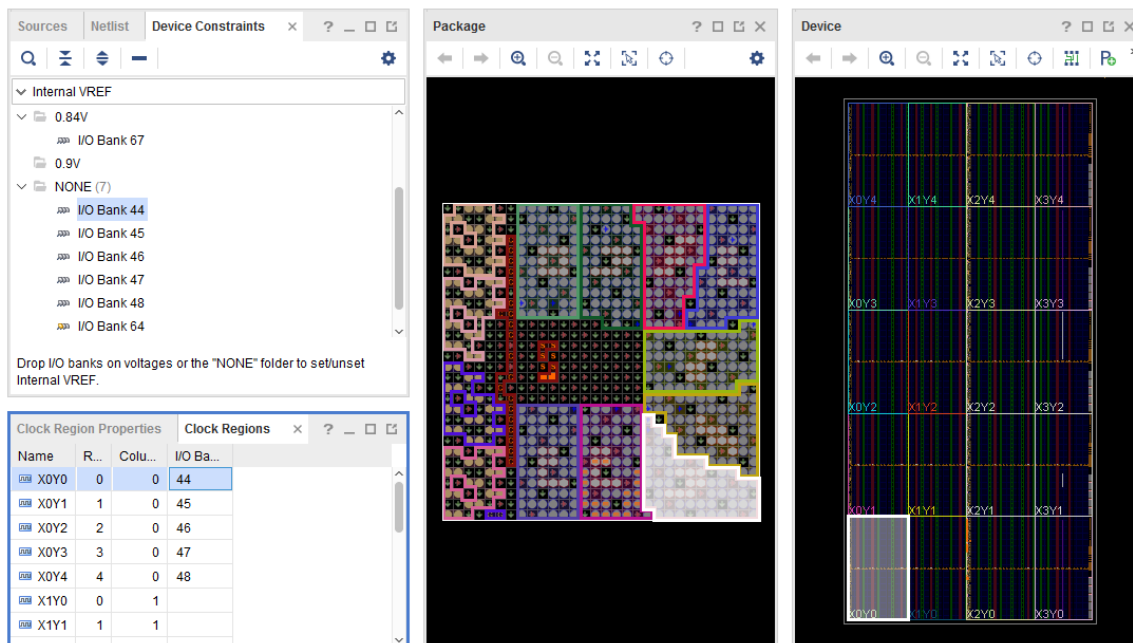
```
get_property MAX_DELAY [get_package_pins <pin_number>]
```

Tcl コマンドの詳細は、Vivado Design Suite Tcl Command Reference Guide ([UG835](#)) を参照してください。

## クロック領域のリソースおよび統計

[Clock Regions] ウィンドウを使用すると、クロック領域を簡単に選択できます。[Clock Regions] ウィンドウでクロック領域を選択すると、[Package] および [Device] ウィンドウでそのリージョナル クロック領域がハイライトされます (次の図)。

図 8: [Clock Regions] ウィンドウ

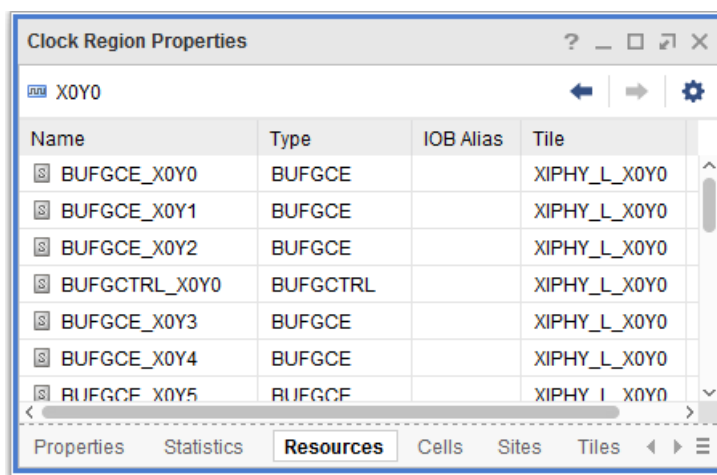


クロック領域をハイライトすると、[Clock Region Properties] ウィンドウで選択したクロック領域のプロパティを確認できます。[Clock Region Properties] ウィンドウでは、次を実行できます。

- [Statistics] ビューをクリックして、選択したクロック領域のリソース統計および内容を表示します。
- [Resources] ビューをクリックして、ロジックを割り当てるデバイス クロック リソースを見つけます (次の図)。

**注記:** [Clock Regions Properties] ウィンドウでオブジェクトを選択すると、[Device] ウィンドウなど、開いているほかのウィンドウでも選択されます。ウィンドウをタイル表示にすると、[Device] ウィンドウと [Package] ウィンドウの両方を同時に表示できます。

図 9: [Clock Region Properties] ウィンドウの [Resources] ビュー



## I/O バンク リソース

I/O リソースは、[I/O Planning] レイアウトのどのウィンドウでも選択でき、「クロック領域のリソースおよび統計」に示したように選択したデータはほかのすべてのウィンドウでハイライト表示されるため、物理パッケージと内部チップの関係を簡単に確認できます。

特定の I/O バンクに関する情報を表示するには、次の手順に従います。

1. [Package Pins] ウィンドウで I/O バンクの 1 つを選択します。
2. [I/O Bank Properties] ウィンドウの各ビューをクリックし、情報を確認します。

図 10: [I/O Bank Properties] ウィンドウ

Name	Available	Prohibit	Ports	I/O Std	Dir	Vcco	Bank
AG14	0	<input type="checkbox"/>	rx_d_pin	LVC MOS18	Input	1.800	I/O Bank 64
AF14	0	<input type="checkbox"/>	rst_pin	LVC MOS18	Input	1.800	I/O Bank 64
AG19	0	<input type="checkbox"/>	lb_sel_pin	LVC MOS18	Input	1.800	I/O Bank 64
AF19	0	<input type="checkbox"/>	tx_d_pin	LVC MOS18	Output	1.800	I/O Bank 64
AJ14	0	<input type="checkbox"/>	spi_mosi_pin	LVC MOS18	Output	1.800	I/O Bank 64
AH14	0	<input type="checkbox"/>	spi_clk_pin	LVC MOS18	Output	1.800	I/O Bank 64
AH18	0	<input type="checkbox"/>	dac_cs_n_pin	LVC MOS18	Output	1.800	I/O Bank 64
AH19	0	<input type="checkbox"/>	dac_clr_n_pin	LVC MOS18	Output	1.800	I/O Bank 64
AJ15	0	<input type="checkbox"/>	led_pins[7]	LVC MOS18	Output	1.800	I/O Bank 64
AJ16	0	<input type="checkbox"/>	led_pins[6]	LVC MOS18	Output	1.800	I/O Bank 64
AJ18	0	<input type="checkbox"/>	led_pins[5]	LVC MOS18	Output	1.800	I/O Bank 64
AJ19	0	<input type="checkbox"/>	led_pins[4]	LVC MOS18	Output	1.800	I/O Bank 64

### 関連情報

[クロック領域のリソースおよび統計](#)

## 多機能ピン

[Package Pins] ウィンドウでは、数種類のデータが表形式で表示されます。このウィンドウでは、次の操作を実行できます。

- データの展開表示、フィルター処理、並べ替え。
- 列を移動、非表示、設定変更して、さまざまな多機能ピンを表示および比較。
- テキストを入力するか、ドロップダウン リストから値を選択し、一部のセルを直接編集。

[Package Pins] ウィンドウには、次の情報が含まれます。

- [Type]: 多機能ピンのタイプを示します。

- [Config]: デバイス コンフィギュレーション モードを設定した後の多機能ピンのピン定義を示します。  
注記: 多くのデバイス コンフィギュレーション モードで多機能ピンが使用されます。詳細は、「デバイス コンフィギュレーション モードの設定」を参照してください。
- その他の列: 多機能ピンに関するロジックまたはコンフィギュレーション モードなどの情報を示します。
- データから、GT、メモリ コントローラー、または PCI™ ロジックを含むデザインで競合する多機能ピンを識別できます。
- アスタリスクが付いている場合、I/O 規格または駆動電流やスルー タイプなどの属性がシステムで生成されたデフォルト値以外に設定されていることを示します。

図 11: [Package Pins] ウィンドウ

Name	Available	Prohibit	Ports	I/O Std	Dir	Vcco	Bank	Bank Type	Byte Group	Type	Diff Pair	Clock	Voltage	Co
> All Pins (676)														
> I/O Bank 0 (23)	0	<input type="checkbox"/>						Dedicated						
> I/O Bank 12 (7)	0	<input type="checkbox"/>						Dedicated						
> I/O Bank 13 (56)	50	<input type="checkbox"/>						High Range						
> I/O Bank 14 (56)	50	<input type="checkbox"/>						High Range						
> I/O Bank 15 (56)	50	<input type="checkbox"/>						High Range						
K15	1	<input type="checkbox"/>					I/O Bank 15	HIGH_RANGE		User IO				
C16	1	<input type="checkbox"/>					I/O Bank 15	HIGH_RANGE		Multi-function	L1P			
B16	1	<input type="checkbox"/>					I/O Bank 15	HIGH_RANGE		Multi-function	L1N			

[Package] ウィンドウでは、多機能ピンの機能が次のシンボルで示されます。

- クロック兼用ピンは、青い六角形のアイコンで表示されます。
- V<sub>REF</sub> ピンには、小さな電源マークが表示されます。

Zynq UltraScale+ MPSoC デバイスの場合、Zynq UltraScale+ MPSoC IP の設定で制御されるピンは四角形のアイコン で表示されます。

**重要:** 専用 I/O ピンは、バンクではなくターゲットデバイス専用です。たとえば VCCO や GND のような専用 I/O ピンは、バンク固有のものではなくデバイスに特化しています。

## 関連情報

[デバイス コンフィギュレーション モードの設定](#)

# I/O ポートの定義と設定

Vivado IDE を使用して、I/O ポートをインポート、作成、および設定できます。

## I/O ポートのインポート

プロジェクトのタイプによって、次の方法で I/O ポートをインポートできます。



- [I/O Planning Project]: プロジェクト作成時、またはファイルのインポート機能を使用して、空の I/O ピン プランニング プロジェクトに XDC または CSV ファイルをインポートできます。詳細は、「CSV ファイルのインポート」および「XDC ファイルのインポート」を参照してください。
- [RTL Project]: RTL ファイルまたはヘッダーを使用して I/O プランニング用に RTL プロジェクトを作成し、設計プロセスが進行してからより完全な RTL ソース ファイルを追加します。RTL ベースまたは合成済みネットリストベースのプロジェクトを作成すると、[I/O Ports] ウィンドウにデザインで定義された I/O ポートが自動的に表示されます。
- [Migrate from I/O Planning Project to RTL Project]: I/O ピン プランニング プロジェクトを RTL プロジェクトに変換し、I/O ポートをデザインの最上位 Verilog または VHDL モジュール定義に変換できます。詳細は、「I/O プランニング プロジェクトの RTL プロジェクトへの変換」を参照してください。

## 関連情報

[CSV ファイルのインポート](#)

[XDC ファイルのインポート](#)

[I/O プランニング プロジェクトの RTL プロジェクトへの変換](#)

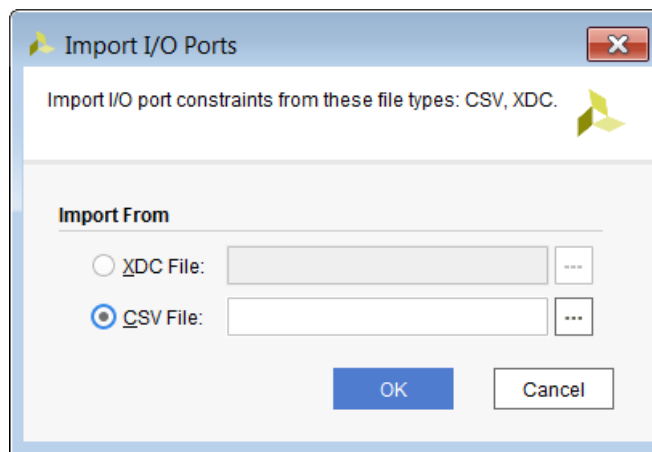
## CSV ファイルのインポート

CSV ファイルをインポートして、[I/O Planning] レイアウトの [I/O Ports] ウィンドウに表示できます。これらの I/O ポートを物理パッケージ ピンに割り当てて、デバイス ピンの設定を定義できます。

CSV ファイルから I/O ポートのリストをインポートするには、次の手順に従います。

1. [File]→[Import]→[Import I/O Ports] をクリックします。
2. [Import I/O Ports] ダイアログ ボックスで [CSV File] をオンにし、参照ボタンをクリックしてインポートするファイルを選択します。

図 12: [Import I/O Ports] ダイアログ ボックス



次の図に、CSV ファイル形式を示します。CSV は、FPGA やボード設計で、デバイス ピンおよびピン配置のデータを交換するために使用される標準ファイル形式です。Vivado IDE では、I/O ピン関連のデータをインポートするために、「CSV ファイル形式の I/O ポートリストの使用」で説明したように、特定の CSV ファイル形式が必要です。

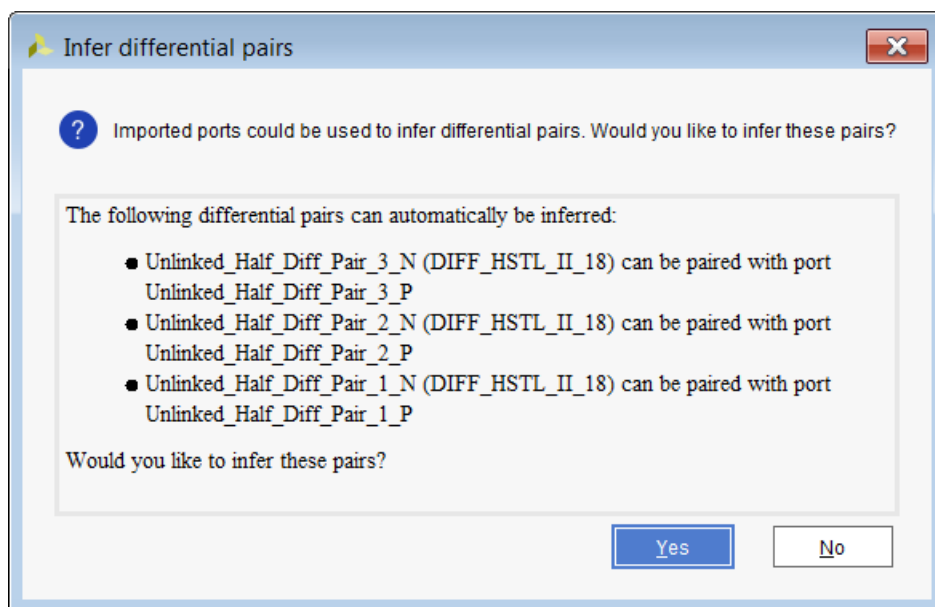


図 13: CSV ファイル形式の I/O ポート リスト

A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
#Top: ios Floorplan: io_1 Part: xc7k70tfg484-2														
#Package Version: FINAL 2012-06-26														
#Package Pin Delay Version: VERS. 2.0 2012-06-26														
IO Bank	Pin Number	Site	Site Type	Min Trace	Max Trac	Prohibit	Interface	Signal Name	Direction	DiffPair Type	DiffPair Signal	IO Standard	Drive (mA)	Slew Rate
13	AB17	IOB_X0Y15	IO_L17N_T2_13	100.47	101.48			RXN_IN[7]	IN	N	RXP_IN[7]	DIFF_HSTL_II_18		
13	AA15	IOB_X0Y13	IO_L18N_T2_13	96.185	97.151			RXN_IN[6]	IN	N	RXP_IN[6]	DIFF_HSTL_II_18		
13	V17	IOB_X0Y11	IO_L19N_T3_VREF_13	64.754	65.405			RXN_IN[5]	IN	N	RXP_IN[5]	DIFF_HSTL_II_18		
13	T16	IOB_X0Y9	IO_L20N_T3_13	57.59	58.169			RXN_IN[4]	IN	N	RXP_IN[4]	DIFF_HSTL_II_18		
13	Y16	IOB_X0Y7	IO_L21N_T3_DQS_13	74.609	75.359			RXN_IN[3]	IN	N	RXP_IN[3]	DIFF_HSTL_II_18		
13	Y14	IOB_X0Y5	IO_L22N_T3_13	94.887	95.841			RXN_IN[2]	IN	N	RXP_IN[2]	DIFF_HSTL_II_18		
13	W15	IOB_X0Y3	IO_L23N_T3_13	64.191	64.837			RXN_IN[1]	IN	N	RXP_IN[1]	DIFF_HSTL_II_18		
13	U15	IOB_X0Y1	IO_L24N_T3_13	57.777	58.358			RXN_IN[0]	IN	N	RXP_IN[0]	DIFF_HSTL_II_18		
13	AA16	IOB_X0Y16	IO_L17P_T2_13	96.864	97.837			RXP_IN[7]	IN	P	RXN_IN[7]	DIFF_HSTL_II_18		
13	AA14	IOB_X0Y14	IO_L18P_T2_13	108.261	109.349			RXP_IN[6]	IN	P	RXN_IN[6]	DIFF_HSTL_II_18		
13	U16	IOB_X0Y12	IO_L19P_T3_13	57.901	58.483			RXP_IN[5]	IN	P	RXN_IN[5]	DIFF_HSTL_II_18		
13	R16	IOB_X0Y10	IO_L20P_T3_13	61.145	61.76			RXP_IN[4]	IN	P	RXN_IN[4]	DIFF_HSTL_II_18		
13	W16	IOB_X0Y8	IO_L21P_T3_DQS_13	70.835	71.547			RXP_IN[3]	IN	P	RXN_IN[3]	DIFF_HSTL_II_18		
13	W14	IOB_X0Y6	IO_L22P_T3_13	109.229	110.327			RXP_IN[2]	IN	P	RXN_IN[2]	DIFF_HSTL_II_18		

CSV ファイルでは、差動ペアを複数の方法で定義できます。たとえば、Vivado IDE では DiffPair Signal および DiffPair Type プロパティを定義すると差動ペアが認識されます。また、CSV ファイルでペアの 1 つのポートのみを定義した場合、または 2 つのネットに適切な名前が使用されている場合、Vivado IDE では差動ペアが推論されます。詳細は、「CSV ファイルでの差動ペア」を参照してください。Vivado IDE で差動ペアが推論されると、次の図のように、ペアの割り当てを確認するメッセージが表示されます。

図 14: [Infer differential pairs] ダイアログ ボックス



CSV ファイルには、Vivado IDE では認識されない追加情報を含めることもできます。インポートされた CSV ファイルに認識できない情報が含まれる場合、[Package Pins] ウィンドウのユーザー列に表示されます。ユーザー CSV フィールドの値を変更または定義するには、[Package Pins] ウィンドウで右クリックし、[Set User Column Values] をクリックします。

**注記:** CSV ファイルのエクスポートの詳細は、「I/O ピンとパッケージ データのエクスポート」を参照してください。

#### 関連情報

[CSV ファイル形式の I/O ポート リストの使用](#)

[CSV ファイルでの差動ペア](#)

[I/O ピンとパッケージ データのエクスポート](#)

## XDC ファイルのインポート

XDC ファイルから I/O ポートの定義をインポートするには、次の手順に従います。

1. [File] → [Import] → [Import I/O Ports] をクリックします。
2. [Import I/O Ports] ダイアログ ボックスで [XDC File] をオンにし、参照ボタンをクリックしてインポートするファイルを選択します。

XDC ではポートの方向は定義されていないので、方向は未定義になります。I/O ポートの方向を定義するには、[I/O Ports] ウィンドウで右クリックし、[Set Direction] をクリックします。[I/O Ports] ウィンドウで特定の I/O ポートの方向を直接変更することもできます。詳細は、「I/O ポート方向の設定」を参照してください。

### 関連情報

[I/O ポート方向の設定](#)

## シングルエンドまたは差動 I/O ポートの作成

I/O ピン プランニング プロジェクトでは、新しいポートを手動で定義できます。デバイスの電圧に関する情報は、ザイリックス デバイスの資料を参照してください。

**注記:** [I/O Ports] ウィンドウでは、各差動ペアが 1 行に表示されます。1 つの行に 2 つのポートが含まれるので、かっこ内に示されるポートの合計数は行数よりも大きくなります。[I/O Ports] ウィンドウでのポートの合計数に一致する信号のリストを取得するには、次の Tcl コマンドを使用します。

```
get_ports * -filter {BUS_WIDTH == " " }
```

I/O ポートを作成するには、次の手順に従います。

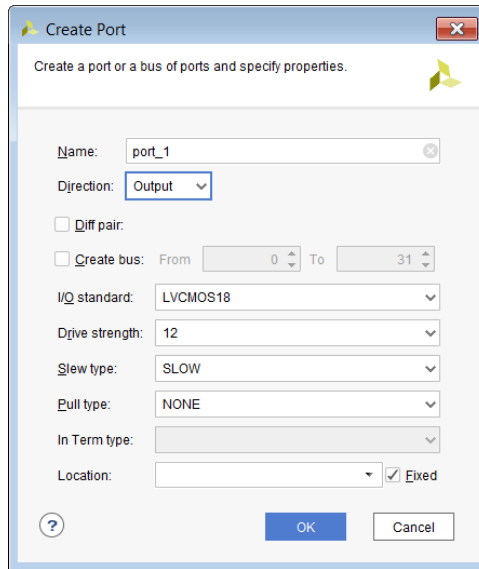
1. [I/O Ports] ウィンドウで右クリックし、[Create I/O Ports] をクリックします。
2. [Create I/O ポート] ダイアログ ボックスで次のオプションを選択して [OK] をクリックします。

- [Name]: 作成するポートまたはバスの名前を指定します。
- [Direction]: ポートの方向を選択します。
- [Diff Pair]: 差動ペア信号を定義する場合にオンにします。

**注記:** 差動 I/O ポートを作成するには、このオプションをオンにします。これにより 2 つのポートが作成され、負のポートの名前には `_N` 接尾辞が付きます。

- [Create Bus]: バスの範囲を指定します。
- [I/O Standard]: I/O 規格を選択します。
- [Drive Strength]: 駆動能力の値を選択します。
- [Slew Type]: スルー レートのタイプを選択します。
- [Pull Type]: 抵抗のタイプを選択します。
- [In Term type]: 入力信号の並列終端プロパティを定義します。

図 15: [Create I/O Ports] ダイアログ ボックス



## シングルエンドまたは差動 I/O ポートを作成する Tcl コマンド例

- シングルエンド I/O ポートを作成:

```
create_port port_1 -direction in
```

- 差動 I/O ポートを作成:

```
create_port port_2 -direction in -diff_pair
```

## 差動ペアの作成と分割

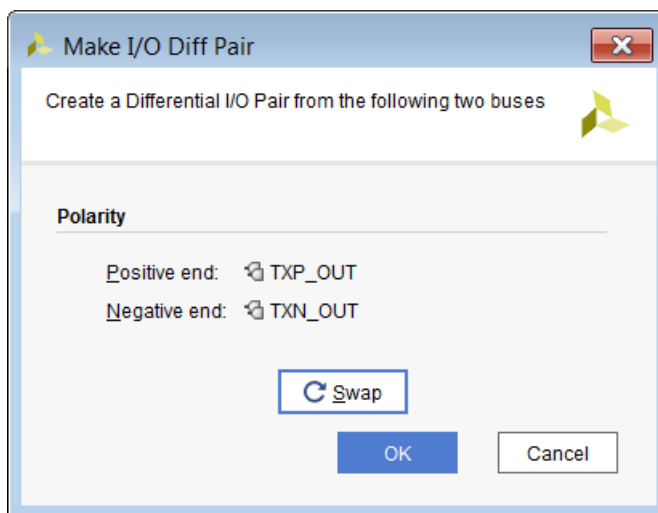
I/O ピン プランニング プロジェクトで差動ペアを定義するには、次の手順に従います。

- [I/O Ports] ウィンドウで 2 つの I/O ポートを選択し、右クリックして [Make Diff Pair] を選択します。



**重要:** [Make Diff Pair] オプションは RTL プロジェクトでは使用できません。RTL プロジェクトでは、適切な I/O バッファのインスタンスエーションを使用して、ソース コードで差動ペアを定義する必要があります。

[Make I/O Diff Pair] ダイアログ ボックス (次の図) では、ツールにより 2 つの I/O ポートが P 側と N 側に割り当てられています。



2. P 側と N 側の信号を入れ替える場合は [Swap] をクリックし、[OK] をクリックします。



ヒント: 差動ペアを 2 つのポートに分割するには、右クリックして [Split Diff Pair] をクリックします。



**重要:** UltraScale™ アーキテクチャの差動ピン ペアの一方に制約を適用すると、もう一方にも自動的に逆の制約が追加されます。たとえば、P 側に PULLDOWN 制約を適用した場合、N 側に PULLUP 制約が適用されます。制約を変更すると、最新の設定により以前の設定が上書きされます。

## 差動ペアを作成および分割する Tcl コマンド例

- 差動ペアを作成:

```
make_diff_pair_ports txp_out txn_out
```

- 差動ペアを分割:

```
split_diff_pair_ports txp_out txn_out
```

## I/O ポートの設定

ザイリンクス デバイスには、さまざまな規格のインターフェイスをサポートする設定可能な SelectIO™ インターフェイス ドライバーおよびレシーバーが含まれます。これらの標準インターフェイスには、出力駆動電流およびスルーレートのプログラマブル制御、DCI を使用したオンチップ終端、内部  $V_{REF}$  の生成などの機能が含まれます。1 つまたは複数の I/O ポートの I/O 規格、駆動電流、スルーレートのタイプ、抵抗のタイプ、および入力信号の並列終端を設定できます。この方法は、適切な特性が指定されていない CSV または XDC ファイルからインポートされたポートを設定する場合に便利です。これらのポートを、システム レベル デザインに必要な規格をサポートするよう設定します。たとえば、1 つの I/O バンクで組み合わせることができる I/O 規格とできない I/O 規格があります。

I/O バンクの規格および要件の詳細は、使用しているデバイスに応じて次の資料を参照してください。

- 『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』 (UG471: [英語版](#)、[日本語版](#))
- 『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』 (UG571: [英語版](#)、[日本語版](#))

パッケージおよびピン配置仕様の詳細は、使用しているデバイスに応じて次の資料を参照してください。

- 『7 シリーズ FPGA パッケージおよびピン配置: 製品仕様』 (UG475: [英語版](#)、[日本語版](#))

- 『UltraScale および UltraScale+ FPGA パッケージおよびピン配置ユーザー ガイド』 (UG575: [英語版](#)、[日本語版](#))
- 『Zynq-7000 SoC パッケージおよびピン配置ガイド』 (UG865: [英語版](#)、[日本語版](#))

MIO ピンを含む Zynq®-7000 ピンの詳細は、Zynq-7000 SoC Technical Reference Manual ([UG585](#)) を参照してください。

MIO ピンを含む Zynq UltraScale+ MPSoC ピンの詳細は、Zynq UltraScale+ Device Technical Reference Manual ([UG1085](#)) を参照してください。

ポートまたはポートのグループを設定するには、次の手順に従います。

1. [I/O Ports] ウィンドウで、ポートを選択します。
2. 右クリックし、[Configure I/O Ports] をクリックします。
3. [Configure Ports] ダイアログ ボックスで次のオプションを選択し、[OK] をクリックします。

**注記:** [Configure Ports] ダイアログ ボックスのオプションは、ターゲット デバイスによって異なります。

- [I/O standard]: I/O 規格を選択します。I/O 規格は指定したときにはチェックされません。ポートにはどの I/O 規格でも割り当てることができますが、DRC を実行したときにエラーとなる可能性があります。
- [Drive strength]: 駆動能力の値を選択します。
- [Slew type]: スルー レートのタイプを選択します。
- [Pull type]: 抵抗のタイプを選択します。
  - [PULLUP]: トライステート出力または双方向ポートをウィーク High にして、駆動されていない場合に未接続にならないようにします。
  - [PULLDOWN]: トライステート出力または双方向ポートをウィーク Low にして、駆動されていない場合に未接続にならないようにします。
  - [KEEPER]: トライステート出力または双方向ポートにウィーク ドライバーを適用し、駆動されていない場合に値を保持します。
  - [NONE]: ドライバーは適用されません。

**注記:** 抵抗のタイプは、[I/O Ports] ウィンドウの [Pull Type] 列をクリックしても設定できます。

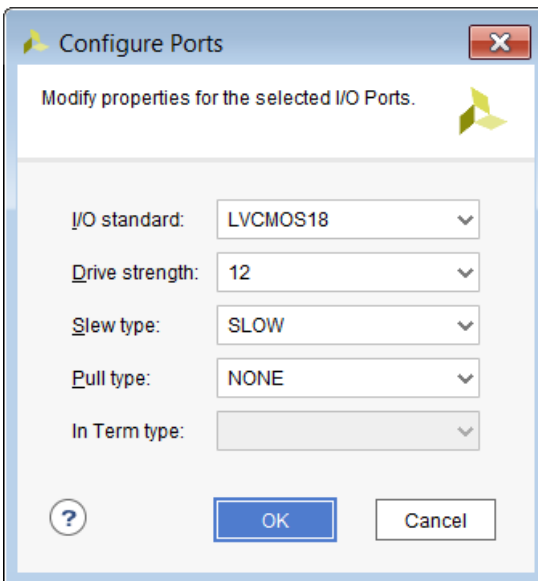
- [In Term type]: (7 シリーズ デバイスのみ) 入力信号の並列終端プロパティを定義します。詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』 (UG471: [英語版](#)、[日本語版](#))
- [ODT]: (UltraScale アーキテクチャ ベースのデバイスのみ) サポートされている I/O 規格の DCI および非 DCI バージョンの入力に対し、オンダイ終端 (ODT) の値を定義します。詳細は、『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』 (UG571: [英語版](#)、[日本語版](#)) を参照してください。
- [Fixed]: 論理ポートがユーザーの割り当てたものであることを示します。ビットストリームがエラーなく生成されるようにするため、ポートを固定する必要があります。

[Configure Ports] ダイアログ ボックスでは [Fixed] オプションは表示のみで、設定できません。ポートを固定するには、[I/O Ports] ウィンドウでポートを右クリックして [Fix Ports] をクリックするか、Tcl コンソールに次の Tcl コマンドを入力します。

```
set_property IS_LOC_FIXED true [get_selected_objects]
```

または、次の Tcl コマンドを使用します。

```
set_property IS_LOC_FIXED true [get_ports <list_of_ports>]
```



**注意:** 7 シリーズ デバイス、Zynq-7000 UltraScale デバイス、UltraScale+ デバイス、および Zynq UltraScale+ MPSoC の場合、ビットストリーム ファイルを生成するには、すべての I/O ポートの PACKAGE\_PIN および IOSTANDARD 制約に明確に値を指定する必要があります。[I/O Ports] ウィンドウに赤色で「default」と表示されている場合は、これらの値を手動で指定する必要があります。これらのデバイスには高電圧および低電圧の I/O バンクがあるので、I/O 規格を割り当てる際は注意が必要です。

## I/O ポート方向の設定

I/O ポートの方向を指定するには、次のいずれかの方法を使用します。

- I/O プランニング プロジェクトのみ:
  - [I/O Ports] ウィンドウで [Direction] 列をクリックし、ドロップ ダウン リストから方向を選択します。
  - [I/O Ports] ウィンドウでポートをクリックし、[I/O Port Properties] ウィンドウでその方向を変更します。
  - [I/O Ports] ウィンドウで I/O ポート、バス、またはインターフェイスを右クリックし、[Set Direction] をクリックします。
- RTL プロジェクトのみ: RTL ソースでポートの方向を定義します。



**重要:** ポート方向プロパティは、I/O ピン プランニング プロジェクト内でのみ設定できます。このプロパティを I/O ピン プランニング プロジェクト外で変更しようとすると、クリティカル警告が表示されます。

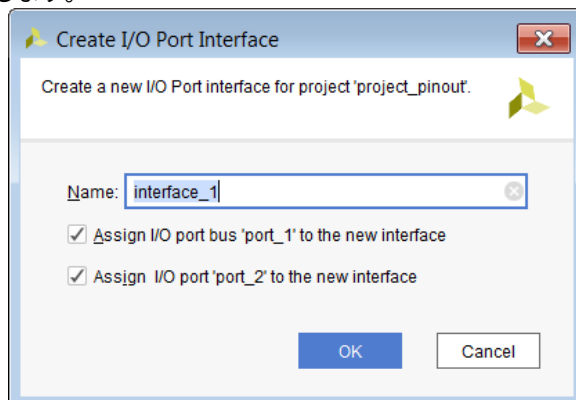
## I/O ポート インターフェイスの作成

複数のポートまたはバスをグループ化するには、インターフェイスを作成します。インターフェイス ポートが 1 つのグループとして処理されるので、ピンの割り当てに有益です。ピンをすべて同時に割り当てると、クロック領域または PCB 配線関連のインターフェイスをまとめたり分離しやすくなります。特定のロジック インターフェイスに関連付けられた信号の表示および管理も容易になります。

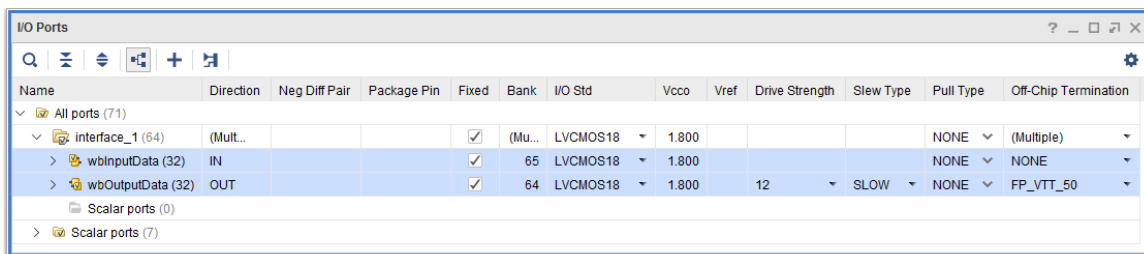
インターフェイスを作成するには、次の手順に従います。

1. [I/O Ports] ウィンドウで、グループ化する信号を選択します。
2. 右クリックし、[Create I/O Port Interface] をクリックします。

3. [Create I/O Port Interface] ダイアログ ボックス (次の図) で、インターフェイスの名前を入力し、割り当ての選択を調整して、[OK] クリックします。



インターフェイスが [I/O Ports] ウィンドウに展開可能なフォルダーとして表示されます (次の図を参照)。



**ヒント:** インターフェイスを削除するには、削除するインターフェイスを選択し、右クリックして [Delete] をクリックするか、Delete キーを押します。

## インターフェイスへの I/O ポートの追加

インターフェイスに I/O ポートを追加するには、[I/O Ports] ウィンドウで次のいずれかを実行します。

- I/O ポートを選択し、インターフェイス フォルダーにドラッグします。
- ポートまたはバスを右クリックし、[Assign to Interface] をクリックします。[Select I/O Port Interface] ダイアログ ボックスで、インターフェイスを選択します。

## インターフェイスからの I/O ポートの削除

I/O ポートを削除するには、[I/O Ports] ウィンドウでポートを右クリックし、[Unassign from Interface] をクリックします。

## I/O ポート インターフェイスを処理する Tcl コマンド例

- I/O ポート インターフェイスを作成:

```
create_interface interface_1
set_property INTERFACE interface_1 [get_ports [list {test_1[3]}
{test_1[2]} \
{test_1[1]} {test_1[0]} {test_1_n[3]} {test_1_n[2]} {test_1_n[1]} \
{test_1_n[0]}]]
set_property INTERFACE interface_1 [get_ports [list port_2 port_2_N
port_1 \ port_4]]
```



- インターフェイスからの I/O ポートを削除:

```
set_property INTERFACE "" [get_ports [list port_2 port_2_N]]
```

## I/O ポート インターフェイスの自動推論



**推奨:** プロジェクトでパーツではなくプラットフォーム ボードをターゲットにしている場合は、Vivado Design Suite プラットフォーム ボード フローを使用し、[Customize IP] ダイアログ ボックスの [Board] タブまたは Vivado IP インテグレーターの [Board] ウィンドウでボード ピン配置制約を設定および適用することをザイリンクスではお勧めします。プラットフォーム ボード フローの詳細は、Vivado Design Suite User Guide: System-Level Design Entry (UG895) のこのセクションを参照してください。

IP からデザインの最上位ポートに接続されるインターフェイスを表示できます。これらの IP インターフェイスに対しては、Vivado ツールで自動的にピン プランニング インターフェイスが推論され、関連する最上位 I/O ポートがグループ化されます。これにより、最上位デザインのコンテキスト内でインターフェイスが象徴的に参照されるようになります。たとえば、led\_8bits\_tri\_o バスは汎用 I/O (GPIO) インターフェイスで、GPIO\_9847 ピン プランニング インターフェイスの下にまとめられています。

I/O ポートに関連するボード パーツ ピンは、[I/O Ports] ウィンドウの [Board Part Pin] 列で確認できます。次の図では、ピン プランニング インターフェイス GPIO\_9847 に関連するポートは、ボード パーツのピン led\_8bits\_tri\_o[7:0] に制約されています。

**注記:** GPIO\_9847 の番号 9847 は、デザインに複数の GPIO インターフェイスがある場合に、GPIO インターフェイスを識別するために使用されます。番号自体に意味はありません。

図 16: I/O ポート インターフェイスの自動推論

Name	Direction	Board Part Pin	Board Part Interface	Neg Diff Pair	Package Pin	Fixed	Bank	I/O Std	Vcco	Vref	Drive Strength	Slew Type	Pull Type	Off-Chip Termination
ext_reset_41139 (1)	IN					✓		64 LVCMOS18	1.800				NONE	NONE
GPIO_47490 (8)	OUT					✓		(Multiple) LVCMOS18	1.800		12	SLOW	NONE	FP_VTT_50
led_8bits_tri_o (8)	OUT					✓		(Multiple) LVCMOS18	1.800		12	SLOW	NONE	FP_VTT_50
led_8bits_tri_o[7]	OUT	GPIO_LED_7_LS			P23	✓		65 LVCMOS18	1.800		12	SLOW	NONE	FP_VTT_50
led_8bits_tri_o[6]	OUT	GPIO_LED_6_LS			R23	✓		65 LVCMOS18	1.800		12	SLOW	NONE	FP_VTT_50
led_8bits_tri_o[5]	OUT	GPIO_LED_5_LS			M22	✓		65 LVCMOS18	1.800		12	SLOW	NONE	FP_VTT_50
led_8bits_tri_o[4]	OUT	GPIO_LED_4_LS			N22	✓		65 LVCMOS18	1.800		12	SLOW	NONE	FP_VTT_50
led_8bits_tri_o[3]	OUT	GPIO_LED_3_LS			P21	✓		65 LVCMOS18	1.800		12	SLOW	NONE	FP_VTT_50
led_8bits_tri_o[2]	OUT	GPIO_LED_2_LS			P20	✓		65 LVCMOS18	1.800		12	SLOW	NONE	FP_VTT_50
led_8bits_tri_o[1]	OUT	GPIO_LED_1_LS			H23	✓		65 LVCMOS18	1.800		12	SLOW	NONE	FP_VTT_50
led_8bits_tri_o[0]	OUT	GPIO_LED_0_LS			AP8	✓		64 LVCMOS18	1.800		12	SLOW	NONE	FP_VTT_50
Scalar ports (0)														
UART_59737 (2)	(Multiple)					✓		65 LVCMOS18	1.800				NONE	(Multiple)
Scalar ports (2)														

## プラットフォーム ボード フローで使用する Tcl コマンド例

- ボード パーツ インターフェイスを取得

```
get_board_part_interfaces
```

- ボード インターフェイスに関連付けられているポートを取得

```
get_board_interface_ports -of [get_board_part_interfaces]
```

- ポートのプロパティを取得

```
get_property NAME [lindex [get_board_interface_ports] 5]
get_property DIRECTION [lindex [get_board_interface_ports] 5]
```



- ボード パーツ ピンからプロパティを取得

```
get_property IOSTANDARD [get_board_part_pins]  
get_property LOC [get_board_part_pins]
```

注記: `get_board_part_interfaces` Tcl コマンドの詳細は、Vivado Design Suite Tcl Command Reference Guide (UG835) を参照してください。

## I/O ピンおよび I/O バンクの使用禁止

[I/O Planning] レイアウトでは、I/O ピン、I/O ピンのグループ、または I/O バンクを使用禁止に設定できます。[Device]、[Package]、[Package Pins] ウィンドウでピンを選択し、使用禁止にします。

I/O ピンまたは I/O バンクを使用禁止にするには、次の手順に従います。

1. [Device]、[Package]、または [Package Pins] ウィンドウで、I/O ピンまたは I/O バンクを選択します。
2. 右クリックし、[Set Prohibit] をクリックします。

使用禁止に設定されたピンは、次のように表示されます。

- [Device] ウィンドウおよび [Package] ウィンドウでは、斜線の入った赤丸が表示されます (次の図)。
- [Package Pins] ウィンドウの [Prohibit] 列にチェック マークが表示されます。



ヒント: 禁止設定は、[Package Pins] ウィンドウの [Prohibit] 列で削除できます。個々の禁止を選択するか、[Clear Prohibit] キーを押してすべてのピンを選択して右クリックし、[Clear Prohibit] をクリックします。または、たとえば Tcl コマンド `set_property prohibit 0 [get_sites U17]` を使用して、禁止設定を削除することもできます。


## I/O ピンを使用禁止にする Tcl コマンド例

```
set_property PROHIBIT 1 [get_sites U17]
```

## I/O ポートの配置

[I/O Planning] レイアウトでは、複数の方法で I/O ポートをパッケージ ピンに割り当てることができます。[I/O Ports] ウィンドウで個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択し、[Package] ウィンドウでパッケージ ピンに、または [Device] ウィンドウで I/O パッドに割り当てることができます。

[Package] ウィンドウでは、次の操作を実行できます。

- ポートをパッケージ ピンにドラッグ アンド ドロップします。
- ポートの配置と制約を確認します。
- ピン上にカーソルを移動し、ウィンドウの上と左に I/O ピンの座標を表示します。
- ピン上にカーソルを置き、ピン情報を含むツール ヒントを表示します。
- [Package] ウィンドウにある [Settings] ボタン  をクリックして [General] タブを開き、[Show Differential I/O pairs] をオンにして、差動ピンを表示します。

**注記:** I/O ピンおよびバンクのその他の情報は、Vivado IDE の下部にあるステータス バーに表示されます。

## I/O ポートの順次配置

I/O ポートを順次に配置するには、次の手順に従います。

1. [I/O Ports] ウィンドウで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. 次のいずれかを実行します。
  - [I/O Ports] ウィンドウで右クリックし、[Place I/O Ports Sequentially] をクリックします。
  - [Package] ウィンドウまたは [Device] ウィンドウで右クリックし、[Place I/O Ports Sequentially] をクリックします。

カーソルをパッケージ ピンまたは I/O パッド上に移動すると、グループの最初の I/O ポートがカーソルと共に移動します。ツール ヒントには、I/O ポート名およびパッケージ ピン名が表示されます。

3. ピンまたはパッドをクリックすると、I/O ポートが割り当てられます。

配置されていない I/O ポートが残っている場合は、コマンドは継続されます。I/O ポートがすべて配置されるまでこの操作を繰り返すか、または [Esc] キーを押してモードを解除します。



**ヒント:** Vivado IDE では、[I/O Ports] ウィンドウに表示されている順序でポートが割り当てられます。割り当ての前に [I/O Ports] ウィンドウでポートを並べ替えておくと、並べ替えられた順序で割り当てることができます。

## I/O ポートの I/O バンクへの配置

I/O ポートを I/O バンクに配置するには、次の手順に従います。

1. [I/O Ports] ウィンドウで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. 次のいずれかを実行します。
  - [I/O Ports] ウィンドウで右クリックし、[Place I/O Ports in an I/O Bank] をクリックします。
  - [Package] ウィンドウまたは [Device] ウィンドウで右クリックし、[Place I/O Ports in an I/O Bank] をクリックします。

カーソルをパッケージ ピンまたは I/O パッド上に移動すると、I/O ポートのグループがカーソルと共に移動します。ツール ヒントには、カーソルの置かれた I/O バンクに配置可能なピン数が表示されます。

3. ピンまたはパッドをクリックすると、選択された I/O ポートが割り当てられます。

I/O バンクに収まらない数の I/O ポートが選択されている場合、Vivado IDE により選択された I/O バンクにできるだけ多くのポートが配置され、残りのポートを配置する別の I/O バンクを選択できます。I/O ポートがすべて配置されるまでこの操作を繰り返すか、または [Esc] キーを押してモードを解除します。

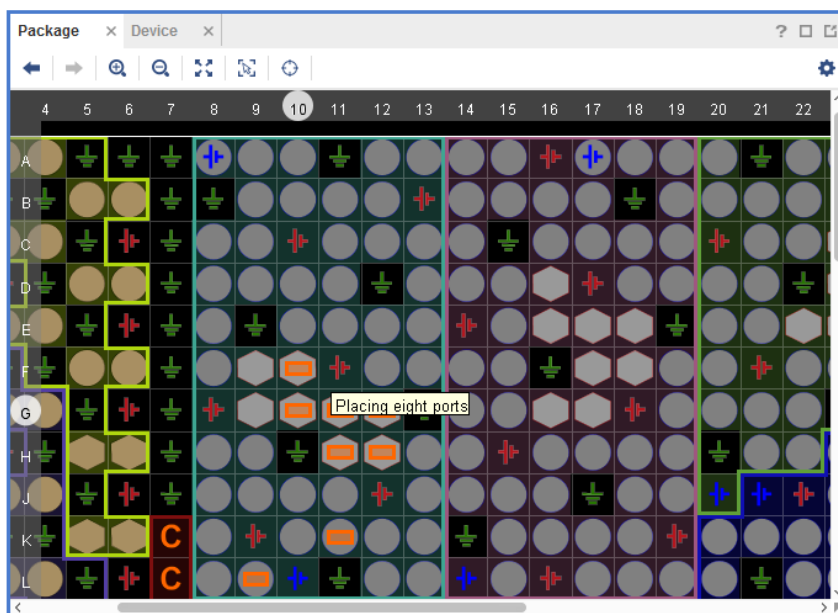


**ヒント:** Vivado IDE では、[I/O Ports] ウィンドウに表示されている順序でポートが割り当てられます。割り当ての前に [I/O Ports] ウィンドウでポートを並べ替えておくと、並べ替えられた順序で割り当てることができます。

デバイス リソースへのポートの割り当ても、I/O バンクの最初の選択から実行されます。I/O バンクの一端にあるピンを選択すると、バスが I/O バンク全体に割り当てられます。

Vivado IDE ではバスに関連する PCB 配線も考慮されます。ピンは、割り当て領域内でバス ビットのベクターが保持されるような順序で割り当てられます。割り当てパターンは、その他のバス配線の考慮事項に対応するようにカスタマイズできます。

次の図に、I/O バンクに配置された I/O ポートを示します。



## ポートを I/O バンクに配置する Tcl コマンド例

- I/O バンクにポートを配置:

```
place_ports -iobank [get_iobanks {12 13 14 15}] [all_inputs]
```

- すべての I/O バンクにポートを配置:

```
place_ports -iobank [lrange [get_iobanks] 1 end] <port list>
```

**注記:** place\_ports コマンドはバンク 0 に対してはサポートされません。

## I/O ポートの定義された領域への配置

I/O ポートを定義された領域に配置するには、次の手順に従います。

1. [I/O Ports] ウィンドウで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. 次のいずれかを実行します。
  - [I/O Ports] ウィンドウで右クリックし、[Place I/O Ports in Area] をクリックします。
  - [Package] ウィンドウまたは [Device] ウィンドウで右クリックし、[Place I/O Ports in Area] をクリックします。  
カーソルが十字型に変化し、ポートを配置する長方形を定義できるようになります。
3. [Package] ウィンドウまたは [Device] ウィンドウのいずれかで長方形を描画し、割り当て領域を定義します。

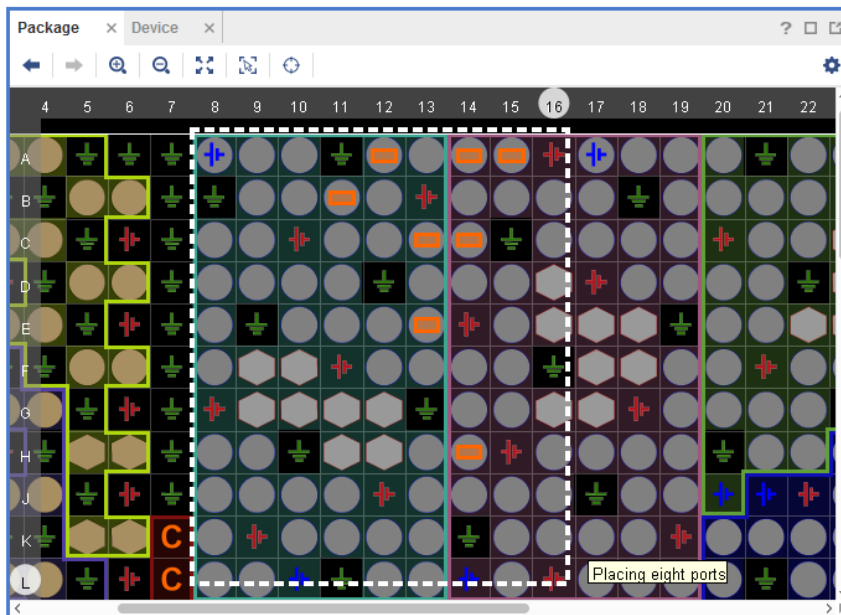
定義した領域に選択された I/O ポートすべてを配置できない場合は、コマンドが継続します。カーソルは十字型のままで、残りの I/O ポートがすべて配置されるまで、長方形を続けて描画できます。または、[Esc] キーを押して、I/O ポートの配置をキャンセルします。



**ヒント:** Vivado IDE では、[I/O Ports] ウィンドウに表示されている順序でポートが割り当てられます。割り当ての前に [I/O Ports] ウィンドウでポートを並べ替えておくと、並べ替えられた順序で割り当てることができます。

長方形の描画方向によって割り当て順序が変わります。I/O ポートは最初を選択された長方形の座標の内側のピンから順に割り当てられます。領域の長方形の定義を工夫することにより、PCB 配線の観点から有益なピン配置が得られます。

次の図に、ある領域に配置された I/O ポートを示します。



## 配置済み I/O ポートの入れ替え

配置済みの 2 つの I/O ポートの配置を入れ替えるには、次の手順に従います。

1. 使用可能なウィンドウで 2 つの I/O ポートを選択します。
2. 右クリックし、[Swap Locations] をクリックします。



**重要:** インプリメント済みデザインで固定されていない 2 つのポートの配置を入れ替えると、入れ替えることによりポートの配置が固定され、制約が XDC ファイルに記述されます。

## 配置済み I/O ポートの移動

既に割り当てられているポートまたはポートのグループを移動するには、選択して別の場所にドラッグします。ある I/O バンクのポートグループを別の I/O バンクに移動する場合、選択したポートに最適な場所が Vivado IDE により自動的に検出されます。

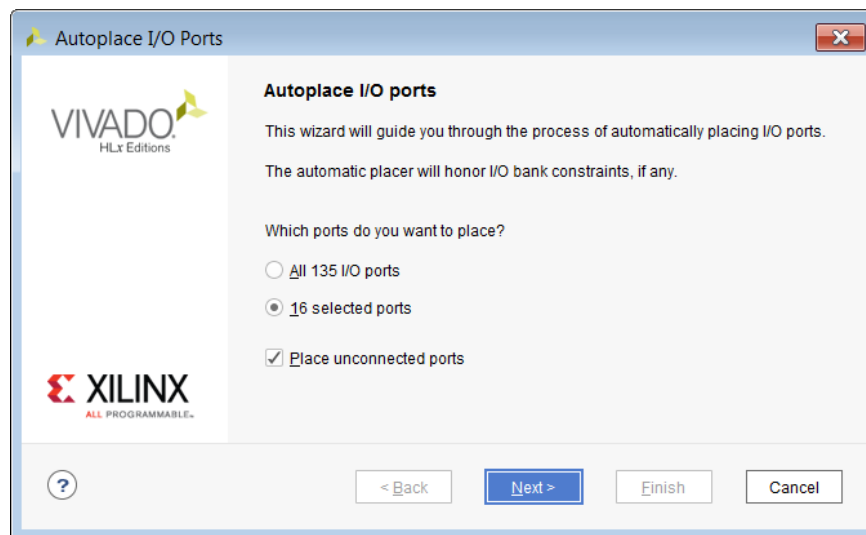
**注記:** これは、[Place I/O Ports in an I/O Bank] コマンドを使用するのと同様です。

## I/O ポートの自動配置

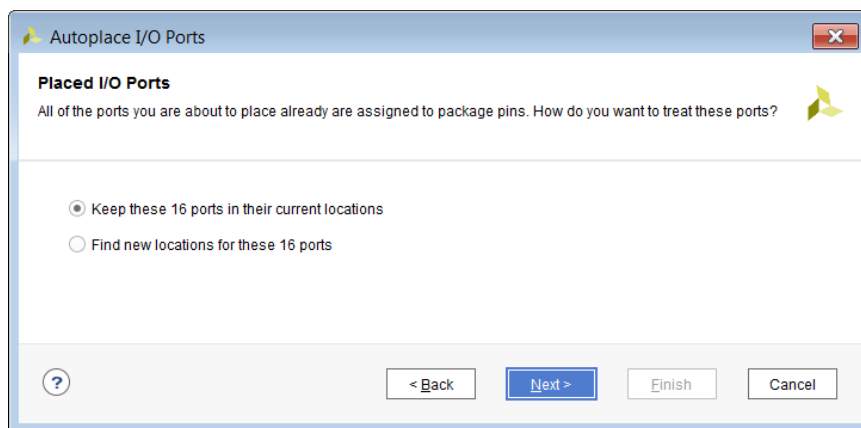
開いている合成済みデザインで、I/O ポートをパッケージ ピンに自動的に割り当てることができます。Vivado IDE の自動配置では、I/O 規格および差動ペアの規則すべてに従い、グローバル クロック ピンが正しく配置されます。

I/O ポートを自動配置するには、次の手順に従います。

1. [I/O Ports] ウィンドウで、自動配置する I/O ポートを選択します。
2. [Tools]→[I/O Planning]→[Auto-place I/O Ports] をクリックします。  
**注記:** または、[I/O Ports] ウィンドウで右クリックして [Auto-place I/O Ports] をクリックします。
3. [Autoplace I/O Ports] ウィザードで (次の図)、配置する I/O ポートのグループを選択し、[Next] をクリックします。



4. 既にパッケージ ピンに割り当てられている I/O ポートを選択している場合は、[Placed I/O Ports] ページでオプションを選択して [Next] をクリックします。



5. [Place I/O Ports Summary] で [Finish] をクリックします。

## ギガビット トランシーバーの I/O ポートの配置

GT をより適切に管理するため、[I/O Planning] レイアウトのウィンドウでは、関連する 2 つの I/O 差動ペアと GTX ロジック オブジェクトが、選択、配置、移動の際に自動的にグループ化されます。GT の複数のオブジェクトは 1 つのオブジェクトとして選択され、まとめて移動されるので、GT リソースの無効な配置は実行されません。

インタラクティブ DRC がオンの場合、ポート配置中に、GTX の周囲のノイズの影響を受けやすい I/O ピンが自動的に配置禁止になります。詳細は、「インタラクティブ DRC のイネーブル/ディスエーブル」を参照してください。

トランシーバーの配置規則の詳細は、次の資料を参照してください。

- 『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』 (UG476: [英語版](#)、[日本語版](#))
- 『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』 (UG576: [英語版](#)、[日本語版](#))



**ヒント:** 7 シリーズ、UltraScale、および UltraScale+ のギガビット ポートを配置する場合、配置する必要があるポートを右クリックして [Place I/O Sequentially] をクリックし、[Package] ウィンドウで次のポートにカーソルを移動して順次に追加します。



**推奨:** ザイリンクスでは、IP のカスタマイズ時にギガビット トランシーバーのピン プランニングを開始することを推奨します。IP インテグレーターを使用する場合は、使用開始時にピン プランニングを開始してください。

### 関連情報

[インタラクティブ DRC のイネーブル/ディスエーブル](#)

## I/O 配置制約の削除

配置制約を削除するには、配置したロジックを右クリックし、[Unplace] をクリックします。

## I/O プランニング プロジェクトの RTL プロジェクトへの変換

I/O ポートを定義してパッケージ ピンに配置したら、I/O ピン プランニング プロジェクトを RTL プロジェクトに変換できます。ポート定義は、RTL デザインの最上位モジュールを指定に応じて Verilog または VHDL のいずれかで作成するために使用されます。差動ペア バッファは最上位モジュールに追加されます。バス定義も RTL に含まれます。プロジェクト プロパティは、RTL プロジェクト タイプに適合するよう変更されます。



**重要:** RTL プロジェクトに変換した後、I/O ピン プランニング プロジェクトに戻すことはできません。

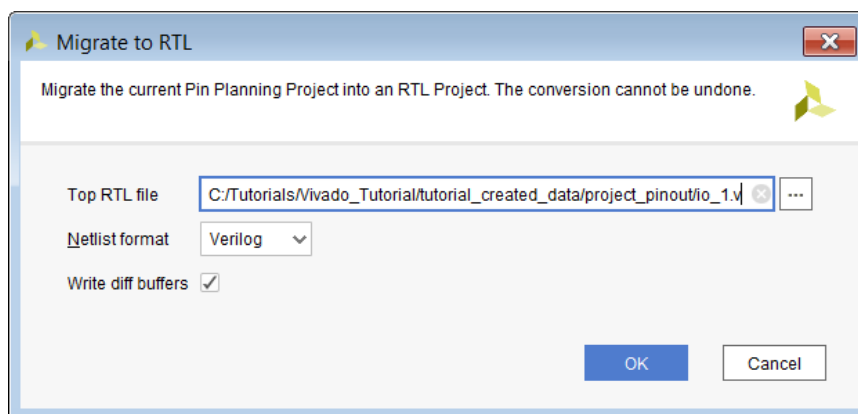
プロジェクト変換するには、次の手順に従います。

1. [File] → [Migrate to RTL] をクリックします。

注記: または、Flow Navigator で [Migrate to RTL] をクリックします。

2. [Migrate to RTL] ダイアログ ボックス (次の図) で次のオプションを選択し、[OK] をクリックします。

- [Top RTL file]: デザインの最上位モジュールを作成するための Verilog (.v) または VHDL (.vhd) ファイルを指定します。この HDL ファイルには、モジュール定義、ポート定義、方向、バス ピンの幅が含まれます。
- [Netlist format]: 最上位モジュールのフォーマットに [Verilog] または [VHDL] を選択します。
- [Write diff buffers]: 最上位モジュール定義の一部として差動ペア バッファを記述します。これにより、I/O ピン プランニング プロジェクトで定義した差動ペアがすべて保持されます。



I/O ピン プランニング プロジェクトを RTL プロジェクトに変換したら、プロジェクトにソースを追加し、デザインで作業を開始できます。詳細は、Vivado Design Suite User Guide: System-Level Design Entry (UG895) のこの [セクション](#) を参照してください。



# UltraScale アーキテクチャのメモリ IP の I/O プランニング

UltraScale™ アーキテクチャのメモリ IP は、FPGA ユーザーデザインおよび AMBA® 仕様の AXI4 スレーブ インターフェイスからサポートされる外部メモリ デバイスへの通信用に、あらかじめ設計されたコントローラーおよび物理層 (PHY) を使用するメモリ コントローラーを定義します。高速メモリ インターフェイスは、次に従う必要があります。

- クロッキングおよびスキューの要件に基づくピン配置要件
- メモリの I/O バンク内でのバイト レーンの使用に関する規則
- 物理的なピン割り当ての要件

メモリには、ハード メモリ コントローラー専用の I/O ピン (DDRMC) もあります。これらのピンは、ハード メモリ コントローラー以外には使用できません。デザインでこれらのピンを使用しない場合でも、これらのピンを GPIO に使用することはできません。

パフォーマンスの面では、メモリ IP の最終的な構成は I/O 割り当てに依存するので、IP の I/O を割り当てるまで IP のインプリメンテーションを完了することはできません。そのため、この IP の I/O 割り当てとインプリメンテーションは、ほかのほとんどの IP とは異なる方法で処理する必要があります。この章では、UltraScale アーキテクチャのメモリ IP の I/O プランニングおよびインプリメンテーション プロセスについて説明します。



**推奨:** メモリ コントローラーのポートのグループ化および I/O バンク割り当てに関する制限のため、ザイリンクスでは合成後のプロジェクトで汎用 I/O を割り当てる前にメモリ コントローラーの I/O プランニングを完了しておくことをお勧めします。



**ビデオ:** 詳細は、[Vivado Design Suite QuickTake ビデオ: UltraScale メモリ IP の設計](#) を参照してください。



**重要:** この章では、UltraScale アーキテクチャのメモリ IP についてのみ説明します。7 シリーズ デバイスのメモリ IP の詳細は、Zynq-7000 SoC and 7 シリーズ Devices Memory Interface Solutions ([UG586](#)) を参照してください。

## UltraScale アーキテクチャ メモリ IP の I/O プランニング デザイン フローの変更

Vivado® Design Suite では、UltraScale アーキテクチャのメモリ IP の I/O 割り当ておよびインプリメンテーション プロセスに次のような違いがあります。

- メモリ IP の I/O プランニングをデザインのほかの部分の I/O プランニングと共に Vivado IDE の [I/O Planning] レイアウトに統合し、ピン プランニングをデザイン RTL に含めるか、またはデザインの合成後に実行することが可能。

- IP の PHY インプリメンテーションが合成後に `opt_design` コマンドの一部として実行されるようになり、ネットリスト ベースの I/O プランニングが可能。
- IP を含む物理ブロック (Pblock) が `opt_design` コマンドの一部として自動的に生成されるようになり、ユーザーには非表示。

## I/O プランニングの統合

以前のリリースの Vivado Design Suite では、IP をカスタマイズするときにすべての I/O を割り当てる必要がありました。その結果の制約は、IP と共に読み取り専用の XDC ファイルに保存されていました。I/O 割り当てを変更するには、IP をカスタマイズし直す必要がありました。また、これらの制約は、デザインの残りの部分の I/O 割り当ておよび検証時に必ずしも表示されませんでした。2015.x リリースから、メモリの I/O 割り当てをデザインのほかのポートと共に Vivado IDE の [I/O Planning] レイアウトで実行できるようになっています。メモリ IP のカスタマイズには含まれなくなりました。このツールは「Advanced I/O Planner」と呼ばれ、XPIO SelectIO インターフェイスが追加されています。すべての I/O を一度に配置し、I/O の配置とパッキングを最適化します。

この新しいメモリ IP の I/O 割り当て方法により、次が可能になります。

- メモリ IP を再生成せずにメモリの I/O ポートに変更を加えることが可能。
- メモリ IP を再生成せずに、メモリ IP で異なるピン配置の異なるデバイスをターゲットにすることが可能。
- 1 つの環境で複数のメモリ コントローラーの I/O プランニングを同時に実行。
- メモリ ポートの割り当てを、IP の読み取り専用ファイルではなく、デザインの最上位 XDC 制約ファイルに定義および保存。
- XDC 制約を変更または置き換えることによりメモリの I/O ポートの割り当てを変更。

## PHY のインプリメンテーション

UltraScale アーキテクチャのメモリ IP は、ユーザー デザインおよび AMBA 仕様の AXI4 スレーブ インターフェイスと、DDR3、DDR4、QDRII+、QRDRIV、および RLDRAM3 SRAM デバイスとの通信用に、あらかじめ設計されたコントローラーおよび PHY を使用するメモリ コントローラーを定義します。

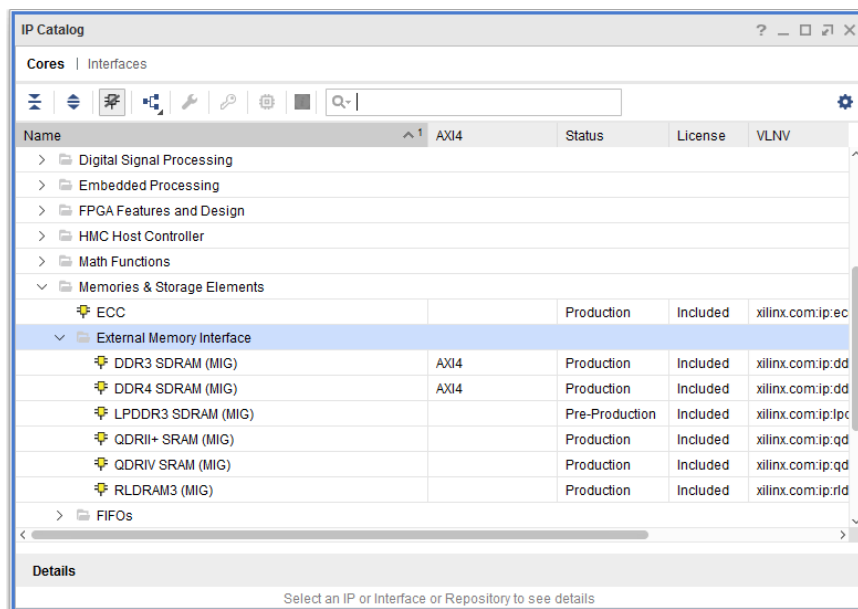
メモリ IP は、ピン配置が変更されたときにサイリックス デバイスの物理層 (PHY) インターコネクトのみをアップデートすればよいように構成されています。PHY のインプリメンテーションは I/O 割り当てに依存するので、I/O を配置して検証した後に実行する必要があります。合成後にメモリの I/O プランニングを実行できるようにするため、PHY のインプリメンテーションはインプリメンテーションの一部として `opt_design` コマンドで実行されるようになっています。

## メモリ IP の設定

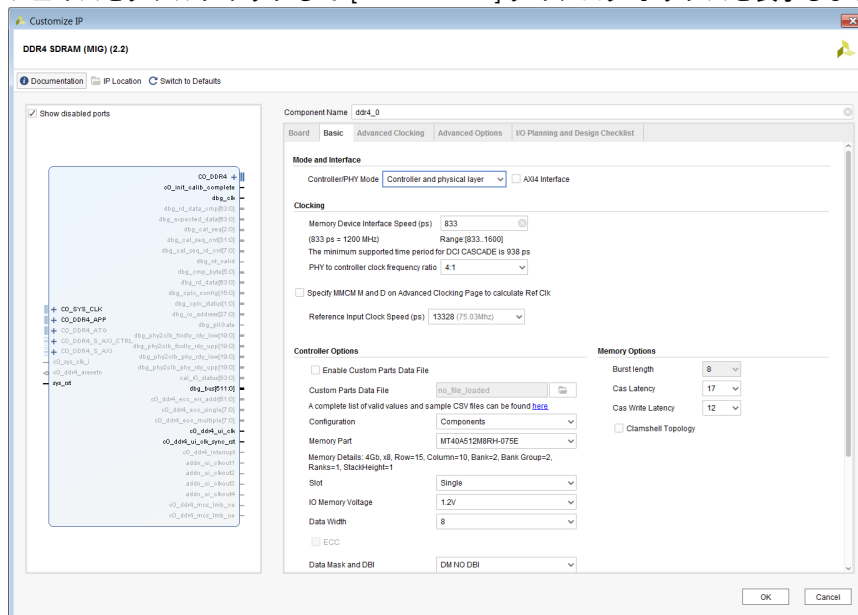
UltraScale アーキテクチャのメモリ IP では、DDR3 および DDR4 SDRAM、QDRIIPLUS SRAM、RLDRAM3 のインターフェイスを設定できます。2015.3 から、メモリ IP がメモリ インターフェイス規格とツール フローに基づく異なる IP に分割されました。[Customize IP] ダイアログ ボックスにはデバッグを含む基本およびアドバンス設定オプションが含まれます。メモリの I/O 割り当てはデザインのメモリ以外の部分の I/O 割り当てと統合されているので、メモリ IP の設定プロセスはほかのサイリックス IP と一貫したものになっています。IP の設定および管理プロセスの詳細は、Vivado Design Suite User Guide: Designing with IP (UG896) の [このセクション](#) を参照してください。

Vivado ツールでメモリ IP を設定するには、次の手順に従います。

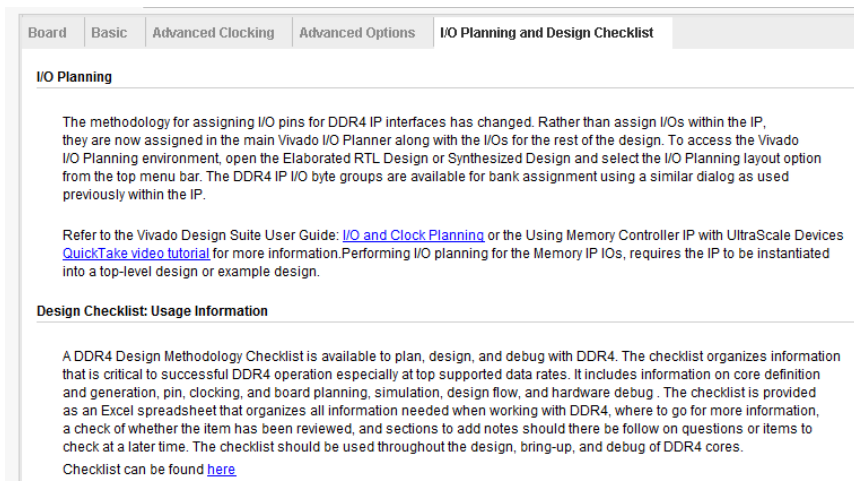
1. Vivado IP カタログを開き、[Memories & Storage Elements]→[External Memory Interface] カテゴリを展開します。



2. 必要なインターフェイスをダブルクリックして [Customize IP] ダイアログ ボックスを表示します。



**注記:** [Customize IP] ダイアログ ボックスに [I/O Planning] タブはまだありますが、メモリ IP の I/O プランニングが統合されていることが説明されています。



メモリ IP の設定の詳細は、UltraScale Architecture-Based FPGAs Memory IP LogiCORE IP Product Guide (PG150) を参照してください。

**注記:** Vivado Design Suite では、1 つのデザインで複数の UltraScale アーキテクチャ メモリ コントローラーを使用することがサポートされています。それぞれを個別に定義する必要があります。

## IP 出力ファイルの生成

メモリ IP を設定したら、インプリメンテーションおよびサードパーティ ツールで使用する出力ファイルを生成する必要があります。Vivado ツールでは、出力ファイルを生成すると、IP レベルの XDC 制約ファイルが IP ディレクトリに作成されます。XDC ファイルには、IOSTANDARD、OUTPUT\_IMPEDANCE、DRIVE、SLEW などの I/O 物理制約が含まれます。Vivado ツールではこれらの制約は IP の設定から抽出され、I/O プランニングに使用されます。制約は、[I/O Planning] レイアウトに表示されます。

出力ファイル生成の詳細は、Vivado Design Suite User Guide: Designing with IP (UG896) のこのセクションを参照してください。

# Vivado IDE での UltraScale アーキテクチャ メモリ IP の I/O プランニング

デザインに UltraScale アーキテクチャ メモリ IP が含まれている場合、Vivado IDE に次の機能が含まれます。

- [I/O Ports] ウィンドウで各メモリ IP の I/O ポートをポート インターフェイスにグループ化し、グループごとに選択および変更可能
- メモリ IP に関連するすべてのポートに対し、ドラッグ アンド ドロップ、ポートのスワップ、グラフィカル ビューでのポートの手動移動など、インタラクティブ ポート配置機能を禁止
- メモリ I/O ピングループを I/O バンクおよびバイト レーンに自動または手動割り当て可能なメモリ バンク/バイト プランナーを使用可能

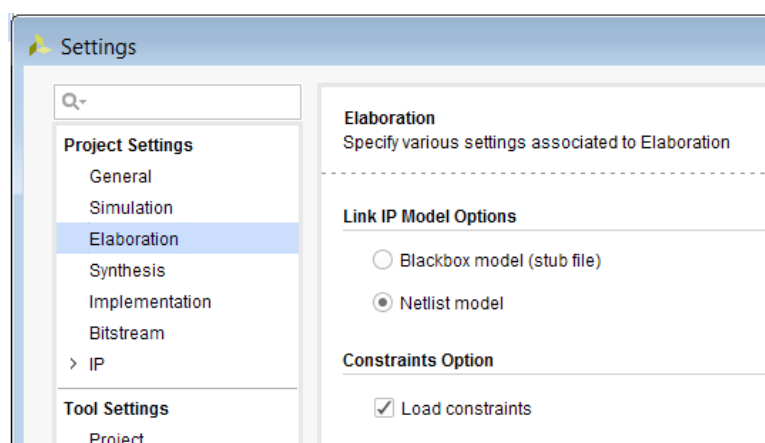
インタラクティブ I/O プランニングは、Vivado IDE でエラボレート済み RTL デザインまたは合成済みデザインを開いて実行できます。エラボレート済みデザインおよび合成済みデザインの両方で同じ基本的なプロセスおよびコマンドを使用できますが、Vivado ツールでは合成済みデザインの方がより詳細な DRC が実行されます。

## エラボレート済みデザインでの UltraScale アーキテクチャ メモリ IP の I/O プランニング

メモリの I/O プランニングにエラボレート済みデザインを使用する場合、デザインを開く前に、次の手順に従って適切なエラボレート オプションを設定する必要があります。

1. Vivado IDE で、[Flow]→[Elaboration Settings] をクリックします。
2. [Project Settings] ダイアログ ボックスの [Elaboration] ページで、[Netlist model] および [Load constraints] オプションがオンになっていることを確認します。

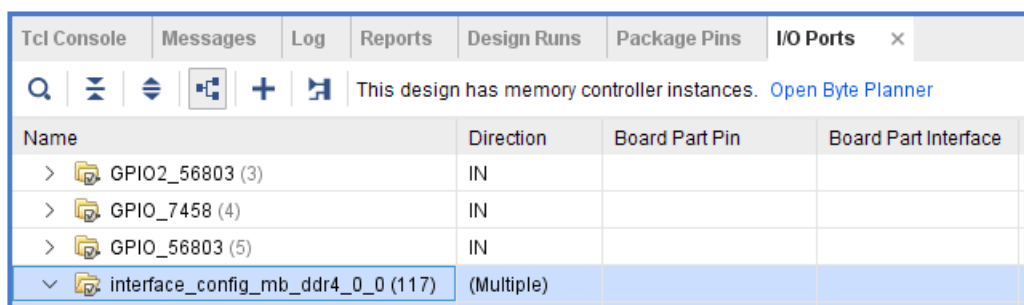
[Netlist model] をオンにしてネットリスト モデルが読み込まれるようにすると、IOSTANDARD や OUTPUT\_IMPEDANCE などの I/O プロパティを選択して合成されたメモリ IP を、エラボレート済みデザインに読み込むことができます。[Blackbox model] をオンにした場合、エラボレート済みデザインでメモリ IP の I/O プランニングを実行することはできません。



## メモリ バンク/バイト プランナーの使用

[I/O Planning] レイアウトには、[I/O Ports] および [Package Pins] ウィンドウが含まれます。デザインに UltraScale アーキテクチャ メモリ IP が含まれる場合、これら両方のウィンドウのバナーにメッセージとメモリ バンク/バイト プランナーを起動するボタンが表示されます。

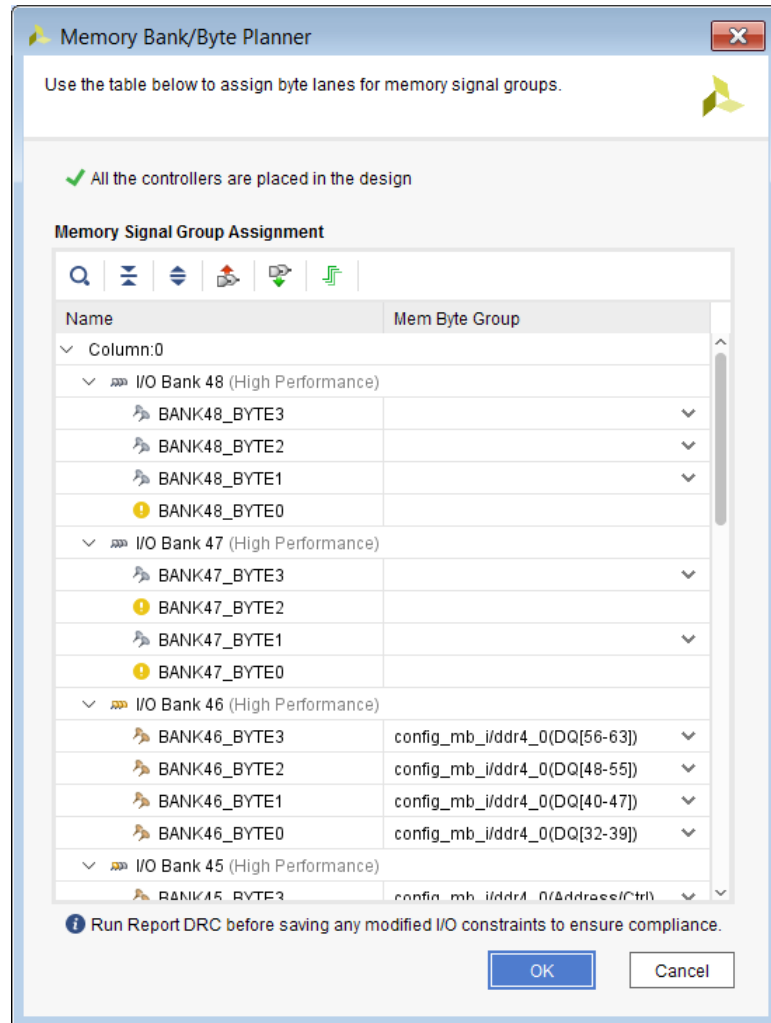
図 17: メモリ バンク/バイト プランナーの起動



**注記:** または、[Tools]→[I/O Planning]→[Memory Byte Planner] をクリックしてメモリ バンク/バイト プランナーを開くこともできます。

メモリ バンク/バイト プランナーを使用すると、メモリ インターフェイス信号グループを I/O バンク内の特定のバイトグループに自動または手動で割り当てることができます。

図 18: メモリ バンク/バイト プランナー

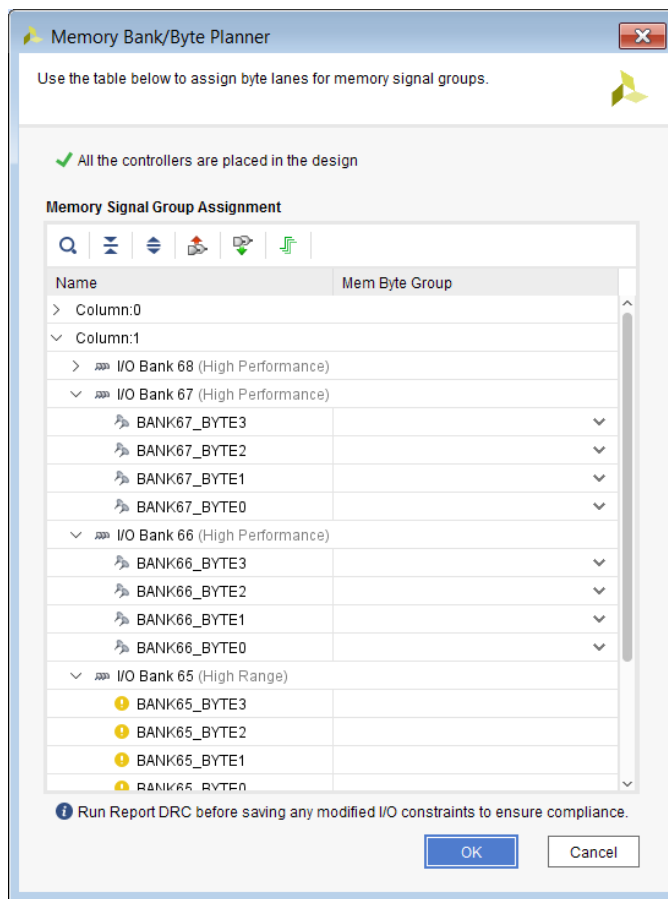


**注記:** メモリ IP から直接生成されたサンプル デザインを使用すると、サンプル デザインの XDC ファイルにデフォルトの I/O 割り当てが含まれ、メモリ バンク/バイト プランナーに表示されます。

メモリ バンク/バイト プランナーには、次の機能が含まれます。

- 展開/非展開可能なデバイス リソース ツリー: 選択したデバイスによって、SLR (Super Logic Region)、I/O 列およびバンク、バイトグループなどのデバイス リソースが、展開/非展開可能なツリー形式で表示されます。次の図に示すように、デバイスの特定のエリアのみを表示できます。メモリ インターフェイスは隣接する I/O バンクに割り当てて必要があるため、リソースはデバイスに配置されている順に表示されます。

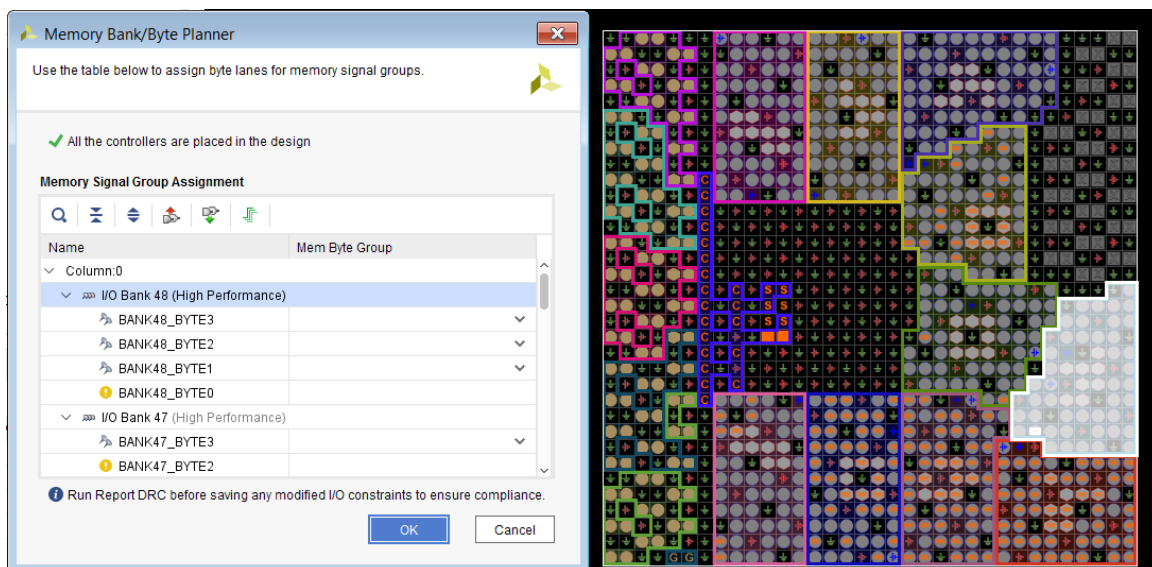
図 19: デバイス リソース ツリー



- ほかのウィンドウとの連動選択: I/O バンクおよびバイトグループを選択すると、そのグループは [Package] および [Device] ウィンドウでもハイライトされ、リソースを特定するのに役立ちます。

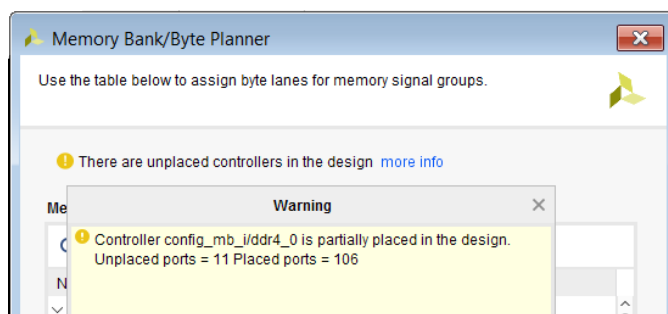


図 20: バンクおよびバイトグループの連動選択



- DRC 情報: メモリ バンク/バイト プランナーの上部に DRC ステータス メッセージが表示され、リンクをクリックすると DRC 違反に関する情報が表示されます。I/O バンクおよびバイトグループを選択すると、そのグループは [Package] および [Device] ウィンドウでもハイライトされ、リソースを特定するのに役立ちます。

図 21: DRC 違反の情報



- 信号グループの情報: [Show Signal Group] をクリックすると、[Signal Groups] ダイアログ ボックスに各メモリ IP の信号グループが表示されます。

図 22: [Signal Groups] ダイアログ ボックス

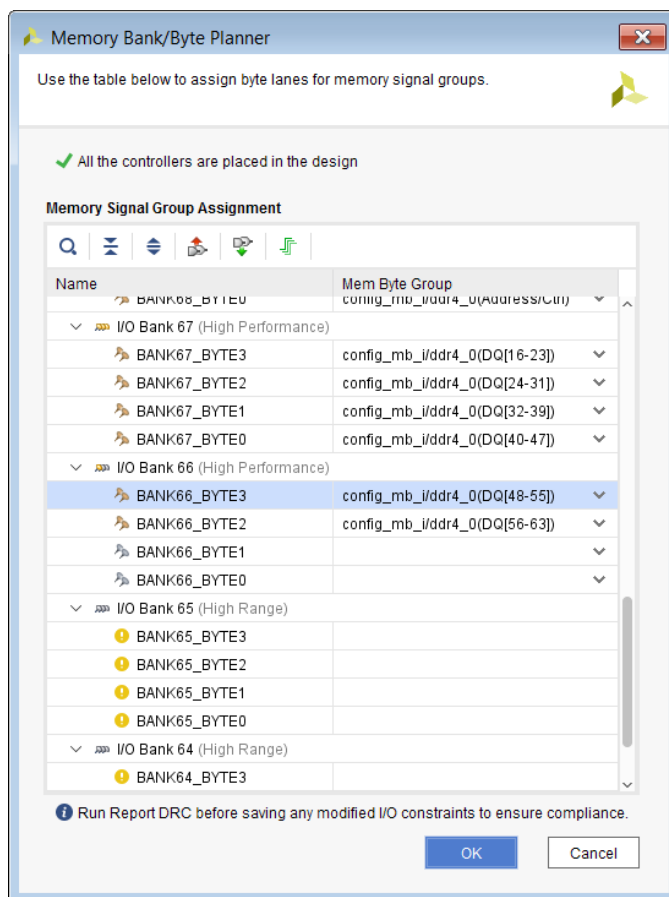


## 信号グループの手動割り当て

信号グループを手動でバイト レーンに割り当てるには、次の手順に従います。

1. 次の図にある [Mem Byte Group] 列で、バンクの横にあるドロップダウン リストをクリックします。
2. ドロップダウン リストから割り当てる信号グループを選択します。

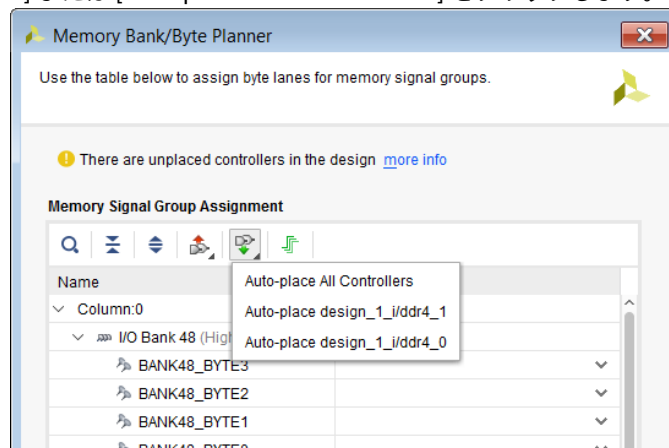
Vivado ツールでそれぞれの割り当ての後に、アクティブな DRC が実行されます。DRC 違反は赤で表示されます。[\[more info\]](#) リンクをクリックすると詳細が表示されます。Vivado IDE にデザインの各メモリ IP の信号グループが表示され、複数のメモリ コントローラーの I/O 割り当てを同時に実行できます。



## 信号グループの自動割り当て

メモリ コントローラーの信号グループを、個別にまたはすべて自動配置できます。各メモリ コントローラーに対して、1 つの I/O バンクまたは I/O バンクのグループをターゲットにできます。信号グループを自動的に割り当てるには、次の手順に従います。

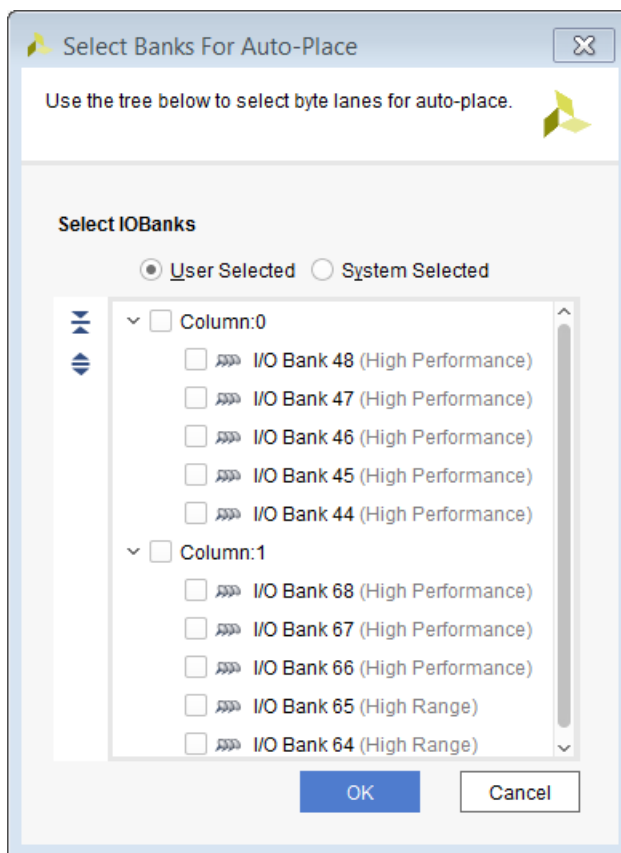
1. [Auto Assign Controllers] ボタン をクリックします。
2. [Auto-place All Controllers] または [Auto-place <controller name>] をクリックします。



3. [Select Banks for Auto-Place] ダイアログ ボックスで、次のいずれかのオプションをオンにします。

- [System Selected]: Vivado ツールによりメモリ コントローラーに最適な配置が選択されます。
- [User Selected]: メモリ コントローラーのターゲットとなるバンクを選択します。

**注記:** メモリ コントローラーを配置するのに十分な I/O バンクを選択しないと、警告メッセージが表示されます。

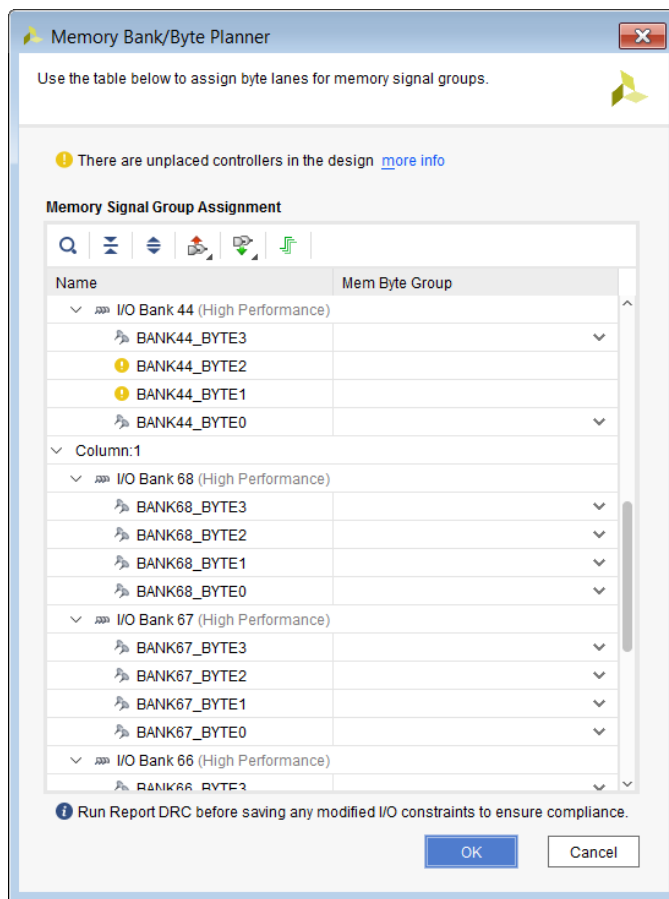


自動配置が完了すると、確認ダイアログ ボックスに配置されたポート数が表示されます。

## メモリ以外のポートが割り当てられていることを示す警告メッセージ

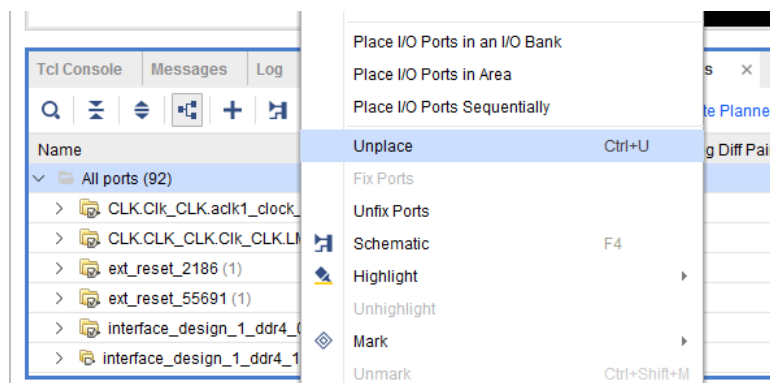
メモリ バンク/バイト プランナーでは、既にメモリ以外の I/O ポートが割り当てられている I/O バンクに信号グループを割り当てることは禁止されます。メモリ以外の I/O ポートに信号グループを割り当てようとすると、感嘆符を含む黄色のアイコンが表示され、マウスを置くと、メモリ以外のポートがバイト グループに割り当てられていることを示すツール ヒントが表示されます (次の図を参照)。

図 23: メモリ以外のポートが割り当てられていることを示す警告メッセージ



ポートの配置を解除すると、この問題を解決できます。[I/O Ports] ウィンドウでポートを右クリックし、[Unplace] をクリックします。

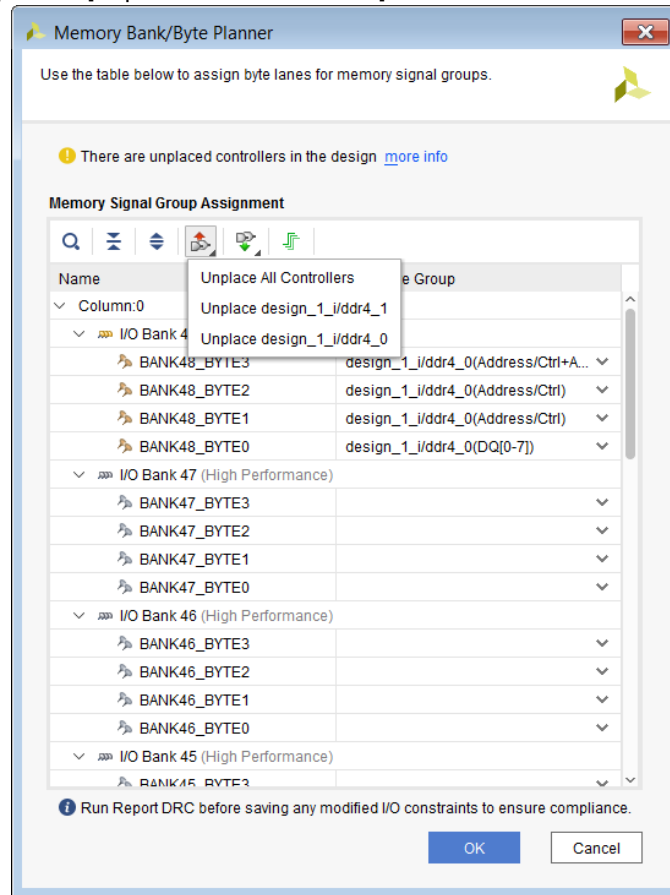
図 24: メモリ以外のポートの配置解除



## 信号グループおよびコントローラーの配置解除

メモリ コントローラーの信号グループを、個別にまたはすべてを一度に配置解除できます。信号グループの配置を解除するには、次の手順に従います。

1. [Unplace Ports for Memory Controllers] ボタン をクリックします。
2. [Unplace All Controllers] または [Unplace <controller name>] をクリックします。



## メモリ I/O ポートの変更

[I/O Ports] または [Package Pins] ウィンドウを使用して、ピンのスワップなど、メモリ I/O ポートを手動で変更できます。どちらのウィンドウでもデータの表示を変更して、情報を見やすくできます。たとえば、表を展開または非展開したり、フィルター処理したり、列を並べ替えたり移動したりできます。詳細は、Vivado Design Suite User Guide: Using the Vivado IDE (UG893) のこのセクションを参照してください。



**重要:** 変更を加えたときに DRC は実行されないため、メモリ コントローラーに無効なピン割り当てを実行してしまう可能性があります。I/O ポートまたはパッケージ ピン割り当てを実行した後、「DRC の実行」で説明するように DRC を実行してください。

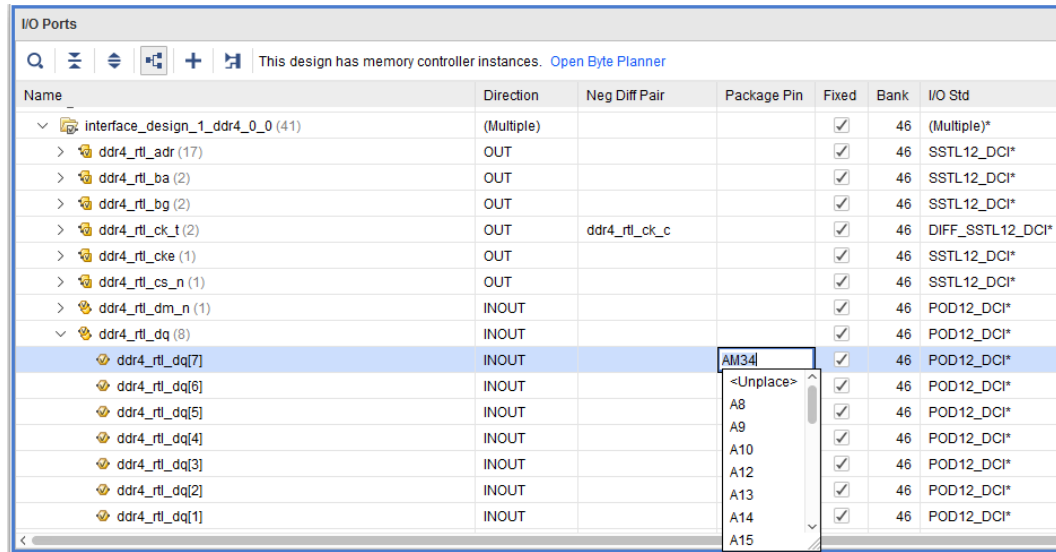
### 関連情報

[DRC の実行](#)

## [I/O Ports] ウィンドウでのポートの変更

[Package Pins] ウィンドウでポート割り当てを変更するには、[Ports] 列で次のいずれかを実行します。

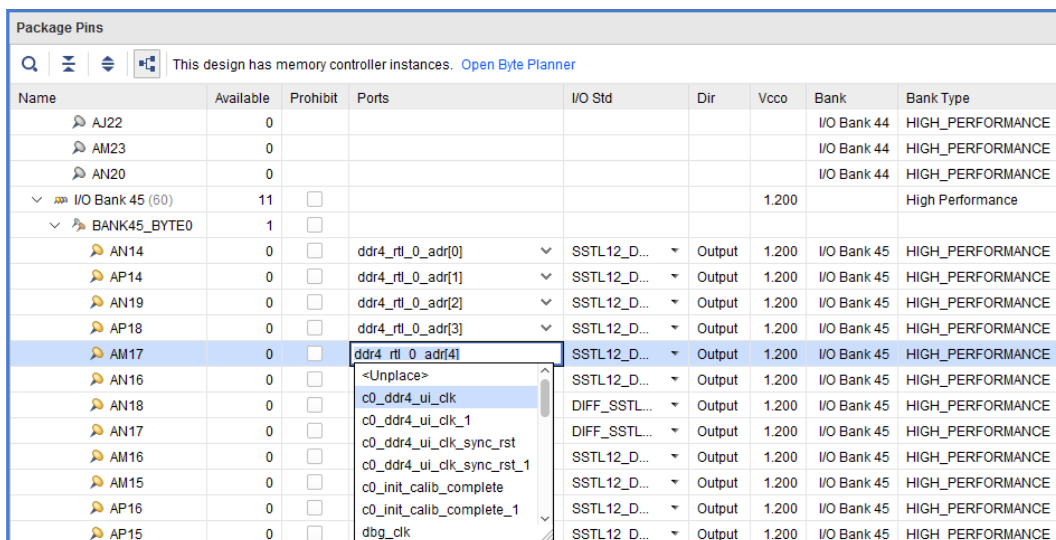
- ドロップダウン リストから信号を選択します。
- 信号名を入力します。



## [Package Pins] ウィンドウでのポートの変更

[Package Pins] ウィンドウでポート割り当てを変更するには、[Ports] 列で次のいずれかを実行します。

- ドロップダウン リストから信号を選択します。
- 信号名を入力します。





## メモリ DRC の実行

ピン割り当てを実行または変更したら、DRC の実行に説明されているように、エラボレート済みデザインまたは合成済みデザインに対し、[Report DRC] コマンドを使用して default DRC ルール デックを実行する必要があります。

**注記:** 合成済みデザインではネットリストが完成しているので、より多くのデザイン ルールが実行されます。

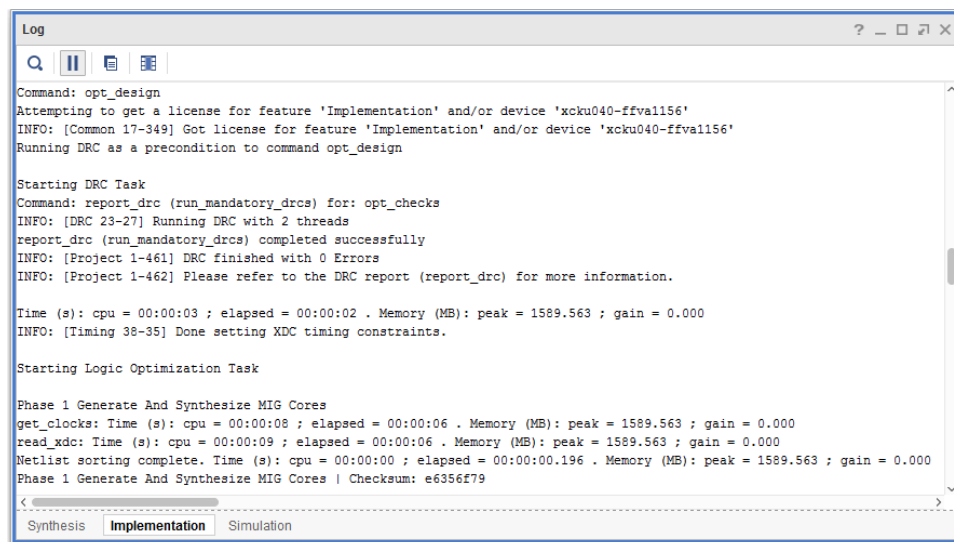
### 関連情報

[DRC の実行](#)

## PHY のインプリメンテーション

各メモリ コントローラーについては、次の図のように `opt_design` コマンドのフェーズ 1 を実行すると、Vivado ツールでインプリメンテーション時に物理層 (PHY) の合成とネットリストへのスティッチングが実行されます。

図 25: `opt_design` コマンド実行中の PHY のインプリメンテーション



## PHY をインプリメントする Tcl コマンド例

`opt_design` の一部としてではなく合成済みデザインで PHY をインプリメントするには、次を入力します。

```
implement_mig_cores
```

Vivado ツールでこのコマンドを使用すると、デザイン全体がインプリメントされずに、合成済みネットリストでメモリ コントローラーがインプリメントされます。詳細は、Vivado Design Suite Tcl Command Reference Guide ([UG835](#)) の [implement\\_mig\\_cores](#) コマンドの説明を参照してください。



**注意:** 開いているデザインで、`implement_mig_cores` コマンドを複数回実行しないでください。デザインを閉じて開き直してから実行してください。

## デザイン間での I/O ポート割り当てのコピー

IP レベルの XDC ファイルを作成すると、UltraScale アーキテクチャ メモリ IP の I/O 制約をデザイン間でコピーできます。これは、次の場合に有益です。

- IP サンプル デザインでメモリ I/O 割り当てを実行し、その割り当てをユーザー デザインにコピーする場合。
- デザインからメモリ IP および関連の I/O 割り当てを含むサンプル デザインを作成する場合。

**注記:** 最上位ポート名はデザインによって異なるので、制約をコピーするには IP レベルの XDC ファイルが必要です。

IP レベルの XDC ファイルを作成してメモリ IP の I/O 制約をコピーするには、次の手順に従います。

1. I/O 割り当てのコピー元となるエラボレート済みデザインまたは合成済みデザインを開きます。
2. [Tcl Console] ウィンドウで次のコマンドを入力して、メモリ IP の I/O 制約を XDC ファイルに記述します。

```
write_xdc -cell <memory_ip_instance_name> -file <output file name>
```

3. I/O 割り当てのコピー先となるエラボレート済みデザインまたは合成済みデザインを開きます。
4. [Tcl Console] ウィンドウで次のコマンドを入力して、メモリ IP の I/O 制約の XDC ファイルを読み込みます。

```
read_xdc -cell <memory_ip_instance_name> -file <output file name>
```

5. [File]→[Constraints]→[Save] をクリックし、I/O 制約を最上位ポートに解釈し、ターゲット制約ファイルに保存します。

**注記:** これを Tcl コマンドで実行するには、`save_constraints` コマンドを使用します。

# Versal ACAP の高速 I/O のプランニング

Versal® デバイスの Vivado® ツール フローには、高速 SelectIO™ インターフェイスを作成およびプランニングするための Advanced IO Wizard が導入されています。Advanced IO Wizard を使用した SelectIO XPHY ロジック インプリメンテーションの詳細は、Advanced I/O Wizard LogiCORE IP Product Guide (PG320) を参照してください。このセクションでは、Advanced IO Wizard サンプル デザインを使用して Advanced IO Planner にアクセスする方法を説明しています。

[I/O Planning] レイアウトには、[I/O Ports] および [Package Pins] ウィンドウが表示されます。このツールでは、ニブルまたはバンク単位での設定が可能です。これよりも詳細なレベルが必要な場合は、従来のピン プランニング ツールを使用します。デザインに Versal アーキテクチャの Advanced IO Wizard IP が含まれる場合、これら両方のウィンドウのバナーにそれを示すメッセージと Advanced I/O Planner を起動するリンクが表示されます。Advanced I/O Planner では、XPHY I/O ブロックのすべてのインターフェイスが認識されます。ハードまたはソフト メモリ コントローラーがある場合は、これらも Advanced I/O Planner に表示されます。これらのインターフェイスは、ハードウェア規則ベースのエンジンに基づいて配置されます。このリストには優先順位があり、ハード メモリ コントローラー、ソフト メモリ コントローラー、SelectIO インターフェイスの順に配置されます。Advanced I/O Planner を使用すると、IP インターフェイス信号グループを I/O バンク内の特定のニブル グループに自動または手動で割り当てることができます。Advanced I/O Planner の詳細は、『Advanced IO Wizard LogiCORE IP 製品ガイド』 (PG320) の「Advanced I/O Planner の使用」を参照してください。

---

## Advanced I/O Planner の使用

新しい I/O プランニング プロジェクトを作成するには、次の操作を実行します。

1. Vivado を起動し、次の手順に従って Versal デバイスをターゲットにした新規プロジェクトを作成します。
  - [Quick Start] セクションで [Create Project] をクリックします。
  - [Next] をクリックします。
  - [Project Name] ページでプロジェクト名 ([Project name]) およびプロジェクト ディレクトリ ([Project location]) を指定し、[Create project subdirectory] をオンにします。
  - [Next] をクリックします。
  - [Project Type] ページで [RTL Project] および [Do not specify sources a this time] をオンにします。
  - [Next] をクリックします。
  - [Default Part] ページでデフォルト パーツを選択します。
  - [Next] をクリックします。
  - [New Project Summary] ページが表示されます。
  - [Finish] をクリックします。
2. プロジェクトが作成されたら、Flow Navigator で [PROJECT MANAGER] → [IP Catalog] をクリックします。

- 図 26: [Customize IP] ダイアログ ボックス

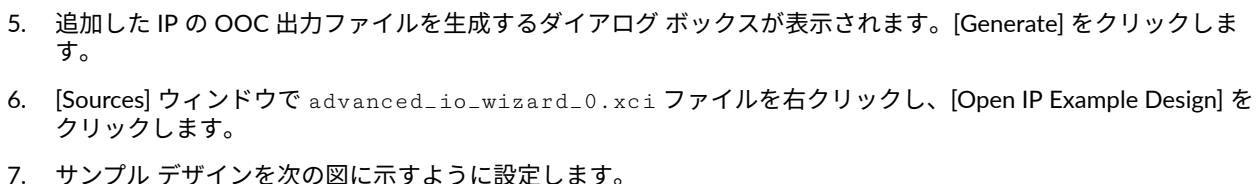
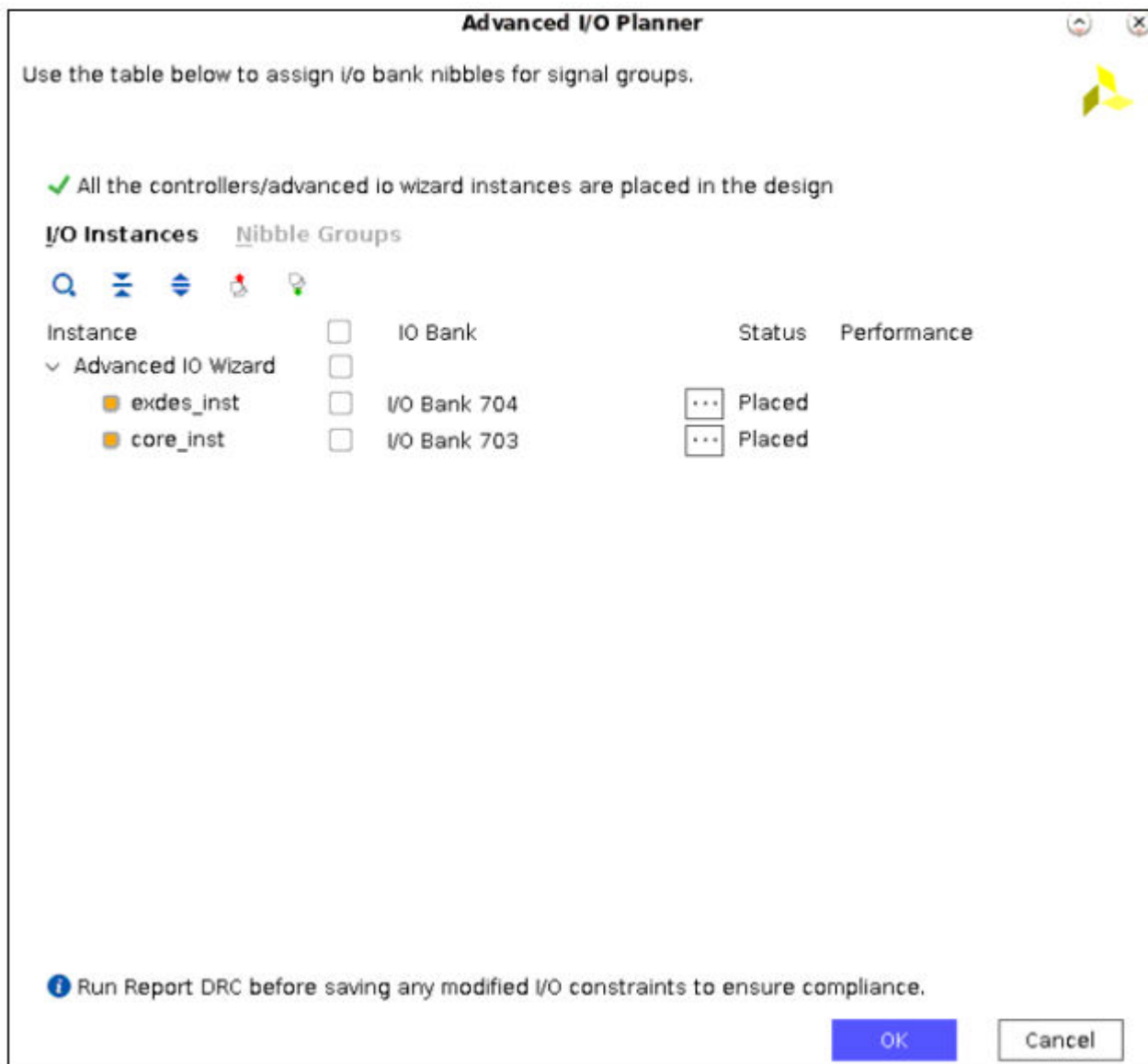


図 27: [Open IP Example Design] ダイアログ ボックス



8. [OK] をクリックします。
9. Flow Navigator で [SYNTHESIS] → [Run Synthesis] をクリックします。
10. 合成が完了したら、[Open Synthesized Design] をオンにして [OK] をクリックします。
11. 合成済みデザインが開いたら、[Window] → [I/O Ports] をクリックします。  
[I/O Ports] ウィンドウが表示されます。
12. [I/O Ports] ウィンドウに、Advanced I/O Planner を開くリンクがあります。リンクをクリックし、バンク単位でポート配置を設定します。

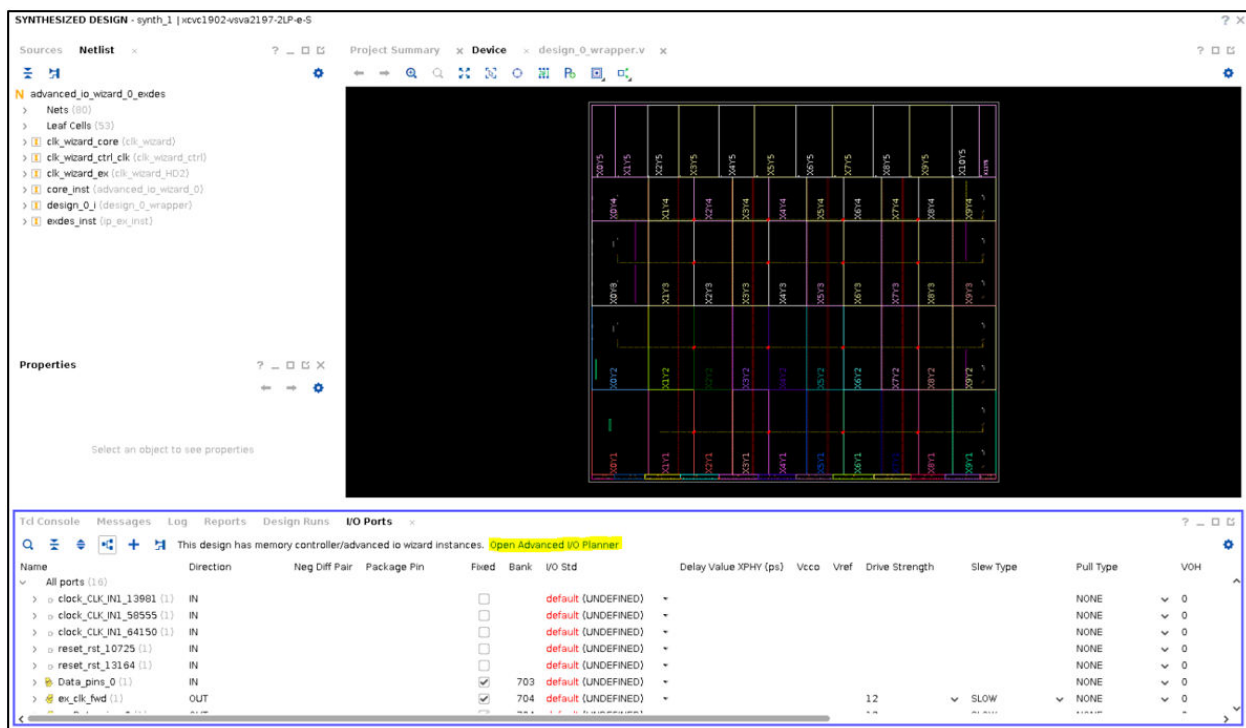
図 28: Advanced I/O Planner



13. [OK] をクリックします。

次の図に、サンプル デザインを示します。

図 29: サンプル デザイン





# Hard Block Planner

## Versal ACAP のハード ブロック プランニング

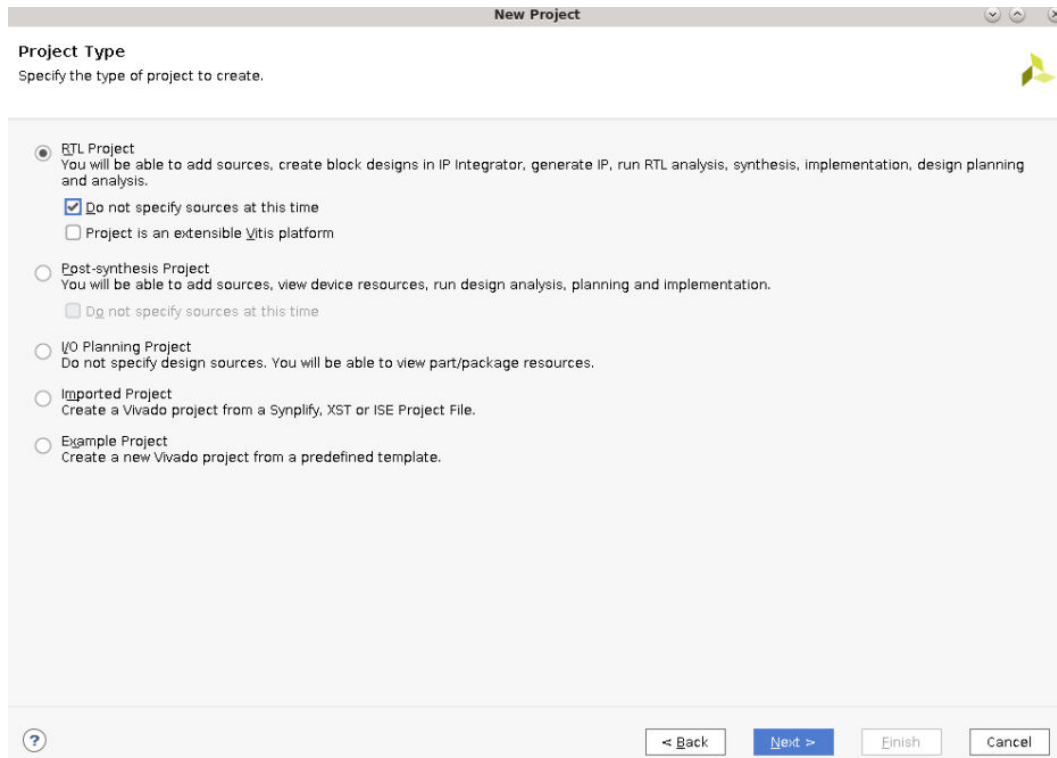
Versal ACAP では、GT コンポーネントは COMMON/CHANNEL から GT\_QUAD の粒度にアップデートされます。GT 共有ユース ケースのいくつかをイネーブルにするには、GT ウィザード フローで Vivado IP インテグレーターを使用します。Vivado IP インテグレーターを使用して、1 つまたは複数の GT\_QUAD を使用するシステム デザインを構築できます。GT\_QUAD に接続するカスタム IP のデザイン入力には、ブリッジ IP を使用します。この IP は、ブロック オートメーションを使用して 1 つまたは複数の GT クワッド ベースの IP をインスタンス化、設定、および接続します。GT\_QUAD は複数の IP 間で共有できるため、GT\_QUAD および REFCLK の位置は IP インテグレーターで割り当てられません。

Hard Block Planner は、GT\_QUAD および REFCLK の位置を割り当てる直感的なユーザー インターフェイスを提供します。[Hard Block Planner] ウィンドウを使用すると、GT\_QUAD をハード IP (PCIe や DCMAC など) にグループ化し、GT\_QUAD に関する REFCLK の位置について視覚的なフィードバックを表示できます。また、デバイス サイトを使用して GT\_QUAD を割り当てる、使いやすいメカニズムもあります。Hard Block Planner では、REFCLK ピン、GT\_QUAD、およびハード IP ブロックの位置に対して視覚的なフィードバックを [Device] ウィンドウに表示できます。合成済みデザインを開くと、ネットリスト オブジェクトが読み出されて処理され、デザインで使用可能なすべてのハード IP が収集されます。[Device] ウィンドウで位置をクロスプローブすると、サイトを変更または割り当てできます。[Windows] メニューの [Hard Block Planner] オプションは、合成済みデザインまたはインプリメント済みデザインを開いた場合に一度だけ表示されます。

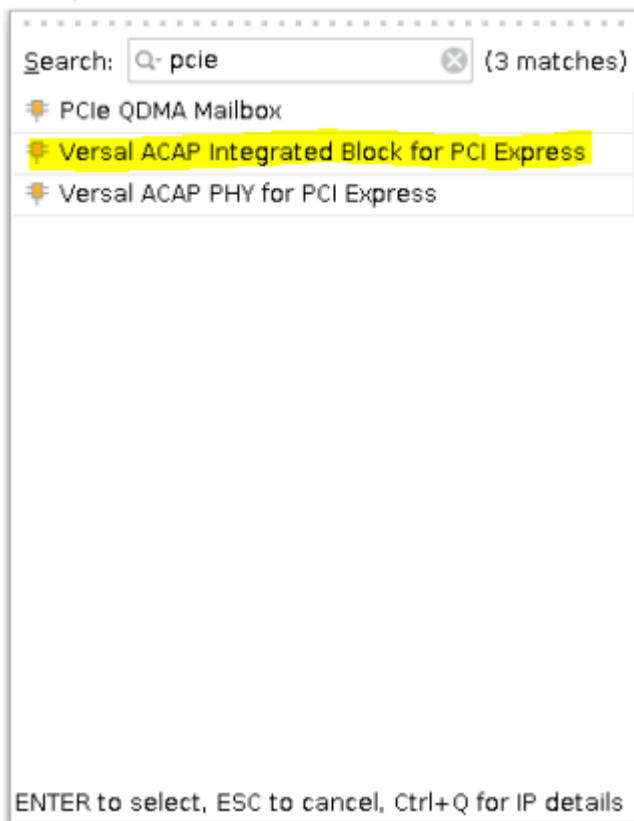
## Hard Block Planner の使用

ハード ブロック プランニング用のデザインを作成するには、次の手順を実行します。

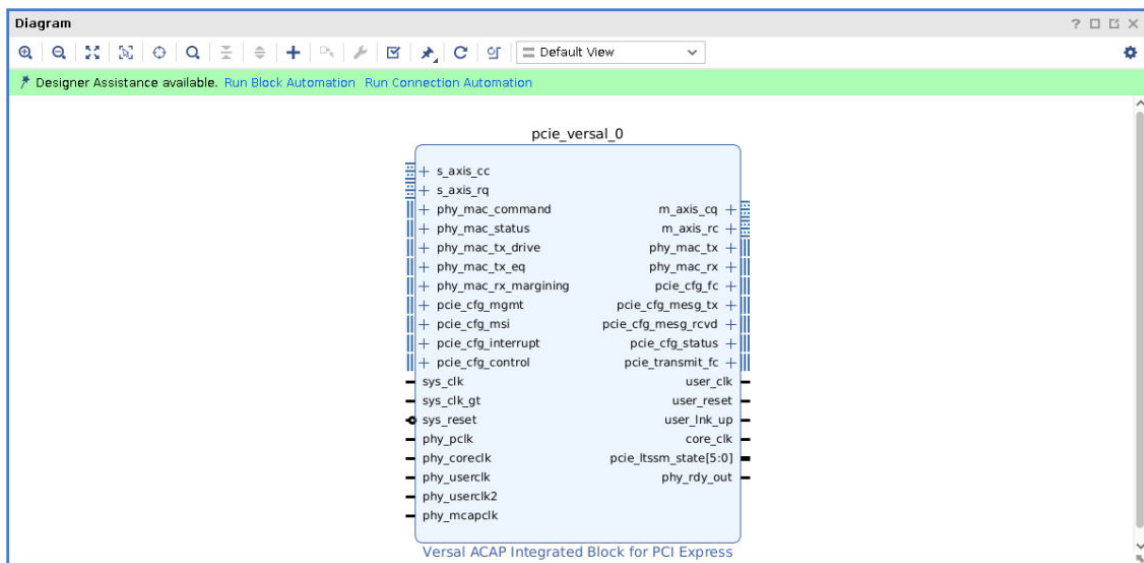
1. Versal ACAP デバイスをターゲットとするプロジェクトを作成します。この演習では、xcvc1902-vsvd1760-1LP-i-L をターゲットとする PCIe デザインを作成します。RTL プロジェクトの作成時には、[Do not specify sources at this time] がオンになっていることを確認します。



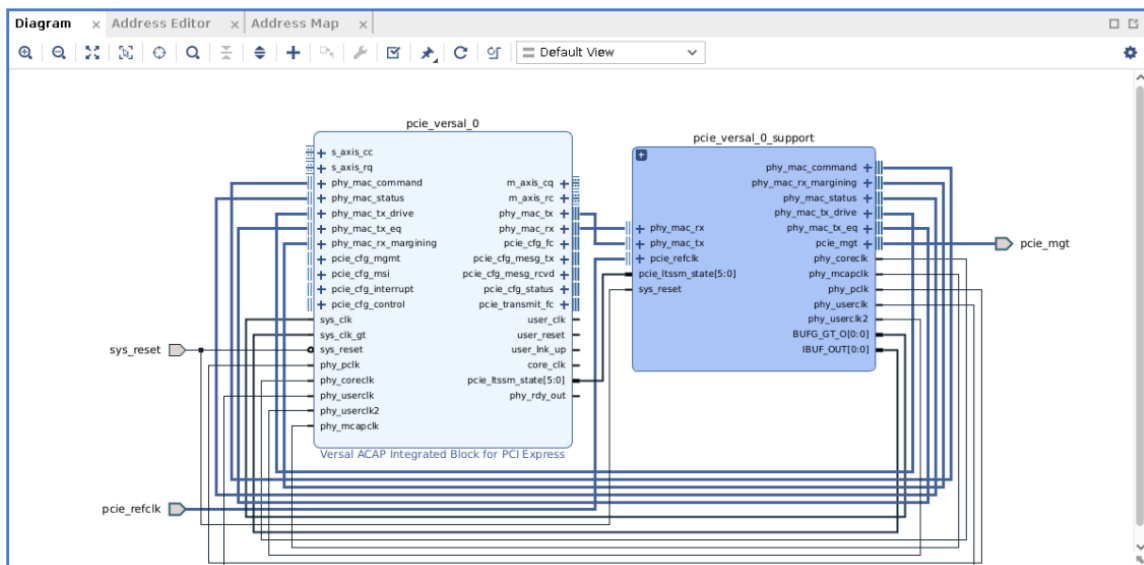
2. プロジェクトが読み込まれたら、BD キャンバスの [+] ボタンをクリックし、[Versal ACAP Integrated Block for PCI Express IP] を追加します。



- BD キャンバスに IP を追加したら、キャンバスの上に表示される [Run Block Automation] リンクをクリックします。

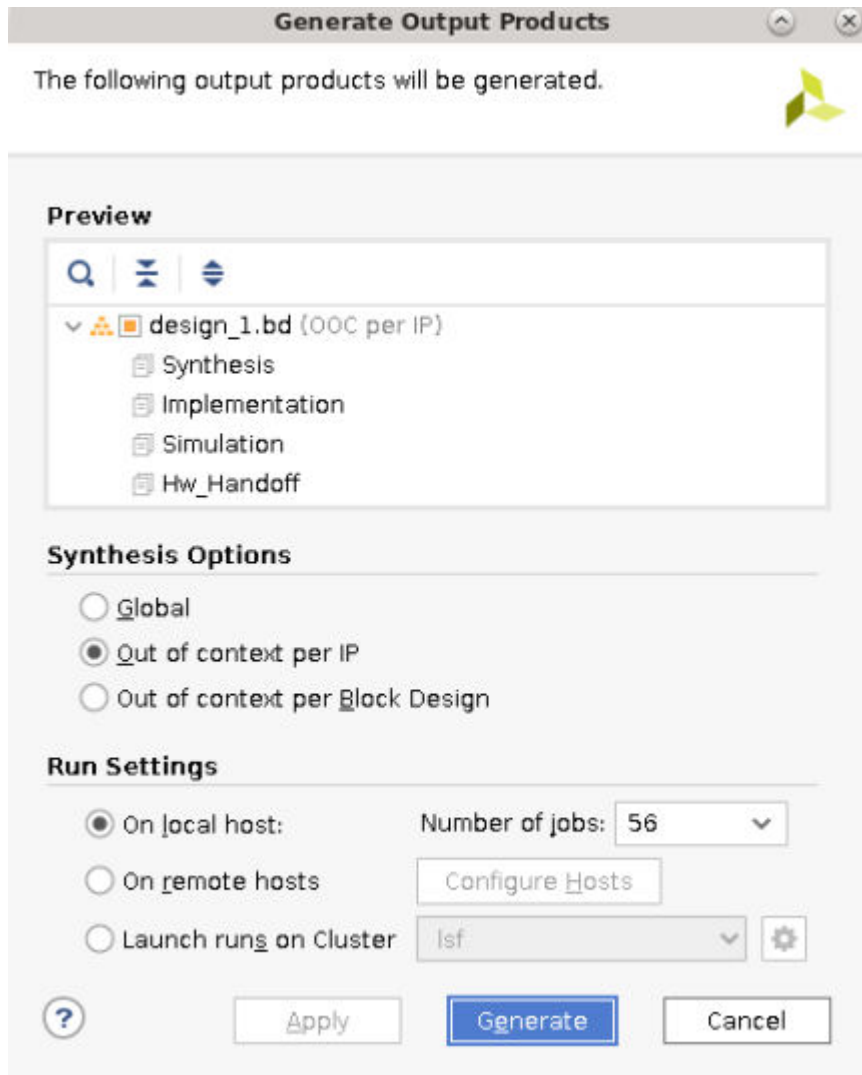


- ブロック オートメーションを実行すると、pcie\_versal\_0\_support ブロックがインスタンス化されます。このブロックには、PCIe による外部との通信を必要とする GT モジュールが含まれています。

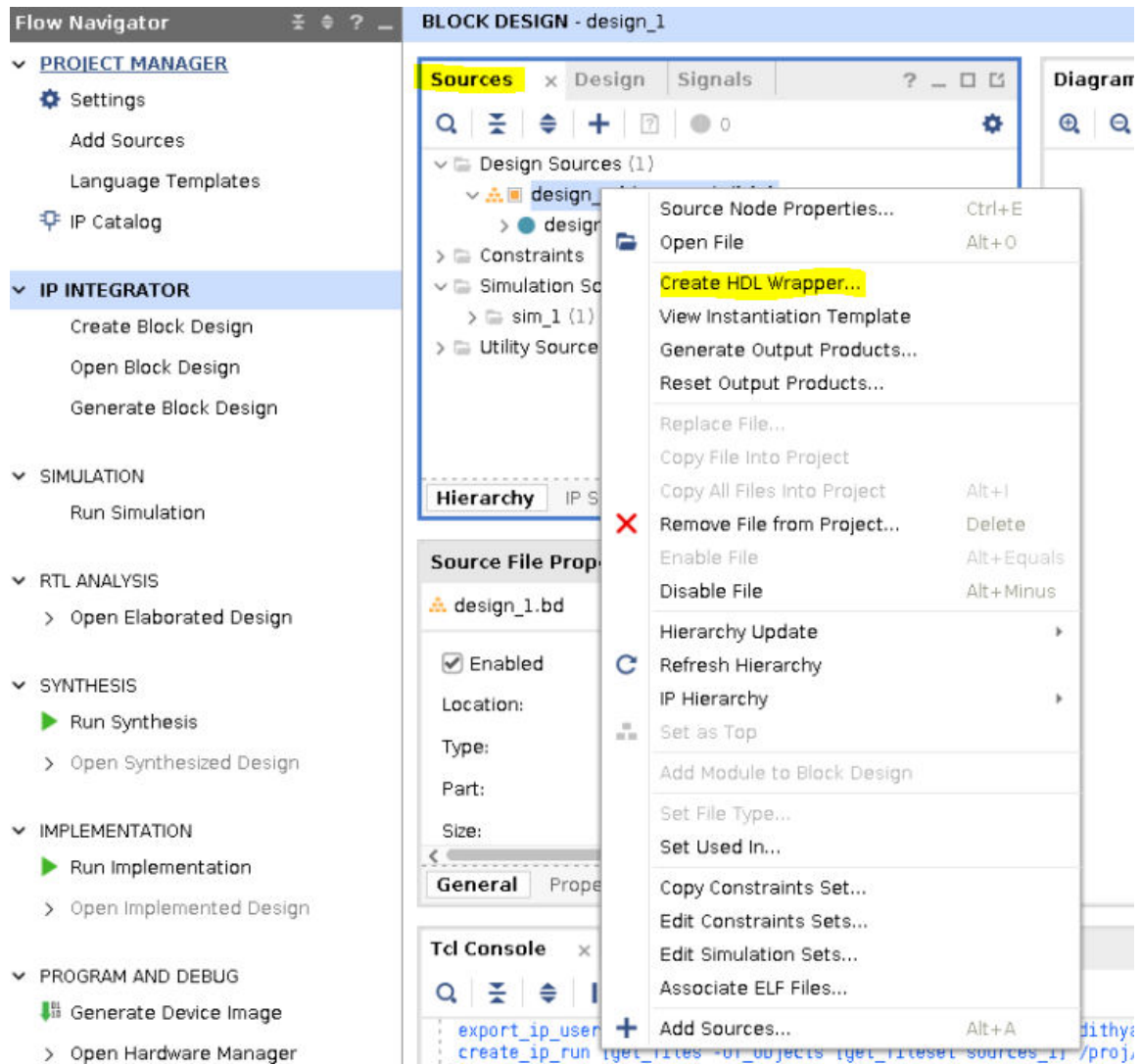


- ブロック オートメーションが完了したら、[Flow Navigator] で [IP Integrator] → [Generate Block Design] をクリックします。後続のプロンプトが表示されたら、設定をデフォルトのままにして [Generate] ボタンをクリックします。

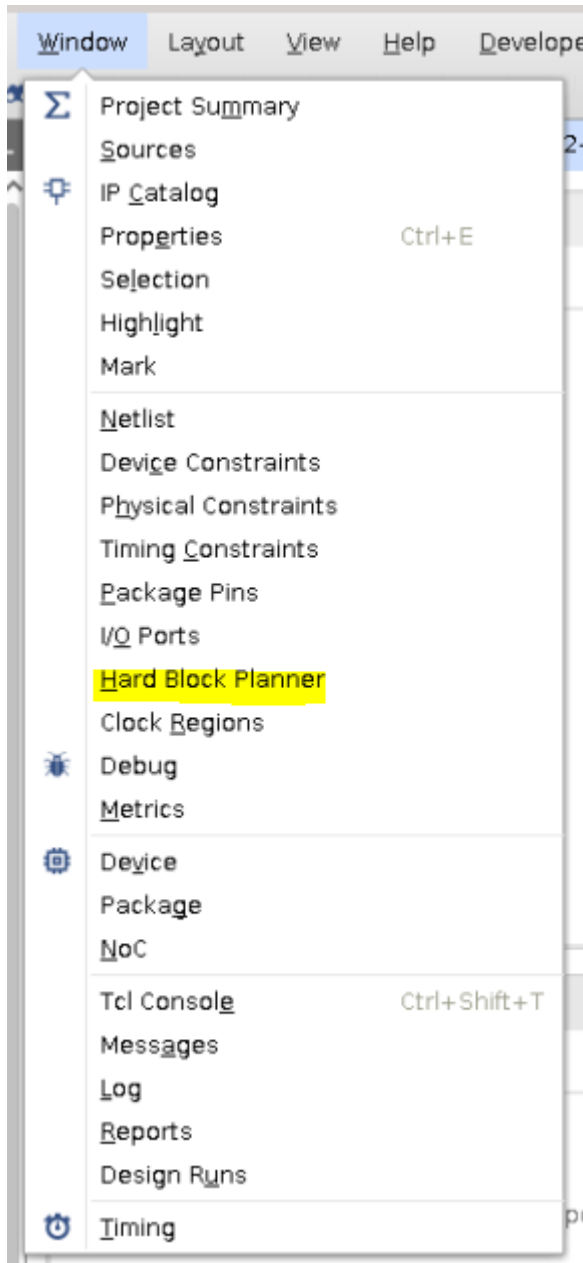




6. デザインを合成する前に、最上位 HDL ラッパーを作成します。



7. 次に、デザインを合成し、合成済みデザインを開きます。[Windows] メニューの [Hard Block Planner] オプションは、合成済みデザインを開いた場合に一度だけ表示されます。



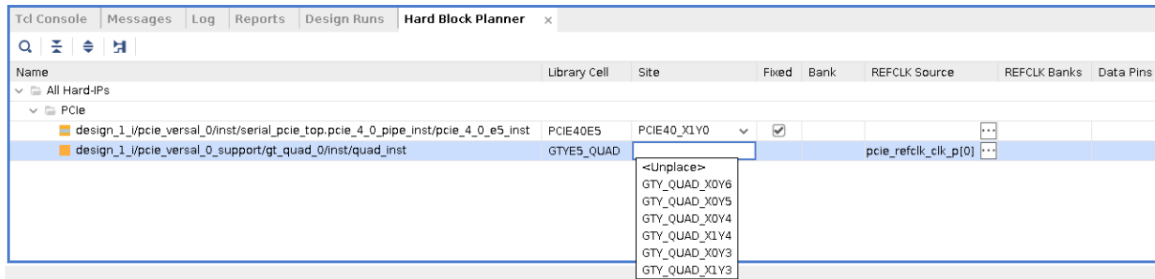
8. 合成済みデザインを開くと、ネットリスト オブジェクトが読み出されて処理され、デザインで使用可能なすべてのハード IP が収集されます。[Device] ウィンドウで位置をクロスプローブすると、サイトを変更または割り当てできます。

Tcl Console   Messages   Log   Reports   Design Runs   <b>Hard Block Planner</b> x							
Name	Library Cell	Site	Fixed	Bank	REFCLK Source	REFCLK Banks	Data Pins
design_1/pcie_versal_0/inst/serial_pcie_top.pcie_4_0_pipe_inst/pcie_4_0_e5_inst	PCIE40E5	PCIE40_X1Y0	<input checked="" type="checkbox"/>				
design_1/pcie_versal_0/support/gt_quad_0/inst/quad_inst	GTYES_QUAD				pcie_refclk_clk_p[0]		

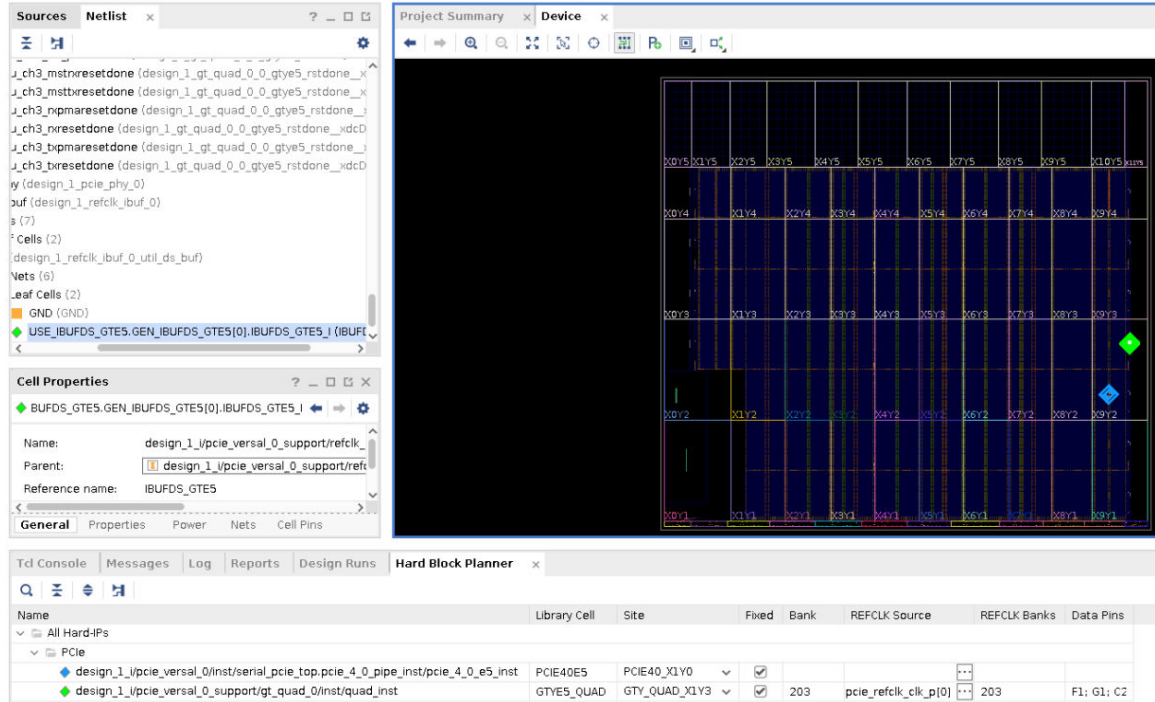
9. 現在のデザインには 2 つのハード IP (PCI Express および GTY\_QUAD) があり、これらの位置は Hard Block Planner を使用してプランニングできます。これには、[Site] 列のドロップダウン リストから適切なサイトを選択します。

**注記:** PCI Express ハード IP は、IP インテグレーターの PCIe Express IP によってあらかじめ定義されます。





10. GT\_QUAD の場合は、[REFCLK Source] 列を使用して REFCLK ソース配置をプランニングすることもできます。



## クロック プランニング

クロック プランニングでは、ザイリンクス デバイス上のさまざまなクロック リソースを使用してクロックをデバイス全体に分配します。ザイリンクス デバイスは、クロック領域の列と行に分割されています。クロック領域には、CLB、DSP スライス、ブロック RAM、インターコネクト、関連するクロック リソースが含まれます。クロック領域のサイズと内容は、デバイスのタイプによって異なります。UltraScale™ デバイスでは、クロック領域には 60 個の CLB、24 個の DSP スライス、12 個のブロック RAM が含まれ、中央に水平クロック スパイン (HCS) があります。7 シリーズ デバイスでは、クロック領域には 50 個の CLB および 50 個の I/O を含む I/O バンクが 1 つ含まれ、中央に水平クロック行 (HROW) があります。

システム クロック (ボード クロック) がプライマリ クロックであり、入力ポートまたはギガビット トランシーバー ピンを介してデザインに入力されます。各 I/O バンクには、システム クロックをデバイスに取り込み、クロック配線リソースに供給するクロック兼用入力ピンがあります。クロック兼用入力ピンは、専用クロック バッファと組み合わせて、システム クロックを次のリソースに供給します。

- グローバル クロック ライン
- 同じ I/O バンクおよび隣接する I/O バンク内の I/O クロック ライン
- 同じクロック領域および縦方向に隣接するクロック領域内のリージョナル クロック
- クロック マネージメント タイル (CMT)

**注記:** プライマリ クロックを定義するには、create\_clock Tcl コマンドを使用します。create\_clock コマンドの詳細は、Vivado Design Suite Tcl Command Reference Guide (UG835) を参照してください。

合成済みまたはインプリメント済みデザインでは、BUFGCTRL、MMCM、BUFR、IDELAYCTRL などのグローバルおよびリージョナル クロック関連のロジックを [Clock Resources] ウィンドウを使用して手動で配置できます。クロック ロジックは、[Device] ウィンドウでも手動で配置できます。[Device] ウィンドウには、デバイス特有のリソースに対して適切なロジック サイトが表示されます。クロック プランニングの詳細は、該当するデバイスのクロッキング リソース ユーザー ガイドを参照してください。

- 『7 シリーズ FPGA クロッキング リソース ユーザー ガイド』 (UG472: [英語版](#)、[日本語版](#))
- 『UltraScale アーキテクチャ クロッキング リソース ユーザー ガイド』 (UG572: [英語版](#)、[日本語版](#))



**推奨:** ザイリンクスでは、ピン配置を選択する前にクロック リソースを選択しておくことをお勧めします。クロックを選択すると、特定のピン配置が決定し、そのロジックの配置も指定されるからです。クロックを適切に選択することにより、優れた結果を得ることができます。



**ヒント:** Vivado® ツールでは、クロック プランニングはインプリメンテーション中に自動的に処理されます。その後、インタラクティブ クロック プランニングを使用して、手動でクロッキングの問題に対処できます。

## ロジック セルの検索

配置するロジック セルを検索するには、次の手順に従います。

1. [Edit]→[Find] をクリックします。
2. [Find] ダイアログ ボックスで、[Find] フィールドに [Cells] を選択し、セルの検索条件を定義します。
3. [Find Results] ウィンドウからロジック セルを [Clock Resources] または [Device] ウィンドウにドラッグし、適切なデバイス リソースに割り当てます。



**注記:** 詳細は、Vivado Design Suite User Guide: Using the Vivado IDE (UG893) の[このセクション](#)を参照してください。



**ヒント:** グローバル クロック バッファ (BUFGCTRL) など、ロジック セルを配置するデバイス上の物理リソースも検索できます。[Find] フィールドで [Sites] を選択し、検索条件を定義します。[Find Results] ウィンドウの検索結果を選択すると、[Clock Resources] または [Device] ウィンドウでデバイス リソースがハイライトされます。

## [Device] ウィンドウでのクロック ロジックの配置

クロック ロジックを手動で配置するには、次の手順に従います。

1. [Device] ウィンドウを拡大表示し、ロジックを配置するデバイス サイトを表示します。
2. ツールバーの [Cell Drag & Drop Modes] ボタン  をクリックし、[Create Site Constraint Mode]  をオンにします。
3. [Find Results]、[Schematic]、[Netlist]、または [I/O Ports] ウィンドウで配置するロジック セルを選択し、[Device] ウィンドウの適切なデバイス リソースにドラッグします。

# I/O およびクロック プランニングの検証

I/O およびクロック プランニングを実行した後、デザインを検証してデザイン要件が満たされているかどうかを確認します。Vivado® ツールでは、DRC を実行して違反がないかどうかをチェックし、SSN 解析を実行してスイッチ ノイズ レベルを見積もることができます。I/O およびクロック割り当ての最終的な検証を実行するには、デザインをインプリメントしてビットストリームを生成する必要があります。

## DRC の実行

DRC の実行は、ピン プランニングで最も重要な手順です。DRC では、「ルール デック」と呼ばれるデザイン ルール チェックのセットに対して現在のデザインがチェックされ、エラーや違反がレポートされます。このセクションでは、I/O ポートおよびクロックに関する DRC の実行と、DRC 違反の表示について説明します。

**注記:** 高度な DRC の詳細は、Vivado Design Suite User Guide: Using Tcl Scripting (UG894) の[このセクション](#)を参照してください。[report\\_drc](#) および関連の Tcl コマンドについては、Vivado Design Suite Tcl Command Reference Guide (UG835) を参照してください。

## I/O ポートおよびクロック ロジック関連の DRC の実行

DRC ルールを選択して実行するには、次の手順に従います。

1. [Reports] → [Report DRC] をクリックします。

**注記:** または、Flow Navigator の [Report DRC] をクリックするか、Tcl コンソールに「`report_drc -name <results_name>`」と入力します。

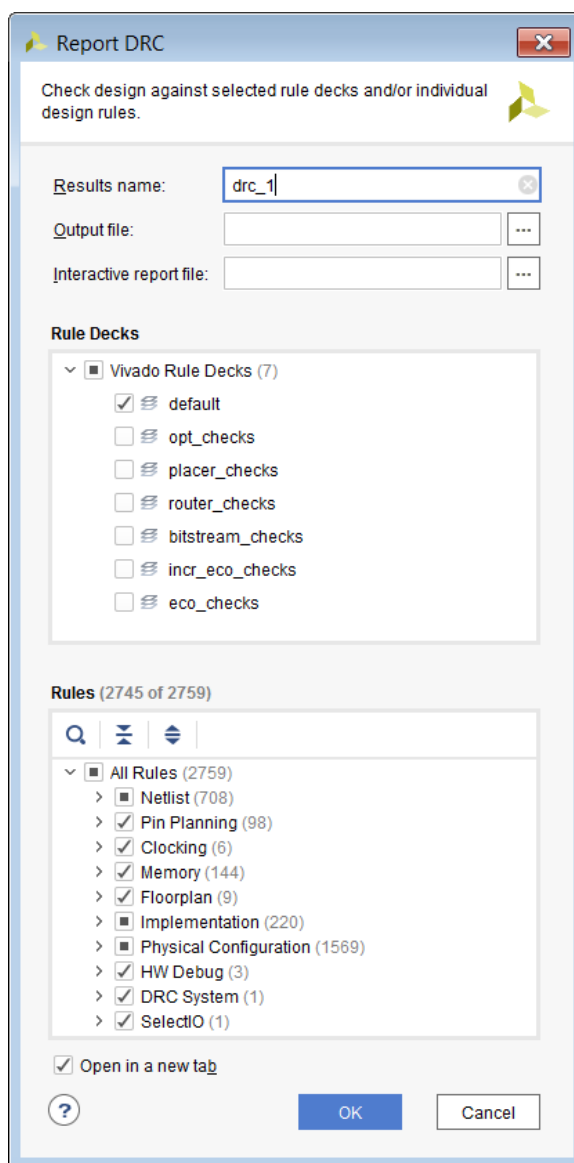
2. [Report DRC] ダイアログ ボックス (次の図) で次のオプションを選択し、[OK] をクリックします。

- [Results name]: DRC 結果の名前を指定します。ここで指定した名前が [DRC] ウィンドウのビューに表示されます。わかりやすい名前にしておく、デバッグ中に [DRC] ウィンドウで特定の run を識別しやすくなります。デフォルトでは、入力した名前が出力ファイル名になります。
- [Output file]: DRC 結果をファイルに保存する際のファイルの名前を入力できます (オプション)。デフォルト以外のパスを選択する場合は、参照ボタンを使用してください。
- [Rule decks]: デザインで実行するルール デックを指定します。ルール デックは、一部のデザイン ルール チェックをまとめたコレクションです。1 つのデザイン ルール チェックが複数のルール デックに含まれていることがあります。たとえば、同じルールが `opt_checks` と `placer_checks` ルール デックの両方に含まれているなどです。Vivado ツールは、合成後やインプリメンテーション後など、FPGA デザイン フローの適切な段階でルール デックを実行します。
  - [default]: ザイリンクスの推奨するチェックのデフォルト セットを実行します。
  - [opt\_checks]: ロジック最適化に関するチェックを実行します。
  - [placer\_checks]: 配置に関するチェックを実行します。
  - [router\_checks]: 配線に関するチェックを実行します。

- [bitstream\_checks]: ビットストリーム生成に関するチェックを実行します。
- [timing\_checks]: タイミング制約に関するチェックを実行します。
- [incr\_eco\_checks]: インクリメンタル ECO (Engineering Change Order) デザインの変更が有効かどうかをチェックされます。
- [eco\_checks]: ネットリストを変更するエンジニアリング チェンジ オーダー (ECO) が完了した後に、接続および配置のチェックを実行します。たとえば、connect\_net Tcl コマンドを使用してネットリストを変更した場合に、インプリメント済みデザインに対して実行します。
- [Rules]: ルール デックを指定したら、必要に応じて実行するルールを変更します。



ヒント: 標準のデザイン ルール チェックのセットとは異なるセットを実行する場合は、「カスタムルール デックを定義する Tcl コマンド例」に説明されているように、create\_drc\_ruledock および add\_drc\_checks Tcl コマンドを使用してカスタム ルール デックを作成できます。カスタム ルール デックを作成すると、[Report DRC] ダイアログ ボックスの [Rule Decks] エリアに表示されるようになります。



## 関連情報

[カスタムルール デックを定義する Tcl コマンド例](#)

## DRC を実行する Tcl コマンド例

```
report_drc -ruledecks default -file C:/Data/DRC_Rpt1.txt
```

## カスタムルール デックを定義する Tcl コマンド例

```
create_drc_ruledeck ruledeck_1  
add_drc_checks -ruledeck ruledeck_1 [get_drc_checks {SYNTH-10 SYNTH-9  
SYNTH-8 SYNTH-7 SYNTH-6 SYNTH-5 SYNTH-4}]
```

**注記:** `create_drc_ruledeck` および関連の Tcl コマンドについては、Vivado Design Suite Tcl Command Reference Guide ([UG835](#)) を参照してください。

## インタラクティブ DRC のイネーブル/ディスエーブル

Vivado IDE では、I/O プランニング中、ピン配置が有効であるかどうかを確認する基本的なチェックが実行されます。最終的な DRC は Vivado インプリメンテーションでのみ実行可能です。そのため、最終的なピン配置が有効であるかどうか確認するには、Vivado インプリメンテーションまで実行する必要があります。

ピン配置中は、インタラクティブな I/O 配置ルーチンにより、よく発生するエラーがチェックされます。この機能をイネーブルまたはディスエーブルにするには、[Package] ウィンドウの [General] タブにある [Autocheck I/O Placement] のオン/オフを切り替えます。

この自動チェック機能をオンにすると、問題を引き起こすピンに I/O ポートを配置できなくなります。[Place I/O Ports Sequentially] をオンして I/O ポートを順次に割り当てる場合、問題のあるピンに I/O ポートを配置しようとすると、I/O ポートを配置できない理由がツール ヒントに表示されます。インタラクティブ DRC は、デフォルトでオンになっています。



**重要:** これらの DRC の多くは、合成済みまたはインプリメント済みデザインに対してのみ実行されます。

インタラクティブ I/O 配置ルールには、次のものが含まれます。

- [Prohibiting]:
  - GT に関連するノイズの影響を受けやすいピンまたはノイズの影響を受けやすくなる可能性のある I/O パッケージ ピンへの配置
  - I/O 規格に違反する配置
- [Ensuring]:
  - バンクでサポートされていない I/O 規格が使用されていない
  - バンクに互換性のない VCC ポートが割り当てられていない
  - VREF ポートが必要なバンクに使用可能な VREF ピンがある
  - グローバル クロックおよびリージョナル クロックが適切に割り当てられている (ネットリストおよび XDC ファイルがインポートされている場合のみ)
  - 差動 I/O ポートが正しい極性ピンに割り当てられている

- 出力ピンが入力のためのピンに配置されていない



**推奨:** I/O ポートは、インタラクティブ DRC をオンにして配置することをザイリンクスではお勧めします。I/O ポートおよびクロック領域の仕様については、該当するデバイスの資料を参照してください。

## DRC エラーの表示

DRC で違反が検出された場合、次の図のような [DRC] ウィンドウが表示されます。[DRC] ウィンドウには、検出されたルール違反が [Report DRC] ダイアログ ボックスで定義されたカテゴリ別に表示されます。ルール違反はその重要度によっても分類されており、次のように色分け表示されます。

- [Advisory]: デザイン プロセスに関する一般的なステータスおよびフィードバックを示します。!
- [Warning]: 制約または仕様が意図どおりに適用されていないために、デザイン結果が最適なものにならない可能性があることを示します。!
- [Critical warning]: ユーザー入力または制約に適用されないものがあったり、適切な方法に従っていないものがあることを示します。これらの問題を確認して変更することをザイリンクスではお勧めします。!

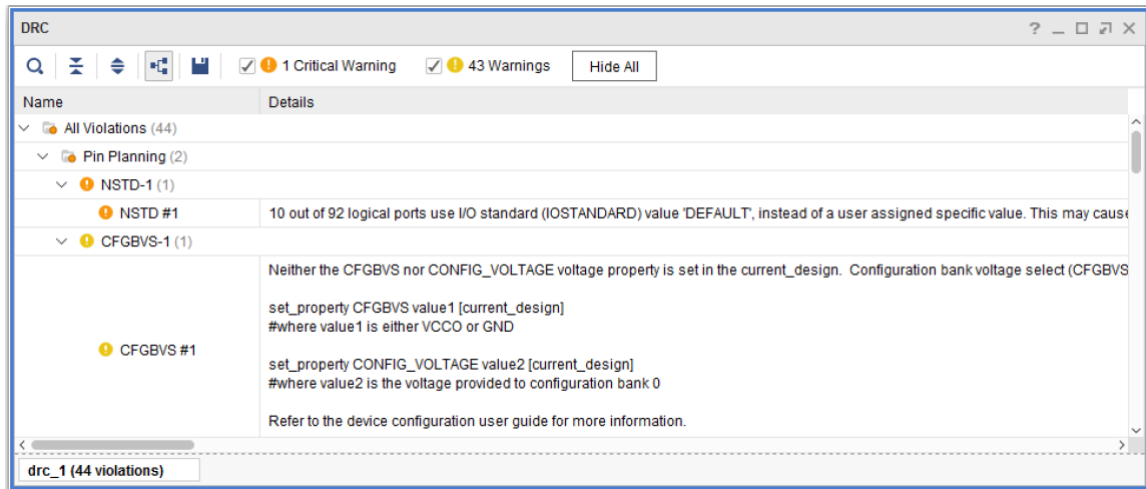
**注記:** クリティカル警告は、ビットストリーム生成時にはエラーになります。

- [Error]: デザイン結果が使用できないものになり、ユーザーが対処しないと解決されない問題を示します。デザインフローは停止します。!



**ヒント:** 警告および情報メッセージを非表示にし、エラーのみを表示するには、ツールバーの [Hide Warnings and Informational Messages] ボタン をクリックします。

図 30: DRC 違反



## DRC 違反の並べ替え

DRC 違反を重要度で並べ替えるには、次のように [Severity] 列の見出しをクリックします。

- 列ヘッダーをクリックすると重要度の低い方から並べられます。
- 列ヘッダーをもう一度クリックすると、重要度の高い方から並べられます。



注記: 詳細は、Vivado Design Suite User Guide: Using the Vivado IDE ([UG893](#)) を参照してください。

## DRC 違反プロパティの表示

[DRC] ウィンドウで違反メッセージを右クリックし、[Violations Properties] をクリックすると、DRC 違反のプロパティが表示されます。[Violation Properties] ウィンドウで次のビューをクリックします。

- [General]: DRC ルール違反のタイプ、重要度、説明など、全体的な情報を示します。
- [Details]: ルールに違反するデザイン エLEMENT に関する情報を示します。DRC に違反するデザイン オブジェクトへのリンクが含まれる場合もあります。リンクをクリックすると、そのデザイン オブジェクトが [RTL Netlist] ウィンドウ、[Device] ウィンドウ、[Schematic] ウィンドウ、およびソース RTL ファイルで表示されます。

## カスタム DRC の作成

`create_drc_check` および `create_drc_violation` などの Tcl コマンドを使用して、Vivado Design Suite で使用するカスタム DRC を作成することもできます。詳細は、Vivado Design Suite User Guide: Using Tcl Scripting ([UG894](#)) のこのセクションを参照してください。`create_drc_check` および関連の Tcl コマンドについては、Vivado Design Suite Tcl Command Reference Guide ([UG835](#)) を参照してください。

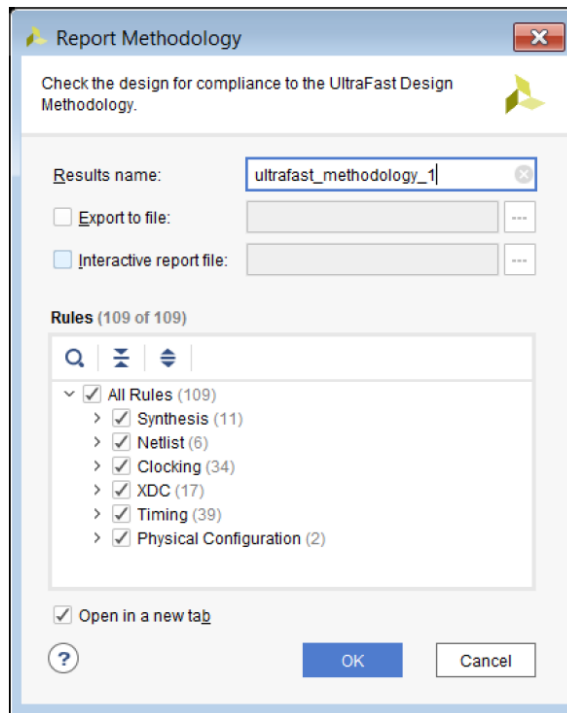
## DRC リストの取得

現在定義されている DRC のリストを取得するには、Tcl コマンドの `get_drc_checks` を使用します。詳細は、Vivado Design Suite Tcl Command Reference Guide ([UG835](#)) の `get_drc_checks` および Vivado Design Suite User Guide: Using Tcl Scripting ([UG894](#)) を参照してください。

## 設計手法レポート

2016.1 リリースから、DRC チェックの一部が `report_drc` から新しい `report_methodology` に移動されています。これらのチェックには、制約およびロジック マッピングなどのデザインを検証するその他のルールが含まれます。これらのチェックは、UltraFast™ 設計手法に準拠しており、単純化されたルール チェックを実行します。

図 31: [Report Methodology] ダイアログ ボックス



`report_methodology` コマンドは、デザインが最初に合成された後と、制約、クロッキング トポロジ、または大きなロジックを変更した後に実行して、デザインでよく発生する問題を検出するようにしてください。設計手法チェックの実行に関する詳細は、Vivado Design Suite User Guide: System-Level Design Entry (UG895) のこのセクションを参照してください。

## SSN 解析

Vivado IDE には、異なるデバイスの I/O に関連するスイッチ ノイズ レベルを解析する機能があります。SSN 解析では、同時に切り替わる出力が I/O バンク内のほかの出力ポートに与える影響を見積もります。I/O バンク特定の電気特性も考慮され、SSN でのパッケージの影響が正確に予測されます。

I/O は I/O バンクにグループ化され、各バンクに固有の電源分配ネットワークがあり、スイッチング アクティビティに対する応答は異なります。パッケージに実装された FPGA 内の電源分配ネットワークのノイズに対する応答はそれぞれ異なるため、デザインで使用する I/O 規格や I/O 数だけでなく、デバイスの電源システムのスイッチング アクティビティに対する応答も理解することが重要です。

ザイリンクスでは、すべてのバンクを 3 次元抽出およびシミュレーションを使用して特性化しています。この情報が SSN 解析で使用されます。SSN 解析では、デバイスのスイッチング プロファイルを使用して、スイッチング アクティビティによるシステムの電源ネットワークへの影響と I/O バンク内のほかの出力への影響が予測されます。

**注記:** SSN 解析では、双方向ポートの出力を含む出力信号のみが解析され、計算では入力信号は無視されます。I/O バンクに十分なマージンがあれば、入力および出力のレベルは影響を受けません。



**重要:** 出力スイッチがインターフェイス ノイズ マージンにどのように影響するかを予測するには、SSN 解析が最も正確です。その計算と結果は、さまざまなパターンを網羅しています。これらの見積もり値は、デザインで発生する可能性のあるノイズに関連した問題を特定するためのもので、最終デザインを確定するための検証方法としては使用しないでください。

## SSN 解析サポートの判断

SSN 解析は、すべてのデバイスでサポートされているわけではありません。メモリで開いているデザインのターゲット デバイスで SSN 解析がサポートされているかどうかを判断するには、次の Tcl コマンドを使用します。

```
get_property SSN_REPORT [get_property PART [current_design]]
```

メモリで開いているデザインのターゲット デバイス ファミリで SSN 解析がサポートされているデバイスをリストするには、次の Tcl コマンドを使用します。

```
get_parts -filter "FAMILY == [get_property FAMILY [get_property PART \
[current_design]]] && SSN_REPORT"
```

## SSN 解析の実行

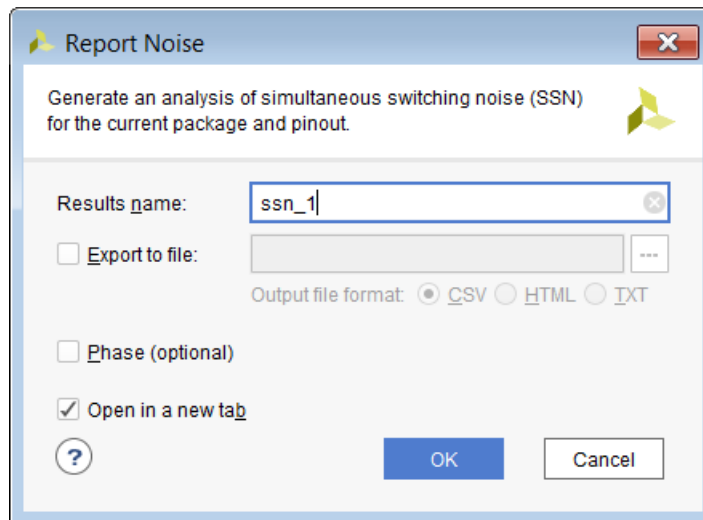
SSN 解析を実行するには、次の手順に従います。

1. [Reports] → [IO] → [Report Noise] をクリックします。

注記: または、Flow Navigator で [Report Noise] をクリックします。

2. [Report Noise] ダイアログ ボックスで次のオプションを設定し、[OK] をクリックします。

- [Results name]: [Noise] ウィンドウに表示する解析結果の名前を入力します。
- [Export to file]: 解析をレポート ファイルにエクスポートします。出力ファイル名を入力するか、参照ボタンをクリックして選択します。出力ファイルのフォーマットを [CSV] または [HTML] に指定します。
- [Phase]: デザインのクロック情報が考慮され、より正確な SSN ノイズがレポートされます。クロックは、`create_clock` および `create_generated_clock` Tcl コマンドを使用して定義されている必要があります。生成クロックの周期、位相シフト、デューティ サイクルは、SSN 解析に大きく影響します。詳細は、「SSN 解析への位相情報の追加」を参照してください。
- [Open in a New Tab]: 解析結果を [Noise] ウィンドウの新しいビューに表示します。このオプションをオフにすると、[Noise] ウィンドウに現在表示されている結果が新しい解析結果で上書きされます。

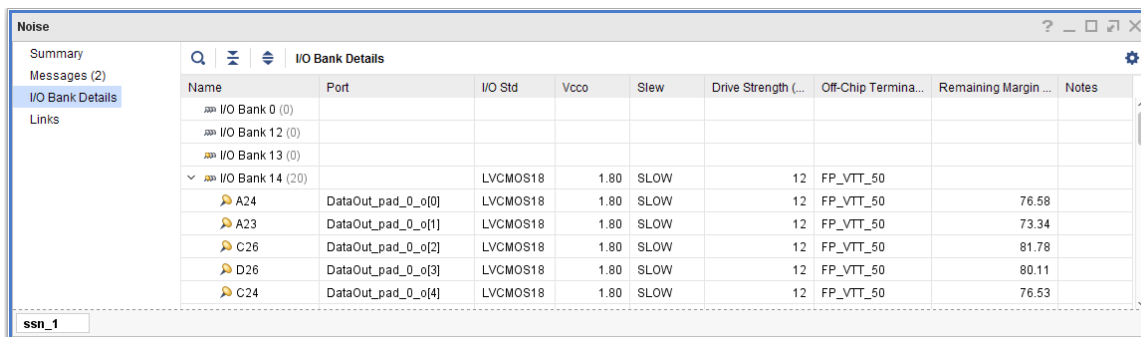


## 関連情報

SSN 解析への位相情報の追加

## SSN 解析結果の表示

解析が終了すると、[Noise] ウィンドウが開きます。



左側のペインで各アイテムをクリックし、SSN 解析に関する情報を確認します。たとえば [I/O Bank Details] をクリックすると、次の情報が表示されます。

- [Name]: デバイスで使用可能な I/O バンクを示します。各 I/O バンクにはピン アイコンが表示され、バンクがどれくらい使用されているかが示されます。チェック マークは問題がないことを示し、赤い丸は問題があることを示します。
- [Port]: FPGA デザインのユーザー I/O 名を表示します。
- [I/O Std]、[Vcco]、[Slew, Drive Strength]: ポートまたはバンクの I/O 規格、Vcco、スルー レート、および駆動電流を示します。
- [Off-Chip Termination]: 各 I/O 規格にデフォルト終端がある場合に、それを示します。[None] またはオフチップ終端スタイルが表示されます。たとえば、FP\_VTT\_50 は VTT への 50Ω の遠端並列終端、HSTL\_1 は VTT への 40Ω の遠端終端を示します。すべての終端スタイルのリストは、次のユーザー ガイドのいずれかを参照してください。
  - 『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』 (UG471: [英語版](#)、[日本語版](#))

- 『UltraScale アークテクチャ SelectIO リソース ユーザー ガイド』 (UG571: [英語版](#)、[日本語版](#))

LVTTTL (2 mA、4 mA、6 mA、および 8 mA) では終端なしと想定されますが、LVTTTL (12 mA および 16 mA) では VTT への 50Ω 遠端並列終端が想定されます。この終端が使用されると、駆動電流が 12 mA 以上の信号のノイズマージンが 2 mA ~ 8 mA よりも小さくなります。この想定は 7 シリーズ デバイス、Zynq®-7000、および UltraScale™ デバイスが対象になっています。

設定を変更するには、次のいずれかの方法を使用します。

- CSV ファイルのインポート機能を使用します。
- [I/O Ports] ウィンドウで、ドロップダウン リストから選択します。
- [Remaining Margin %]: バンクの SSN をすべて考慮した後のノイズ マージン値の残りを示します。
- [Notes]: I/O バンクまたはグループに関する情報を示します。



**重要:** SSN 結果には SSN 解析が実行されたときのデザインの状態が反映されており、ダイナミックなレポートではありません。

## 関連情報

[CSV ファイルのインポート](#)

## SSN 結果の I/O バンク プロパティの表示

[Noise] ウィンドウで I/O バンクを選択すると、そのバンクに割り当てられている I/O ポート、ピン、およびグループの情報が [I/O Bank Properties] ウィンドウに表示されます。[I/O Bank Properties] ウィンドウには、次の情報が表示されます。

- [General] ビュー: I/O バンクに割り当てられているポートの数とタイプ。
- [Package Pins] または [I/O Ports] ビュー: バンク内のピンまたはポートの詳細情報。

図 32: [I/O Bank Properties] ウィンドウの [Package Pins] ビュー

Name	Available	Prohibit	Ports	I/O Std	Dir	Vcco	Bank	Bank Type	Byte Group	Type	Diff Pair	Clock	Voltage	Config	XADC
G6	0									Gigabit Power					
D3	0									Gigabit Power					
H19	1	<input type="checkbox"/>	▼				I/O Bank 15	HIGH_RANGE		Multi-function	L18P				
K16	1	<input type="checkbox"/>	▼				I/O Bank 15	HIGH_RANGE		Multi-function	L22P				
C12	1	<input type="checkbox"/>	▼				I/O Bank 16	HIGH_RANGE		Multi-function	L13P	MRCC			
AC9	1	<input type="checkbox"/>	▼				I/O Bank 33	HIGH_PERFORMANCE		Multi-function	L12P	MRCC			
AB2	1	<input type="checkbox"/>	▼				I/O Bank 34	HIGH_PERFORMANCE		Multi-function	L11P	SRCC			
D21	1	<input type="checkbox"/>	▼				I/O Bank 14	HIGH_RANGE		Multi-function	L7P				
A18	1	<input type="checkbox"/>	▼				I/O Bank 15	HIGH_RANGE		Multi-function	L2P				AD8P
E15	1	<input type="checkbox"/>	▼				I/O Bank 15	HIGH_RANGE		Multi-function	L10P				AD4P

## SSN 結果の改善

違反が発生した場合に SSN 結果を改善するには、次を実行します。

- 違反が発生しているグループに SSN の影響をあまり受けない I/O 規格を使用します。低い駆動電流に変更、並列終端の DCI I/O 規格を変更、または低いクラスのドライバーに変更 (SSTL Class II から SSTL Class I に変更するなど) します。

- 違反が発生しているピンを複数のバンクに分散させます。このようにすると、1 つのバンクの電源システムで問題のある出力数を低減できます。
- 違反が発生しているグループを複数の同期位相に分散させます。
- 位相情報を追加します。

## SSN 解析への位相情報の追加

位相情報を追加すると、SSN 解析の精度を高めることができます。デフォルトでは、SSN 解析ですべての出力ポートが同時にトグルすると想定されます。この想定はワースト ケースの状況であり、不必要に見積もりの悪い SSN 解析レポートが生成される可能性があります。デザインのクロック情報が使用可能であれば、SSN 解析でより正確な SSN ノイズがレポートされます。

この機能を使用するには、次の Tcl コマンドを使用して SSN 位相解析をイネーブルにします。

```
report_ssn -phase
```

`create_clock` および `create_generated_clock` の Tcl コマンドを使用してクロック情報を入力します。これらのコマンドにより、SSN 解析に次の必要な入力提供されます。

- 位相グループ
  - 注記:** 1 つの MMCM または PLL に属する生成されたクロックがグループになります。
- 周期
- デューティ サイクル
- 位相シフト
  - 注記:** 0 度からの絶対位相シフトが含まれます。

詳細は、Vivado Design Suite Tcl Command Reference Guide ([UG835](#)) および Vivado Design Suite User Guide: Using Tcl Scripting ([UG894](#)) を参照してください。



**ヒント:** SSN 位相解析をオンにすると、SSN 解析レポートに [Phase] 列が表示されるようになります。

次の点に注意してください。

- マスター クロックが複数あると、SSN 結果は改善しません。SSN 結果を削減するため、各マスター クロック内に複数の位相が必要です。
- 1 つの位相グループ内のポートが 1 つであると、SSN 結果は改善しません。各クロック グループまたは位相グループに、ポートは少なくとも 2 つ必要です。

SSN ノイズを最小限に抑えるには、同一位相グループのクロック信号と異なる位相グループのクロック信号の両方に対して、あるクロックのクロック遷移をほかのクロックに合わせてシフトさせる必要があります。これらのシフトの大きさ (単位は ps) は、デザインやアーキテクチャによって異なります。

また、次の点にも注意してください。

- 高集積デザインの場合、位相を含む SSN 解析に数十分かかることがあります。

- 180 度のシフトでは SSN 結果は改善されません。クロック情報に立ち上がりおよび立ち下がり遷移情報は含まれていますが、SSN 解析ではそのポートの実際の出力ロジックは含まれません。クロックが Low から High に遷移する場合、ポート出力はいずれかの方向になります。保守的な SSN レポートを生成するため、アルゴリズムでは 180 度が位相シフト 0 と同じと認識されます。出力ポートに関する情報がないので、解析では 180 度シフトのポートの SSN ノイズが多く見積もられます。実際には、SSN は 180 度シフトで削減されていますが、アルゴリズムではその削減が認識されません。
- 50% のデューティ サイクルのみがサポートされ、それ以外のクロックは非同期信号と認識されます。

## SSN 解析への温度情報の追加 (7 シリーズ デバイス)

7 シリーズ デバイスおよび Zynq-7000 では、温度グレードを指定して SSN 解析の精度を向上できます。正しい温度グレードを指定してください。温度グレード情報を追加するには、次のいずれかの Tcl コマンドを使用して、SSN 解析を実行します。

```
set_operating_conditions -grade Commercial
set_operating_conditions -grade Industrial
set_operating_conditions -grade Military
set_operating_conditions -grade Q-Grade
set_operating_conditions -grade Extended
```

**注記:** UltraScale アーキテクチャでは、温度グレードはパーツ名に含まれており、SSN 解析に自動的に組み込まれます。



**ヒント:** 動作条件を確認するには、`report_operating_conditions -grade` コマンドを使用します。温度グレードをデフォルトにリセットするには、`reset_operating_conditions -grade` コマンドを使用します。

また、次の点にも注意してください。

- デフォルトでは、温度グレードはプロジェクトで使用されるデバイスに基づきます。
- エラボレート済みデザインで SSN 解析を実行する際は、ターゲット パーツのデフォルト温度グレードを変更できません。
- 動作条件は、消費電力解析にも使用されます。消費電力解析に影響する動作条件については、Vivado Design Suite User Guide: Power Analysis and Optimization (UG907) の [このセクション](#) を参照してください。



## システム設計者との情報共有

I/O およびクロック プランニング プロセスの一部として、CSV ファイルおよび IBIS モデルをエクスポートして、ザイリックス デバイスのピン配置に関する情報を PCB またはシステム設計者に渡すことができます。PCB またはデザイン仕様の変更によっては、「I/O ポートの定義と設定」に説明されているようにピン配置を再インポートする必要がある場合があります。I/O およびクロック プランニング フローの手順を完了したら、CSV ファイルおよび IBIS モデルを使用して、ピン配置をデバイス モデルと共にシグナル インテグリティ 解析用に戻すことができます。

### 関連情報

[I/O ポートの定義と設定](#)

---

## I/O ピンとパッケージ データのエクスポート

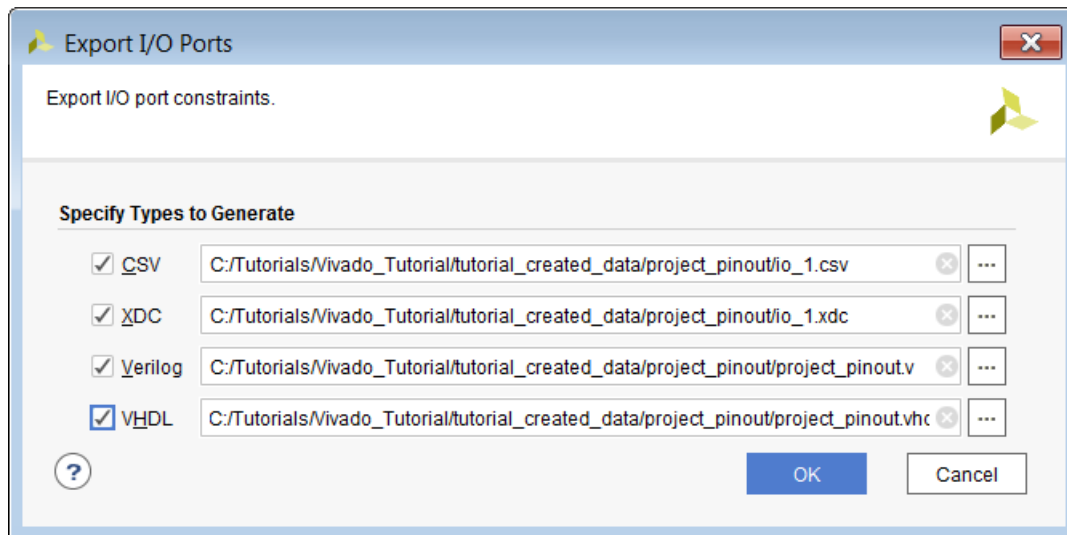
I/O ピンおよびパッケージ ピンの情報を、次に目的でエクスポートできます。

- [I/O Pin Information]: I/O ポート リストをファイルにエクスポートし、RTL のコード記述や PCB 回路図シンボルの作成に使用できます。
- [Package Pin Information]: エラボレート済みデザイン、合成済みデザイン、またはインプリメント済みデザインで作業している場合、デバイス パッケージ ピンの情報を CSV ファイルにエクスポートできます。エクスポートされたリストのパッケージ ピン セクションを基に、I/O ポートをスプレッドシートで定義できます。エクスポートされる情報は、デバイスに含まれるすべてのパッケージ ピン、デザイン特定の I/O ポート割り当てとそのコンフィギュレーションなどです。追加された列およびユーザー定義の値は保持され、出力ファイルにエクスポートされます。エクスポートされる CSV ファイル形式については、「I/O ポートの定義と設定」および「CSV ファイル形式の I/O ポートリストの使用」を参照してください。

I/O ポート リスト情報をエクスポートするには、次の手順に従います。

1. [File]→[Export]→[Export I/O Ports] をクリックします。
2. [Export I/O Ports] ダイアログ ボックスで、パスを生成するために I/O の種類を指定し、[OK] をクリックします。

**注記:** ポートがユーザーにより割り当てられている固定された制約のみが XDC ファイルに含まれます。



#### 関連情報

[I/O ポートの定義と設定](#)

[CSV ファイル形式の I/O ポート リストの使用](#)

## IBIS モデルの生成

IBIS (Input/Output Buffer Information Specification) は、デバイス モデリング規格で、デバイス インターコネクトの信号ビヘイビアを記述したビヘイビア モデルの開発に使用できます。これらのモデルは、SPICE (Simulation Program with Integrated Circuit Emphasis) シミュレーションで生成されるような構造型モデルとは異なり、企業独自の機密回路図情報を保持します。IBIS バッファ モデルは、測定または回路シミュレーションのいずれかによって生成された V/I 曲線データに基づいています。

IBIS モデルは、各 IOB 規格に対して構築されます。IBIS ファイルはデバイスに含まれるすべての I/O 規格の IBIS モデルのコレクションです。IBIS ファイルには、デバイスで使用される、特定の I/O 規格をサポートするためにコンフィギュレーションされた IOB にボンディングされているピンのリストも含まれます。このリストは、ピンと特定の IBIS バッファ モデルを関連付けます。

IBIS 規格では出力情報ファイルの形式が指定されます。これには、ファイル ヘッダー セクションとコンポーネント詳細セクションが含まれます。結果の IBIS モデル ファイルの構文が IBIS データ形式に準拠しているかどうかを検証するため、IBIS オープン フォーラム グループ ([www.ibis.org](http://www.ibis.org)) により Golden Parser が開発されています。

Vivado® IDE で IBIS モデルをエクスポートすると、`.ibs` ファイルが出力されます。このファイルには、デザインで使用されるピンのリスト、それらのピンに接続されるデバイス内部の信号、ピンに接続された IOB の IBIS バッファ モデルなどが含まれます。

## IBIS モデルのエクスポート

PCB 設計では、システム レベルのシグナル インテグリティの理解を深めるため、IBIS モデルを使用したデザインのシミュレーションが必要な場合がよくあります。クロストーク、グラウンド バウンス、SSN などのシグナル インテグリティの問題について考慮する必要があります。IBIS モデルを使用すると、パッケージ デバイスの I/V カーブおよび寄生情報などの特性化に役立ちます。



ヒント: 汎用 IBIS モデルは、ザイリックス ウェブサイトの[ダウンロード ページ](#)からダウンロードできます。

Vivado IDE からは、デザインおよびピンごとのパッケージ データから IBIS モデルを生成できます。Vivado IDE は、デザインのネットリストおよびインプリメンテーションの詳細を使用し、その情報とピンごとの寄生パッケージ情報を統合して、そのデザイン専用のカスタム IBIS モデルを作成します。

デザイン解析に使用する IBIS ファイルをエクスポートするには、エラボレート済みデザイン、合成済みデザイン、またはインプリメント済みデザインが開いている状態で次を実行します。

1. [File] → [Export] → [Export IBIS Model] をクリックします。
2. [Export IBIS Model] ダイアログ ボックスで次のオプションを設定し、[OK] をクリックします。
  - [Output File]: 出力される IBIS ファイルのファイル名とパスを指定します。
  - [Include all models]: デバイスで使用可能な I/O バッファ モデルをすべて含みます。デフォルトでは、デザインで使用されるバッファ モデルのみが含まれます。
  - [Disable per pin modeling]: パッケージのピンごとのモデル記述を含めないようにします。これは、デバイスのダイパッドからパッケージピンまでのパスです。オフにすると、パッケージは、すべてのピンに適用される 1 つの RLC 伝送ライン モデルに削減され、IBIS ファイルの [Package] セクションで定義されます。
  - [Maximum length of signal names]: 信号名の長さを指定した文字数に制限し、それより長い場合は切り捨てます。
    - [40]: 信号名の長さが IBIS バージョン 4.2 でサポートされる 40 文字までに制限されます (デフォルト)。
    - [20]: 信号名の長さが 20 文字までに制限されます。
    - [Unlimited]: 信号名の長さに制限はありません。
  - [Updated generic IBIS model file]: デバイス用の IBIS モデル ファイルを指定します (オプション)。このファイルが、インストール ディレクトリの parts ディレクトリに含まれる IBIS モデルの代わりに使用されます。



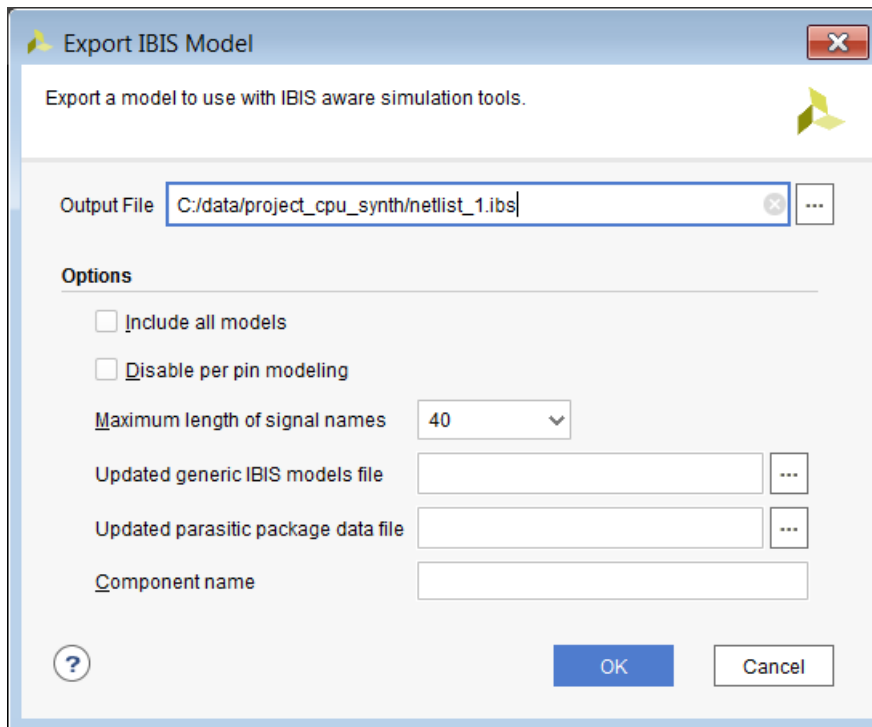
**重要:** インストールに IBIS モデルが含まれないデバイスを使用する場合は、ここで IBIS モデル ファイルを指定する必要があります。

- [Updated parasitic package data file]: ピンごとの抽出に使用する寄生パッケージ ファイル (.pkg) を指定します (オプション)。このファイルが、インストール ディレクトリの parts ディレクトリに含まれる寄生パッケージ ファイルの代わりに使用されます。



**重要:** インストールに IBIS モデルが含まれないデバイスを使用する場合は、ここで寄生パッケージ ファイルを指定する必要があります。

- [Component Name]: デフォルト値 (デバイス ファミリ) を変更する新しいコンポーネント名を指定します (オプション)。



## PCB 設計との情報共有

Vivado ピン プランナー ツールを使用すると、効率的にピン割り当てを選択できます。正しいリソースを選択することで、デザイン プロセスがより高速で簡潔なものとなります。このセクションの推奨事項に従うと、ボード レイアウト、ピン割り当て、FPGA リソースの競合を回避できます。PCB およびピン プランニングの詳細は、該当するデバイスの PCB デザイン ガイドを参照してください。

- 『7 シリーズ FPGA PCB デザイン ガイド』 (UG483: [英語版](#)、[日本語版](#))
- 『UltraScale アーキテクチャ PCB デザイン ユーザー ガイド』 (UG583: [英語版](#)、[日本語版](#))
- Zynq-7000 SoC PCB Design Guide ([UG933](#))

## パーツの互換性

「互換性のある代替デバイスの指定」に説明されているように、互換性のある代替デバイスを設定します。Vivado IDE では、選択されたすべての代替デバイス間で共通するピンが特定され、すべてのデバイスに共通しないピンに対しては PROHIBIT 制約が設定されるので、これらのピンが使用される可能性はありません。詳細は、ターゲット デバイスの製品表を参照してください。

### 関連情報

[互換性のある代替デバイスの指定](#)

## DRC

I/O 割り当ての全体的な整合性をチェックするには、「DRC の実行」で説明するように DRC を実行します。ボード プランニングを始める前に DRC でレポートされる警告およびエラーをすべて解決しておくことが重要です。

### 関連情報

[DRC の実行](#)

## SSN 解析

発生する可能性のあるノイズを見積もるには、「SSN 解析」で説明するように SSN 解析を実行します。ノイズ関連の問題は、ボード プランニングの前に解決しておくことをザイリンクスではお勧めします。詳細は、該当するデバイスの SelectIO™ リソース ガイドを参照してください。

- 『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』 (UG471: [英語版](#)、[日本語版](#))
- 『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』 (UG571: [英語版](#)、[日本語版](#))

また、該当するデバイスのメモリ リソース ガイドも参照してください。

- 『UltraScale アーキテクチャ メモリ リソース ユーザー ガイド』 (UG573: [英語版](#)、[日本語版](#))
- Zynq-7000 SoC and 7 シリーズ Devices Memory Interface Solutions ([UG586](#))

## IBIS シミュレーション

IBIS シミュレーションを実行するには、「IBIS モデルの生成」で説明するように、Vivado IDE で生成された IBIS ファイルを使用します。

### 関連情報

[IBIS モデルの生成](#)

## パッケージ トレース長

トレース長データを指定しなくても、Vivado Design Suite でトレース遅延データが供給されます。パッケージ遅延を見積もるには、これが最も正確な方法です。

- Vivado で RTL ネットリスト デザインまたはインプリメント済みデザインを開きます。
- [File] → [Export] → [Export I/O Ports] をクリックすると、各ピンの最小および最大パッケージ遅延を示す CSV 形式のスプレッドシートがエクスポートされます。最小/最大トレース遅延は、[Package Pins] ウィンドウにも各パッケージ ピンに対して 2 つの列に表示されます。
- プロジェクトがない場合は、次の Tcl コマンドを使用できます。

```
link_design -part <part_number>
write_csv <file_name>
```

次に例を示します。

```
link_design -part xc7k410tffg900-2
write_csv flight_time
```

## CSV のエクスポート

DRC および SSN 解析を実行したら、「I/O ピンとパッケージ データのエクスポート」で説明するように CSV ファイルをエクスポートし、ボード プランニングに使用します。

### 関連情報

[I/O ピンとパッケージ データのエクスポート](#)

## サポートされるサードパーティの PCB ツール

ボード全体の環境で I/O 割り当てを最適化する Cadence 社 Allegro FPGA System Planner および Mentor Graphics 社 I/O Designer もザイリンクスでサポートされています。詳細は、該当するサードパーティ ツールの資料を参照してください。

# CSV ファイル形式の I/O ポート リストの使用

## CSV ファイル

CSV ファイルは、FPGA やボード設計で、デバイス ピンおよびピン配置のデータを交換するために使用される標準ファイル形式です。詳細は、「I/O ピンとパッケージ データのエクスポート」を参照してください。

次に、CSV の列を説明します。各プロパティの詳細は、Vivado Design Suite Properties Reference Guide ([UG912](#)) を参照してください。

- [I/O Bank]: ピンが配置される I/O バンクを指定します。デバイスのすべてのピンに対して、ツールによりデータが自動挿入されます。値は数値または空白です。入力 CSV ファイルでは必須のフィールドではありません。
- [Pin Number]: パッケージ ピンの名前または場所を指定します。デバイスのすべてのピンに対して、ツールによりデータが自動挿入されます。入力ファイルで必須のフィールドではありません。入力で使用される場合は、配置を定義するために使用されます。値はデバイスの有効なピンです。
- [Site]: パッケージ ピンの代替パーツ名を指定します。ツールにより指定され、入力 CSV ファイルで指定されている場合は使用されません。

**注記:** 2016.1 よりも前のリリースでは、この列は [IOB Alias] と表示されていました。

- [Site Type]: デバイス データシートからのピン名を指定します。ツールにより指定され、入力 CSV ファイルで指定されている場合は使用されません。
- [Min/Max Trace Delay (ps)]: ダイのパッド サイトとパッケージのボール間の遅延をピコ秒 (ps) で指定します。ツールにより指定され、ボード設計時にトレース遅延を一致させるために使用します。また、これらのフィールドは出力ファイルのみに含まれており、入力ファイルには含まれていません。
- [Trace Length (um)]: パッケージ ピンとダイ パッド間の内部トレース長を指定します。

**注記:** これは、ほとんどのデバイスで公表されませんので、トレース遅延を使用してください。詳細は、「パッケージトレース長」を参照してください。

- [Prohibit]: 禁止サイトを指定します。一部のサイトは、ユーザー I/O がサイトに追加されないよう禁止できます。次に例を示します。
  - ボード レイアウトの問題を緩和するため。
  - 信号間のクロストークを削減するため。
  - 同じパッケージの複数の FPGA 間でピン配置を有効にするため。

**注記:** XDC ファイルでは、これは PROHIBIT プロパティとして記述されます。



- [Interface]: ユーザー I/O のセットをユーザーが指定してグループ化します。たとえば、メモリ インターフェイスのデータ、アドレス、およびイネーブル信号の関係を指定できます。値は文字列または空白です。
- [Signal Name]: FPGA デザインのユーザー I/O 名を表示します。値は文字列、または割り当てられていないパッケージ ピンの場合は空白です。
- [Direction]: ポートの方向を示します。値は IN、OUT、INOUT、またはユーザー I/O がサイトに割り当てられていない場合は空白です。
- [DiffPair Type]: 差動ペアのピンが N 側または P 側のいずれかを指定します。これは差動信号に対してのみ使用されます。ツールでは、ピン名からではなく、この列の情報をを使用してどのピンが N 側でどのピンが P 側かを判断します。値は P、N、またはユーザー I/O がサイトに割り当てられていない場合は空白です。
- [DiffPair Signal]: 差動ペアのもう 1 つのピン名を指定します。値はユーザー I/O 名、または未使用の場合は空白です。
- [IO Standard]: 特定ユーザー I/O の I/O 規格を指定します。このフィールドがユーザー I/O に対して空白の場合、該当するデバイスのデフォルト値が使用されます。値は有効な I/O 規格、または空白です。
- [Drive]: ユーザー I/O の I/O 規格の駆動電流。すべての I/O 規格で駆動電流が指定できるわけではありません。このフィールドが空白の場合、デフォルト値が使用されます。値は数値または空白です。
- [Slew Rate]: 特定ユーザー I/O の I/O 規格のスルー レートを指定します。すべての I/O 規格でスルー レートが指定できるわけではありません。このフィールドが空白の場合、デフォルト値が使用されます。値は FAST、MEDIUM (UltraScale™ アーキテクチャのみ)、および SLOW です。
- [OUTPUT\_IMPEDANCE]: (7 シリーズより後のすべてのアーキテクチャでサポート) HSTL、SSTL、HSUL、LVDCI、HSLVDCI、および POD ドライバーのドライバー インピーダンスを駆動されるラインの特性インピーダンスに一致するように指定します。OUTPUT\_IMPEDANCE 属性は、サポートされる規格の DCI バージョンおよび非 DCI バージョンの両方に対し、ドライバーでのソース終端値を定義します。
- [PRE\_EMPHASIS]: (7 シリーズより後のすべてのアーキテクチャでサポート) 一部の I/O 規格でプリエンファシスを可能にし、シンボル間の干渉を削減し、伝送ライン損失の影響を最小限に抑えることにより、高周波数信号のシグナル インテグリティを改善します。
- [LVDS\_PRE\_EMPHASIS]: (7 シリーズより後のすべてのアーキテクチャでサポート) LVDS I/O 規格でプリエンファシスを可能にし、シンボル間の干渉を削減し、伝送ライン損失の影響を最小限に抑えることにより、高周波数信号のシグナル インテグリティを改善します。
- [Pull Type]: 選択されているポートの抵抗のタイプを指定します。トライステート出力バッファ (OBUFT) または双方向バッファ (IOBUF) を使用する場合、出力に弱いプルアップ抵抗、弱いプルダウン抵抗、またはウィーク キーパー回路を付けることができます。入力バッファ (IBUF) を使用する場合は、入力に弱いプルアップ抵抗または弱いプルダウン抵抗を付けることができます。
- [IN\_TERM]: (7 シリーズ デバイスのみ) オプションの IN\_TERM または OUT\_TERM ドライバーのインピーダンス プロパティを定義します。ほとんどの場合、このフィールドは空白のままにしますが、プロダクション デバイスでサポートされています。この終端定義を使用すると、SLEW および DRIVE STRENGTH プロパティが上書きされます。SSN の計算ではサポートされません。
- [DQS\_BIAS]: (7 シリーズより後のすべてのアーキテクチャでサポート) 特定の擬似差動 IO 規格および真の差動 IO 規格の入力に DC バイアス (オプション) を定義します。
- [DIFF\_TERM]: ビルトインの差動終端をオン/オフにします。
- [OFFCHIP\_TERM]: I/O の外部ボード レベルの終端を指定します。SSN の計算ではサポートされません。このフィールドを空白のままにすると、SSN の計算では予測される終端が使用され、この終端がデフォルトで SSN レポートおよび [I/O Ports] ウィンドウに表示されます。

**注記:** 予測される終端とそのツールでの表示名は、該当するデバイスの SelectIO™ リソース ユーザー ガイドを参照してください。

- 『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』 (UG471: [英語版](#)、[日本語版](#))
- 『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』 (UG571: [英語版](#)、[日本語版](#))
- [Board Signal]: ボード レベル デザインから I/O に入力される信号の名前を指定します。
- [Board Voltage]: ボード レベル デザインから I/O に入力される信号の電圧レベルを定義します。
- [ODT]: (7 シリーズより後のすべてのアーキテクチャでサポート) デザインのオプションのオンチップ終端をレポートします。



**重要:** 上記にリストされる列は制約値として読み込まれ、追加の列は [Package Pins] ウィンドウにユーザー定義の列として保持されます。I/O の追加制約は XDC を使用してインポートする必要があります。

## 関連情報

[CSV ファイルのインポート](#)

[I/O ピンとパッケージ データのエクスポート](#)

[パッケージ トレース長](#)

# CSV ファイルでの差動ペア

CSV ファイルで差動ペアを定義するプロパティは複数あります。

- [Signal Name]
- [DiffPair Signal]
- [DiffPair Type]
- [I/O Standard]

CSV ファイルの上記以外の値は、差動ペアを検証するために使用され、互換性があることは確認されますが、差動ペアの定義には使用されません。CSV ファイルでは、差動ペアを次の方法で定義します。

- [Diff Pair]: 差動ペアを構成する 2 つの信号を直接定義します。ポート エントリが 2 つあり、一方の [DiffPair Signal] の値がもう一方の [Signal Name] の値にリンクされていて、[DiffPair Type] で一方に N、もう一方に P を指定します。差動ペアを作成すると、[I/O Standard] などのプロパティと互換性があるかどうかツールによりチェックされます。
- [Single-Link Diff Pair]: ポート エントリが 2 つあり、[DiffPair Type] で一方のポートに N、もう一方のポートに P が指定されていますが、片方のポートだけ [DiffPair Signal] の値がもう一方の [Signal Name] の値にリンクされています。この場合、ほかのすべてのプロパティに互換性があれば、差動ペアが作成されます。
- [Single Port Diff Pair]: ポート エントリは 1 つで、[I/O Standard] に差動規格、[DiffPair Type] に値が指定されていて、[DiffPair Signal] に指定されている信号は CSV ファイルに表示されません。この場合、このポート エントリのすべてのプロパティに一致する差動ペアの N 側または P 側がツールにより作成されます。
- [Inferred Diff Pair]: ポート エントリは 2 つあり、DIFF\_HSTL、DIFF\_SSTL などの差動 I/O 規格を指定し、[Signal Names] に N 側と P 側が推論されるような名前を指定します。この場合、すべてのプロパティに互換性があれば、差動ペアが推論されます。

# その他のリソースおよび法的通知

---

## ザイリンクス リソース

アンサー、資料、ダウンロード、フォーラムなどのサポート リソースは、[ザイリンクス サポート](#) サイトを参照してください。

---

## ソリューション センター

デバイス、ツール、IP のサポートについては、[ザイリンクス ソリューション センター](#)を参照してください。デザイン アシスタント、デザイン アドバイザリ、トラブルシューティングのヒントなどが含まれます。

---

## Documentation Navigator およびデザイン ハブ

ザイリンクス Documentation Navigator (DocNav) では、ザイリンクスの資料、ビデオ、サポート リソースにアクセスでき、特定の情報を取得するためにフィルター機能や検索機能を利用できます。DocNav を開くには、次のいずれかを実行します。

- Vivado<sup>®</sup> IDE で [Help] → [Documentation and Tutorials] をクリックします。
- Windows で [スタート] → [すべてのプログラム] → [Xilinx Design Tools] → [DocNav] をクリックします。
- Linux コマンド プロンプトに「docnav」と入力します。

ザイリンクス デザイン ハブには、資料やビデオへのリンクがデザイン タスクおよびトピックごとにまとめられており、これらを参照することでキー コンセプトを学び、よくある質問 (FAQ) を参考に問題を解決できます。デザイン ハブにアクセスするには、次のいずれかを実行します。

- DocNav で [Design Hub View] タブをクリックします。
- ザイリンクス ウェブサイトで[デザイン ハブ](#) ページを参照します。

**注記:** DocNav の詳細は、ザイリンクス ウェブサイトの [Documentation Navigator](#) ページを参照してください。DocNav からは、日本語版は参照できません。ウェブサイトのデザイン ハブ ページをご利用ください。

## 参考資料

このガイドの補足情報は、次の資料を参照してください。

1. UltraFast Design Methodology Guide for Xilinx FPGAs and SoCs ([UG949](#))
2. Vivado Design Suite User Guide: Design Flows Overview ([UG892](#))
3. Vivado Design Suite User Guide: System-Level Design Entry ([UG895](#))
4. Clocking Wizard LogiCORE IP Product Guide ([PG065](#))
5. Vivado Design Suite User Guide: Designing with IP ([UG896](#))
6. Vivado Design Suite User Guide: Synthesis ([UG901](#))
7. Vivado Design Suite User Guide: Implementation ([UG904](#))
8. Vivado Design Suite Tcl Command Reference Guide ([UG835](#))
9. Vivado Design Suite Properties Reference Guide ([UG912](#))
10. 『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』 (UG470: [英語版](#)、[日本語版](#))
11. 『UltraScale アーキテクチャ コンフィギュレーション ユーザー ガイド』 (UG570: [英語版](#)、[日本語版](#))
12. Zynq UltraScale+ Device Technical Reference Manual ([UG1085](#))
13. Vivado Design Suite User Guide: Programming and Debugging ([UG908](#))
14. 『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』 (UG471: [英語版](#)、[日本語版](#))
15. 『UltraScale アーキテクチャ SelectIO リソース ユーザー ガイド』 (UG571: [英語版](#)、[日本語版](#))
16. Vivado Design Suite User Guide: Using the Vivado IDE ([UG893](#))
17. 『7 シリーズ FPGA パッケージおよびピン配置: 製品仕様』 (UG475: [英語版](#)、[日本語版](#))
18. 『UltraScale および UltraScale+ FPGA パッケージおよびピン配置ユーザー ガイド』 (UG575: [英語版](#)、[日本語版](#))
19. 『Zynq-7000 SoC パッケージおよびピン配置ガイド』 (UG865: [英語版](#)、[日本語版](#))
20. Zynq-7000 SoC Technical Reference Manual ([UG585](#))
21. 『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』 (UG476: [英語版](#)、[日本語版](#))
22. 『UltraScale アーキテクチャ GTH トランシーバー ユーザー ガイド』 (UG576: [英語版](#)、[日本語版](#))
23. 『UltraScale アーキテクチャ メモリ リソース ユーザー ガイド』 (UG573: [英語版](#)、[日本語版](#))
24. Zynq-7000 SoC and 7 シリーズ Devices Memory Interface Solutions ([UG586](#))
25. UltraScale Architecture-Based FPGAs Memory IP LogiCORE IP Product Guide ([PG150](#))
26. 『7 シリーズ FPGA クロッキング リソース ユーザー ガイド』 (UG472: [英語版](#)、[日本語版](#))
27. 『UltraScale アーキテクチャ クロッキング リソース ユーザー ガイド』 (UG572: [英語版](#)、[日本語版](#))
28. Vivado Design Suite User Guide: Using Tcl Scripting ([UG894](#))
29. Vivado Design Suite User Guide: Power Analysis and Optimization ([UG907](#))
30. 『7 シリーズ FPGA PCB デザイン ガイド』 (UG483: [英語版](#)、[日本語版](#))

31. 『UltraScale アーキテクチャ PCB デザイン ユーザー ガイド』 (UG583: [英語版](#)、[日本語版](#))
32. Zynq-7000 SoC PCB Design Guide ([UG933](#))
33. Zynq UltraScale+ Device Technical Reference Manual ([UG1085](#))
34. 『Versal ACAP クロッキング リソース アーキテクチャ マニュアル』 (AM003: [英語版](#)、[日本語版](#))
35. 『Versal ACAP SelectIO リソース アーキテクチャ マニュアル』 (AM010: [英語版](#)、[日本語版](#))
36. IBIS オープン フォーラム グループ ([www.ibis.org](http://www.ibis.org))
37. [ザイリンクス ダウンロード](#)
38. [Vivado Design Suite 資料](#)

## トレーニング リソース

ザイリンクスでは、この資料に含まれるコンセプトを説明するさまざまなトレーニング コースおよび QuickTake ビデオを提供しています。次のリンクから関連するトレーニング リソースを参照してください。

1. [トレーニング コース: Vivado Design Suite を使用した FPGA の設計 1](#)
2. [トレーニング コース: Vivado Design Suite を使用した FPGA の設計 2](#)
3. [トレーニング コース: Vivado Design Suite を使用した FPGA の設計 3](#)
4. [トレーニング コース: Vivado Design Suite を使用した FPGA の設計 4](#)
5. [Vivado Design Suite QuickTake ビデオ: UltraScale メモリ IP の設計](#)
6. [Vivado Design Suite QuickTake ビデオ チュートリアル](#)

## お読みください: 重要な法的通知

本通知に基づいて貴殿または貴社 (本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ) に開示される情報 (以下「本情報」といいます) は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず (商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない (否認する) ものとします。また、(2) ザイリンクスは、本情報 (貴殿または貴社による本情報の使用を含む) に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない (契約上、不法行為上 (過失の場合を含む)、その他のいかなる責任の法理によるかを問わない) ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害 (第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます) が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリン

クスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うことになります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

### 自動車用のアプリケーションの免責条項

オートモーティブ製品 (製品番号に「XA」が含まれる) は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能 (「セーフティ 設計」) がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション (「セーフティ アプリケーション」) における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとします。セーフティ設計なしにセーフティ アプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとします。

### 商標

© Copyright 2012-2021 Xilinx, Inc. Xilinx、Xilinx のロゴ、Alveo、Artix、Kintex、Kria、Spartan、Versal、Vitis、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの所有者に帰属します。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。フィードバックは日本語で入力可能です。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。