

# Spartan-3A DSP

## スタータ プラットフォーム ユーザー ガイド

UG454 (v1.0) 2007 年 9 月 25 日

本資料は英語版 (v1.0) を翻訳したものです。英語の更新バージョンがリリースされている場合には、最新の英語版を必ずご参照ください。





© 2007 Xilinx, Inc. All Rights Reserved. XILINX, the Xilinx logo, and other designated brands included herein are trademarks of Xilinx, Inc. All other trademarks are the property of their respective owners.

NOTICE OF DISCLAIMER: Xilinx is providing this design, code, or information "as is." By providing the design, code, or information as one possible implementation of this feature, application, or standard, Xilinx makes no representation that this implementation is free from any claims of infringement. You are responsible for obtaining any rights you may require for your implementation. Xilinx expressly disclaims any warranty whatsoever with respect to the adequacy of the implementation, including but not limited to any warranties or representations that this implementation is free from claims of infringement and any implied warranties of merchantability or fitness for a particular purpose.

---

---

## 改定履歴

次の表に、この通知の改定履歴を示します。

日付	バージョン	変更内容
2007/09/25	1.0	初版リリース

# 目次

---

概要 .....	5
デザインの説明 .....	5
機能 .....	5
注文情報 .....	6
機能の説明 .....	7
ザイリンクス Spartan-3A DSP FPGA .....	8
メモリ .....	9
Micron 社の DDR2 SDRAM インターフェイス .....	10
Intel 社 J3 パラレル Flash .....	12
Intel 社 S33 シリアル Flash .....	13
SystemACE モジュール (SAM) コネクタ .....	13
インターフェイス .....	15
National Semiconductor 社の 10/100/1000 イーサネット PHY .....	15
RS232 .....	19
SPI の拡張 .....	19
Digilent 社のヘッダ .....	19
Eridon 社のデバッグ コネクタ (シリアル ATA コネクタではない) .....	20
VGA 出力 .....	21
その他の I/O .....	22
拡張コネクタ .....	22
EXP インターフェイス .....	23
コンフィギュレーション .....	28
コンフィギュレーション モード .....	29
ボードの電源 .....	30
ボード クロック .....	31
PCB 積層 .....	32
付録 A : コネクタ、ヘッダ、およびジャンパの位置 .....	33



# Spartan-3A DSP 1800A ボードの特徴

---

## 概要

本資料では、ザイリンクスの Spartan™-3A DSP スタータ プラットフォームの機能および内容を示し、ボードの操作方法およびハードウェアの機能を説明します。

## デザインの説明

Spartan-3A スタータ プラットフォームは、ザイリンクス Spartan-3A DSP FPGA を使用して設計するエンジニア向けのプラットフォームです。このボードでは、Spartan-3A DSP の先進の機能を評価するためのみでなく、Spartan-3A DSP スタータ プラットフォームのペリフェラルおよび EXP 拡張コネクタに接続された EXP モジュール、またはそのどちらかを使用してユーザー アプリケーション全体のインプリメントに必要なハードウェアを提供します。

## 機能

Spartan-3A DSP スタータ プラットフォームには次の機能があります。

- ザイリンクス 3SD1800A-FG676 FPGA
- クロック
  - ◆ 125MHz LVTTTL SMT オシレータ
  - ◆ LVTTTL オシレータ ソケット
  - ◆ 25.175MHz LVTTTL SMT オシレータ (ビデオ クロック)
- メモリ
  - ◆ 128M x 32 ビット DDR2 SDRAM
  - ◆ 16M x 8 パラレル/BPI コンフィギュレーション Flash
  - ◆ 64Mb SPI コンフィギュレーション/ストレージ Flash (4 つの SPI セレクト信号を追加)
- インターフェイス
  - ◆ 10/100/1000 PHY
  - ◆ JTAG プログラミング/コンフィギュレーション ポート
  - ◆ RS232 ポート
  - ◆ 低コストの VGA
- ボタンおよびスイッチ
  - ◆ 8 つのユーザー LED
  - ◆ 8 つのユーザー DIP スイッチ

- ◆ 4つのユーザー プッシュ ボタン スイッチ
- ◆ リセット プッシュ ボタン スイッチ
- ユーザー I/O および拡張
  - ◆ Digilent 社 6 ピン ヘッダ (2)
  - ◆ EXP 拡張コネクタ (2)
- コンフィギュレーションおよびデバッグ
  - ◆ JTAG
  - ◆ SystemACE™ モジュール コネクタ
  - ◆ Eridon 社のデバッグ コネクタ (SATA)

## 注文情報

表 1 に、評価キットの製品番号を示します。

表 1: 評価キットとハードウェアの注文情報

製品番号	ハードウェア
HW-SD1800A-DSP-SB-UNI-G	XtremeDSP スタータ プラットフォーム - Spartan-3A DSP 1800A エディション

## 機能の説明

図 1 に、Spartan-3A DSP スタータ プラットフォームのハイレベルブロック図を示します。次のセクションでは、ボード デザインの詳細を説明します。

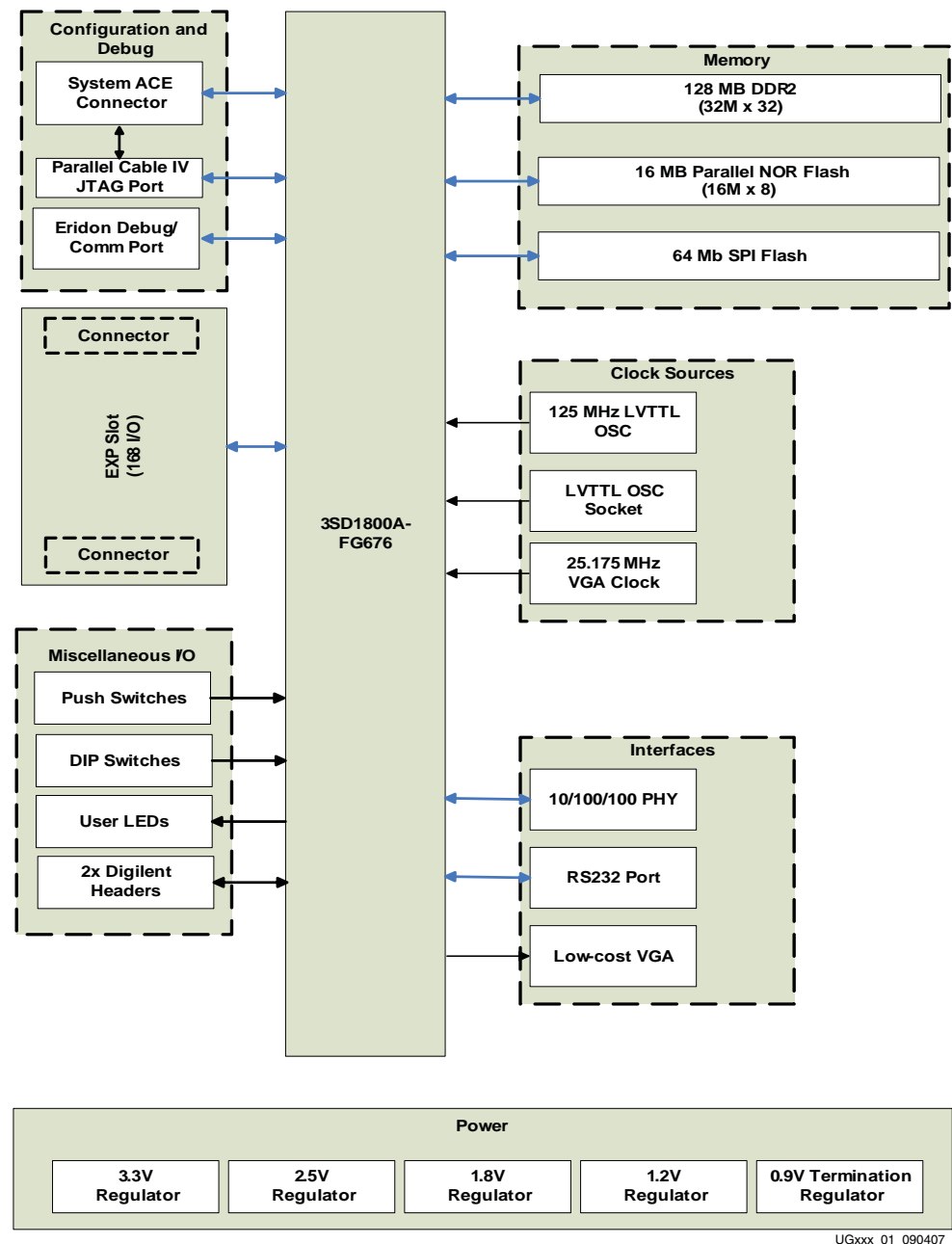


図 1: Spartan-3A DSP スタータ プラットフォーム ブロック図

## ザイリンクス Spartan-3A DSP FPGA

Spartan-3A DSP スタート プラットフォームに使用されたザイリンクス XC3SD1800A-4FG676C デバイスには、4つの I/O バンクがあります。そのうち2つは電圧が固定され、もう2つは I/O 電圧が選択可能です。表 2 では、これら 4つの I/O バンクについて示し、この資料を通して I/O ピンの使用方法の詳細を説明します。特定の I/O バンクに接続されたペリフェラルまたは EXP 拡張コネクタに接続する EXP モジュールの要件を満たすため、I/O 信号の電圧変換が必要な場合があることに留意してください。表 2 では、電圧変換が発生する値、および接続するバンクの I/O 電圧が異なる場合でも、電源が特定の電圧に固定されるかどうかについて示します。

表 2: XC3SD1800A 入力および出力の割り当て

I/O バンク 番号	I/O の機能	I/O ピン数	入力のみ の ピン数	電圧変換	バンク I/O 電圧
0	EXP コネクタ JX1	84	0		2.5 または 3.3 V
0	ユーザー プッシュ ボタン	0	4		
0	8 つの DIP スイッチ	0	8		
0	125MHz のクロック	1	0		
0	SMA コネクタ	1	0		
0	コンフィギュレーション (PUDC_B)	1	0		
1	SystemACE モジュール	28	1		3.3 V
1	J3 Flash メモリ	28	0		
1	SPI セレクト信号 (4)	4	0		
1	DAC	14	0		
1	ユーザー LED	8	0		
1	Digilent 社コネクタ	8 <sup>(1)</sup>	0		
1	RS-232	2	0		
1	Eridon 社デバッグ コネクタ	4	0		
1	コンフィギュレーション (一時停止)	1	0		
1	25.175MHz のクロック	1	0		
1	EXP コネクタ JX2	8	0	2.5 または 3.3 V	



表 2: XC3SD1800A 入力および出力の割り当て (続き)

I/O バンク 番号	I/O の機能	I/O ピン数	入力のみ の ピン数	電圧変換	バンク I/O 電圧
2	EXP コネクタ JX2	76	0		2.5 または 3.3 V
2	J3 Flash メモリ	8 <sup>1</sup>	0	2.5 または 3.3 V	
2	SPI	4 <sup>1</sup>	0		
2	コンフィギュレーション	5	0		
2	プラグイン リセット	1	0		
2	LED	1	0		
2	パワーオン リセット	0	1		
3	DDR2 メモリ	73	0		1.8 V
3	イーサネット	17	13	2.5 V	

メモ:

- FLASH\_DO および SPI\_MISO は共有のピンです。

## メモリ

Spartan-3A DSP スタータ プラットフォームには、さまざまな種類のアプリケーションをサポートするため、高速の RAM (128MB DDR2) および不揮発性 ROM (16MB パラレル、および 64Mb シリアル) があります。さらに、Spartan-3A DSP FPGA のコンフィギュレーションに使用可能、かつ取り外し可能な Compact Flash カードの A/V メディア ファイルのストレージとなる、SystemACE インターフェイス (スタータ プラットフォームには含まれていない) 向けの 50 ピン コネクタが提供されています。図 2 に、ボードのメモリ インターフェイスのハイレベルブロック図を示します。

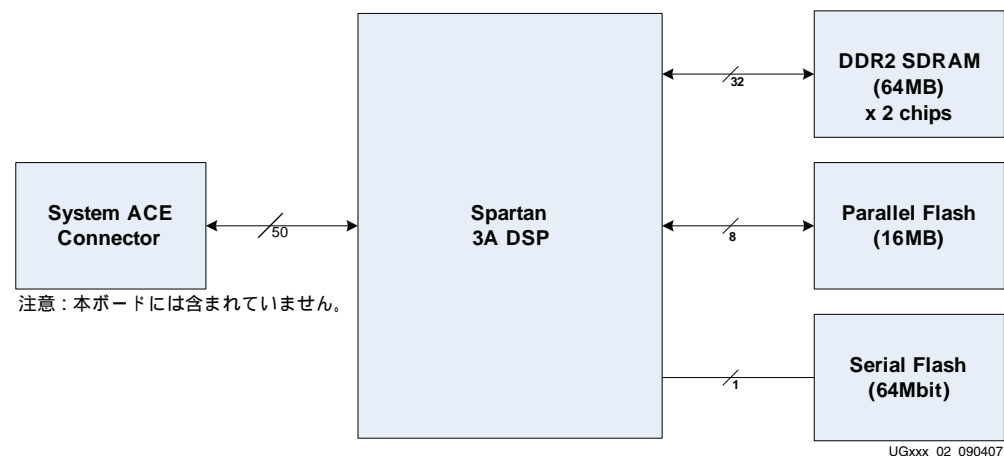


図 2: Spartan-3A DSP メモリ インターフェイス

## Micron 社の DDR2 SDRAM インターフェイス

Micron 社の 2 つの MT47H32M16BM DDR2 デバイスにより、FPGA には 128MB 32ビット幅のメモリが実装されます。FPGA DDR2 インターフェイスは SSTL18 信号をサポートし、すべての DDR2 信号には制御インピーダンスがあります。DDR2 データ信号、マスク信号、およびストロープ信号は、すべての信号で等長配線です。FPGA の I/O バンク 3 を用いた DDR2 ピン配置は、MIG 準拠です。表 3 に、FPGA の DDR2 インターフェイスのピン配置を示します。

SSTL18 クラス I 終端 (送信ノードでは直列終端、受信ノードではスタブ終端) は、FPGA および DDR 間のアドレス、制御、クロックを含むすべての単方向信号で使用されています。SSTL 18 クラス II 終端 (両ノードで直列およびスタブ終端) は、インターフェイスの FPGA 側のデータおよびストロープを含むすべての双方向信号で使用されています。メモリ側のデータおよびストロープ信号には、ボード終端はインプリメントされていません。ODT をオフにできるように、FPGA の I/O が接続されていますが、ODT は有効です。HyperLynx シミュレーションをベースとする製品にはアドレスおよび制御信号のスタブ終端がなく、133MHz で FPGA と DDR2 間をインターフェイスした包括的なテストではエラーがありません。図 4 に、FPGA および DDR2 メモリ デバイスの終端位置の詳細を示します。

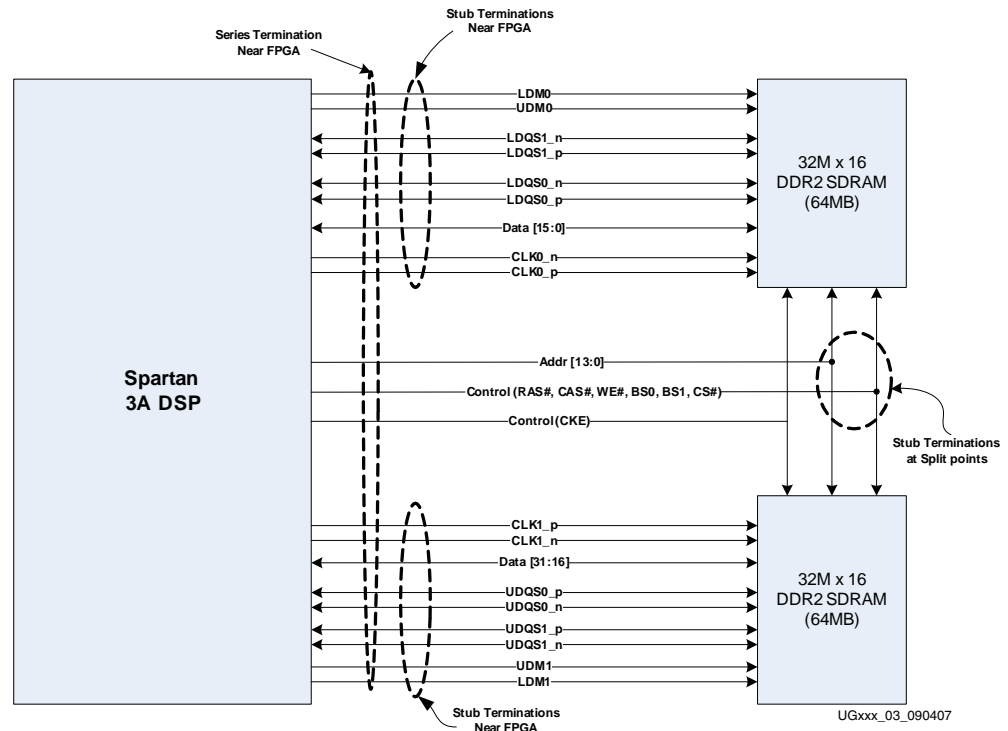


図 3: DDR2 SDRAM インターフェイス

Spartan-3A DSP FPGA への DDR2 インターフェイスは、次のガイドラインを使用して設計されました。これらのガイドラインは、Micron 社の推奨事項およびボード レベルのシミュレーションに基づいています。

- メモリ クロックを差動方式で配線
- 50 (1) の制御トレース インピーダンス
- FPGA の双方向信号で 24 (1) の直列終端

- すべての信号のメモリ デバイス接続に従ったパラレル終端
- FPGA におけるデータ信号およびストロブ信号の終端電源 (0.9V) への 60 (1) のプルアップ抵抗
- 共有信号 (制御、アドレス) の分割点における終端電源への 60 (1) のプルアップ抵抗
- 電流を供給およびシンク可能な終端電源
- 全フライト タイムをシミュレート可能な 2 倍の長さのフィードバック クロック配線

DDR2 の配線はすべて次に示す特定の許容範囲内で等長配線です。

- 差動ペアの配線は +/-10 ミルで一致
- DQ、DQS、DM および CK は +/- 45 ミルで一致
- 制御はデータ インターフェイスの +/- 100 ミルで一致
- RST\_DQS\_DIV および MB\_FB\_CLK は、標準 DQS および標準 CK の合計 +/- 45 ミルで一致

DDR2 信号は Spartan-3A DSP FPGA の I/O バンク 3 に接続し、バンク 3 の出力電源ピン (VCCO) は 1.8V に接続しています。Texas Instruments 社の TPS51116 バック コントローラおよび補助回路は、1.8V の DDR2 電源、0.9V の終端電圧 (FPGA\_0.9V\_TT) および DDR2 参照電圧 (FPGA\_DDR2\_VREF) を供給します。この電源は、イーサネット PHY への 1.8V コア電圧に電源供給することに留意してください。

表 3: FPGA DDR2 インターフェイス ピン配置

DDR2 信号	FPGA ピン番号	DDR2 信号	FPGA ピン番号
FPGA_DDR_A0	J5	FPGA_DDR_LDM_0	V2
FPGA_DDR_A1	M8	FPGA_DDR_LDM_0	V1
FPGA_DDR_A2	M10	FPGA_DDR_LDM_1	R2
FPGA_DDR_A3	K4	FPGA_DDR_UDM_1	M6
FPGA_DDR_A4	K5	DDR2_ODT_Control	G3
FPGA_DDR_A5	K2	FPGA_DDR_D0	U9
FPGA_DDR_A6	K3	FPGA_DDR_D1	V8
FPGA_DDR_A7	L3	FPGA_DDR_D2	AB1
FPGA_DDR_A8	L4	FPGA_DDR_D3	AC1
FPGA_DDR_A9	M7	FPGA_DDR_D4	Y5
FPGA_DDR_A10	M8	FPGA_DDR_D5	Y6
FPGA_DDR_A11	M3	FPGA_DDR_D6	U7
FPGA_DDR_A12	M4	FPGA_DDR_D7	U8
FPGA_DDR_BS0	K6	FPGA_DDR_D8	AA2
FPGA_DDR_BS1	J4	FPGA_DDR_D9	AA3

1. 理想的なインピーダンス値を示しており、実際の値は異なる場合があります。

表 3: FPGA DDR2 インターフェイス ピン配置 (続き)

DDR2 信号	FPGA ピン番号	DDR2 信号	FPGA ピン番号
FPGA_DDR_RAS#	H1	FPGA_DDR_D10	Y1
FPGA_DDR_CAS#	L10	FPGA_DDR_D11	Y2
FPGA_DDR_WE#	L9	FPGA_DDR_D12	T7
FPGA_DDR_CS#	H2	FPGA_DDR_D13	U6
FPGA_DDR_CKE	L7	FPGA_DDR_D14	U5
FPGA_DDR_CLK_0	N1	FPGA_DDR_D15	V5
FPGA_DDR_CLK_0#	N2	FPGA_DDR_D16	R8
FPGA_DDR_CLK_1	N5	FPGA_DDR_D17	R7
FPGA_DDR_CLK_1#	N4	FPGA_DDR_D18	U1
MB_FB_CLK (出力)	M2	FPGA_DDR_D19	U2
MB_FB_CLK (入力)	N7	FPGA_DDR_D20	P8
RST_DQS_DIV (出力)	T10	FPGA_DDR_D21	P9
RST_DQS_DIV (入力)	T9	FPGA_DDR_D22	R5
FPGA_DDR_LDQS_0	V7	FPGA_DDR_D23	R6
FPGA_DDR_LDQS_#0	V6	FPGA_DDR_D24	P7
FPGA_DDR_LDQS_1	W3	FPGA_DDR_D25	P6
FPGA_DDR_LDQS_#_1	W4	FPGA_DDR_D26	T3
FPGA_DDR_UDQS_0	T5	FPGA_DDR_D27	T4
FPGA_DDR_UDQS_#0	U4	FPGA_DDR_D28	N9
FPGA_DDR_UDQS_1	R2	FPGA_DDR_D29	P10
FPGA_DDR_UDQS_#_1	R4	FPGA_DDR_D30	P4
		FPGA_DDR_D31	P3

## Intel 社 J3 パラレル Flash

Flash メモリは TSOP-56 パッケージの J3 Flash デバイスで構成され、FPGA の専用 BPI コンフィギュレーション ポートに接続されています。Intel 社の JS28F128J3D は、16Mb x 8 で構成された 128Mb のデバイスです。インストールされた J3 デバイスは、75ns でアクセスする非同期メモリをサポートします。Flash インターフェイスは 2 つのバンクに分割されており、バンク 2 に接続する 8 データ ビット以外はすべてバンク 1 (3.3V) に接続します。バンク 2 は 2.5V または 3.3V のどちらかに設定される可能性があるため、Texas Instruments 社の SN74AVC8T245 デュアル電源バストランシーバを介して、8 Flash データ ビットがバンク 2 にインターフェイスされます。この際、Flash ライト イネーブル (FLASH\_WE#) 信号がトランシーバの方向を制御し、Flash チップ セレクト信号 (FLASH\_CS) がトランシーバを有効にします。このトランシーバを介する場合の最大伝搬遅延は 2.9ns で、75ns の Flash アクセス時間には大きな影響を及ぼしません。ジャンパ JP1 は、ピン 2 および 3 に分流を配置することで、Flash メモリの書き込み禁止に使用できます。デフォルト設定では JP1 1:2 です。表 4 に、パラレル Flash FPGA のインターフェイス ピン配置の詳細を示します。

表 4: パラレル Flash インターフェイスのピン配置

J3 Flash 信号	FPGA ピン番号	J3 Flash 信号	FPGA ピン番号
FLASH_A0	AC23	FLASH_A18	J26
FLASH_A1	AC24	FLASH_A19	J25
FLASH_A2	R21	FLASH_A20	J21
FLASH_A3	R22	FLASH_A21	H21
FLASH_A4	T23	FLASH_A22	C26
FLASH_A5	T24	FLASH_A23	C25
FLASH_A6	R18	FLASH_WE#	Y20
FLASH_A7	R17	FLASH_OE#	AE26
FLASH_A8	R25	FLASH_CE#	AE25
FLASH_A9	R26	FLASH_Reset#	N24
FLASH_A10	M26	FLASH_D0	AF24
FLASH_A11	M25	FLASH_D1	AE18
FLASH_A12	L24	FLASH_D2	AF18
FLASH_A13	M23	FLASH_D3	Y15
FLASH_A14	N18	FLASH_D4	AE12
FLASH_A15	N17	FLASH_D5	AF12
FLASH_A16	N20	FLASH_D6	AF10
FLASH_A17	M20	FLASH_D7	AE10

## Intel 社 S33 シリアル Flash

表 5: シリアル (SPI) Flash インターフェイスのピン配置

J3 Flash 信号	FPGA ピン	J3 Flash 信号	FPGA ピン
SPISEL_1	W20	* SPI_SEL#	AA7
SPISEL_1	W21	* SPI_CLK	AE24
SPISEL_1	AD26	* SPI_MOSI	AB15
SPISEL_1	AC25	* SPI_MISO	AF24

## SystemACE モジュール (SAM) コネクタ

Spartan-3A DSP スタータ プラットフォームには、Spartan-3A DSP FPGA のコンフィギュレーションに使用できる SystemACE インターフェイス向けの SAM 50 ピン コネクタ (J8) を設けてあります。アヴネット社の SystemACE モジュール (DS-KIT-SYSTEMACE) を使用して、これら 2 つの機能が実行可能です。

アヴネット社の SystemACE モジュールの詳細は、[www.em.avnet.com/systemace](http://www.em.avnet.com/systemace) を参照してください。なお、このモジュールは、本スタータキットには含まれていません。

図 4 に、Spartan-3A DSP ボードのヘッダに接続された SystemACE モジュールを、表 6 に SAM コネクタ J8 のピン配置を示します。SAM コネクタ (ピン 6) からのクロックは、FPGA バンク 2 の GCLK1 に配線されます。

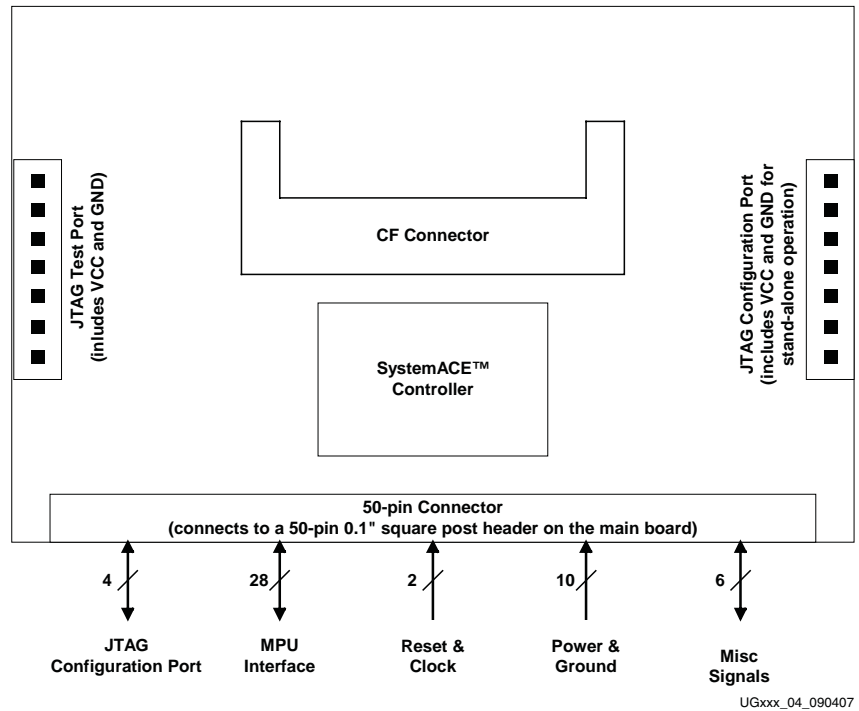


図 4： SystemACE モジュールの相互接続

表 6： SAM インターフェイス信号

FPGA ピン番号	SystemACE 信号名	SAM コネクタ ピン番号		SystemACE 信号名	FPGA ピン番号
—	3.3 V	1	2	3.3V	—
E23	JTAG_TDO	3	4	GND	—
D4	JTAG_TMS	5	6	SAM_CLK	AA14
G7	JTAG_TDI	7	8	GND	—
A2	FPGA_PROGn	9	10	JTAG_TCK	A25
—	GND	11	12	GND	—
V22	SAM_OEn	13	14	FPGA_INITn	AA15
AC26	SAM_A0	14	16	SAM_WEn	V24
AB23	SAM_A2	17	18	SAM_A1	AB26

表 6: SAM インターフェイス信号 (続き)

FPGA ピン番号	SystemACE 信号名	SAM コネクタ ピン番号		SystemACE 信号名	FPGA ピン番号
—	2.5V	19	20	SAM_A3	AB24
AA23	SAM_D0	21	22	2.5V	—
U20	SAM_D2	23	24	SAM_D1	V21
AA25	SAM_D4	25	26	SAM_D3	AA24
U18	SAM_D6	27	28	SAM_D5	U19
Y23	SAM_D8	29	30	SAM_D7	Y22
T20	SAM_D10	31	32	SAM_D9	U21
Y25	SAM_D12	33	34	SAM_D11	Y24
T17	SAM_D14	35	36	SAM_D13	T18
V18	SAM_A4	37	38	SAM_D15	W23
AA22	SAM_A6	39	40	SAM_A5	V19
L23	SAM_IRQ	41	42	GND	—
V23	Sam_RESETn	43	44	SAM_CEn	V25
AB21	FPGA_DONE	45	46	SAM_BRDY	P21
AB24	FPGA_CCLK	47	48	BITSTREAM*	AF24
—	GND	49	50	NC (Key)	—

## インターフェイス

Spartan-3A DSP FPGA は、イーサネットおよび RS232 物理層トランシーバにアクセスして通信できます。ネットワーク通信は、標準 GMII インターフェイスを介して Spartan-3A に接続された 10/100/1000Mb/s イーサネット PHY から提供されます。PHY は標準 RJ45 コネクタから外部に接続します。FPGA ファブリックへのシリアルポート通信は、DB9 DCE メス型コネクタを使用し、RS232 トランシーバを通して供給されます。

その他のインターフェイスには、Digilent 社のプラグイン モジュール接続用 0.1" 6 ピン ヘッダ (2 つ)、Eridon 社のデバッグ モジュール接続用 7 ピン シリアル ATA コネクタ (シリアル ATA インターフェイスではない)、および SPI インターフェイス拡張用 0.1" 2 x 6 ヘッダがあります。

### National Semiconductor 社の 10/100/1000 イーサネット PHY

PHY は、National Semiconductor 社の DP83865DVH Gig PHYTER™ V です。DP83865 は、同社の Gig PHYTER V の低消費電力版であり、コア電圧が 1.8V、I/O 電圧が 2.5V です。PHY は 3.3V の I/O もサポートしますが、ボードでは 2.5V のオプションが使用されています。PHY は統合型磁気通信モジュール (部品番号 1-6605833-1) を介して Tyco-AMP RJ-45 ジャックに接続されます。また、このジャックは 2 つの LED とこれらに対応する抵抗、およびその他複数の受動コンポーネントを統合します。外部ロジックを使用して、10、100、および 1000Mb/s 用の 3 つのリンクインジケータが論理的に OR 接続され、RJ-45 ジャックのリンク LED が駆動されます。外部ロジックは、デフォルトのストラップ オプション用であり、このオプションが変更されると、動作しない可能性があります。ステータスを表示するため、4 つの追加 LED がボード上にあります。これらの LED

はそれぞれ 10Mb/s、100Mb/s、1000Mb/s でのリンクおよび全二重通信動作を示します。PHY クロックはそれ自身の 25MHz のクリスタル (FOX FX325BS) で生成されます。図 5 は、DP83865 トライモード イーサネット PHY へのインターフェイスを示すハイレベルのブロック図です。表 7 に、FPGA での PHY 信号接続を一覧で示します。これらの信号は、+1.8V の I/O 電圧に固定された FPGA バンク 3 に接続されています。PHY I/O 電圧要件を満たすため、+1.8V および +2.5V 間で電圧変換する必要があります。

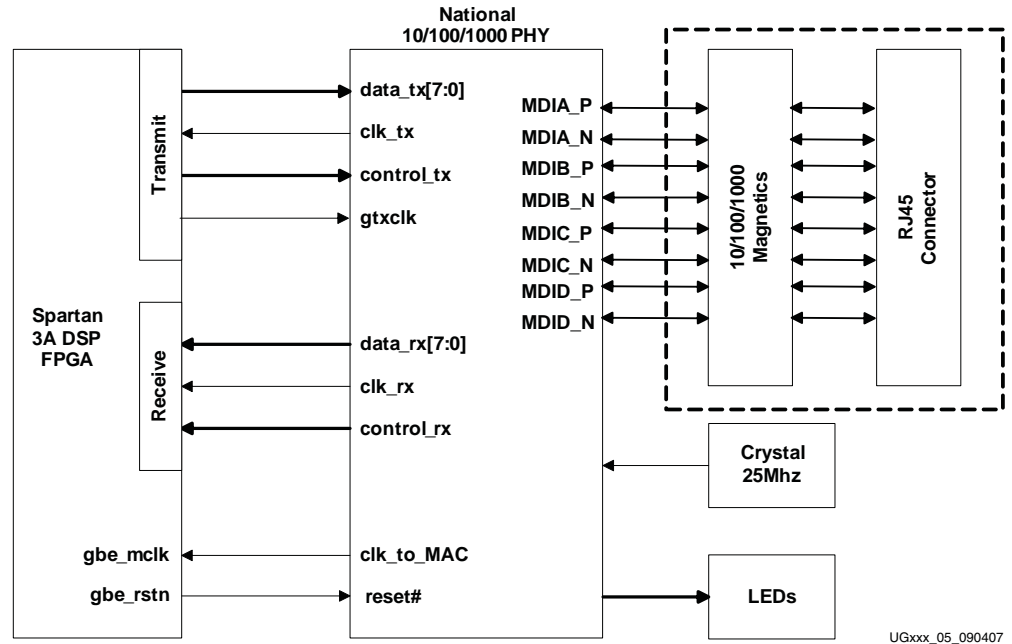


図 5: 10/100/1000Mb/s イーサネット インターフェイス

表 7: イーサネット PHY インターフェイス信号

イーサネット PHY 信号	FPGA ピン	イーサネット PHY 信号	FPGA ピン
ETH_Tx_D	J8	ETH_COL	Y3
ETH_Tx_D	J9	ETH_INT#	J1
ETH_Tx_D	B2	ETH_Rx_DV	D1
ETH_Tx_D	B1	ETH_Rx_ER	J3
ETH_Tx_D	G6	ETH_MCLK	N6
ETH_Tx_D	H7	ETH_Rx_CLK	P1
ETH_Tx_D	K9	ETH_Tx_CLK	P2
ETH_Tx_D	K8	ETH_Rx_D0	C2
ETH_Tx_EN	D3	ETH_Rx_D1	G2
ETH_Tx_ER	E4	ETH_Rx_D2	G5



表 7: イーサネット PHY インターフェイス信号 (続き)

イーサネット PHY 信号	FPGA ピン	イーサネット PHY 信号	FPGA ピン
ETH_GTX_CLK	E3	ETH_Rx_D3	D2
ETH_MDC	F4	ETH_Rx_D4	Ab3
ETH_MDIO	F5	ETH_Rx_D5	Aa4
ETH_RST#	G4	ETH_Rx_D6	Ab4
ETH_CRIS	G1	ETH_Rx_D7	Y4

PHY アドレスは、デフォルトで 0b00001 に設定されています。PHY アドレス 0b00000 はテストモードに予約されているため、使用は控えてください。3 つのパッドを持つ抵抗ジャンパはストラッピング オプションの設定に使用されます。これらのジャンパ スイッチでは、抵抗を移動することで設定が変更できます。ストラッピング オプションおよび LED の駆動の両方に使用されるデュアル ファンクション ピンには、それぞれ 2 つのジャンパがあります。表では、デュアル ファンクション ピンをアスタリスクで示します。

表 8 に示すデフォルト オプションでは、オート ネゴシエーションが有効、完全二重通信モード、速度表示が 10/100/1000 Mb/s、PHY アドレスが 0b00001、IEEE 準拠および非準拠のサポート、MDIX モード以外ではストレート型ケーブルを使用、オート MDIX モードが有効、単一ノード (NIC) および CLK\_TO\_MAC が有効です。これらとほかの設定は、3 つのパッドを持つ抵抗ジャンパで、ジャンパピン 1 と 2 またはジャンパピン 2 と 3 のどちらかに抵抗が接続することで有効になります。

表 8: イーサネット PHY ハードウェア ストラッピング オプション

機能	ジャンパの設定	抵抗	有効なモード
オート ネゴシエーション	JT8: ピン 1-2	0	オート ネゴシエーションが有効 (デフォルト)
	JT9: ピン 1-2		
	JT8: ピン 2-3	0	オート ネゴシエーションが無効
	JT9: ピン 2-3		
全/半二重通信*	JT10: ピン 1-2	0	全二重通信 (デフォルト)
	JT10: ピン 1-2		
	JT10: ピン 2-3	0	半二重通信
	JT11: ピン 2-3		



フェイスは DB9 コネクタ P2 に接続されます。この RS232 インターフェイスは、ヌル モデム シリアル ケーブルのみをサポートします。J11 を標準の PC シリアル ポート (オス型 DB9) に接続するには、オスメス型シリアル ケーブルを使用する必要があります。表 9 に、RS232 インターフェイスの FPGA ピン配置を示します。

表 9: RS232 信号

ネット名	説明	FPGA ピン番号
FPGA_RS232_Rx	受信データ、RD	N21
FPGA_RS232_Tx	送信データ、TD	P22

## SPI の拡張

0.1” 2 x 6 ヘッド (J10) によって FPGA の SPI インターフェイスが拡張されます。SPI\_SEL#, SPI\_CLK、SPI\_MOSI および SPI\_MISO の SPI 信号に加えて、4 つの SPI セレクト信号 (SPISEL\_1、SPISEL\_2、SPISEL\_3、および SPISEL\_4) が供給されます。すべての SPI セレクト信号には 4.7K のプルアップ抵抗があり、SPI\_CLK には 4.7K のプルダウン抵抗があります。また、J10 には 3.3V 電源およびグラウンドも供給されます。表 10 に、J10 接続について一覧で示します。

表 10: SPI コネクタ (J10)

FPGA ピン番号	信号	J10 ピン番号	J10 ピン番号	信号	FPGA ピン番号
W20	SPISEL_1	2	1	SPI_SEL#	AA7
W21	SPISEL_2	4	3	SPI_MOSI	Ab15
AD26	SPISEL_3	6	5	SPI_MISO	AF24
AC25	SPISEL_4	8	7	SPI_CLK	AE24
—	GND	10	9	GND	—
—	3.3V	12	11	3.3V	—

## Digilent 社のヘッド

ライトアングル型でピンが 6 つ (1 x 6 メス) の Digilent 社のヘッド (J6、J7) が、Spartan-3A DSP スタータ プラットフォームに 2 つあります。各ヘッドは 3.3V の電源、グラウンド、および 4 つの I/O を供給します。外見上は SPI ポートに似ており、4 つの汎用 I/O として使用できます。

図 6 に Digilent 社のヘッドのピン配置を、表 11 に FPGA のピン配置を示します。Digilent 社のモジュールの詳細は、次のウェブサイトを参照してください。

<http://www.digilentinc.com/Products/Catalog.cfm?Nav1=Products&Nav2=Peripheral&Cat=Peripheral>

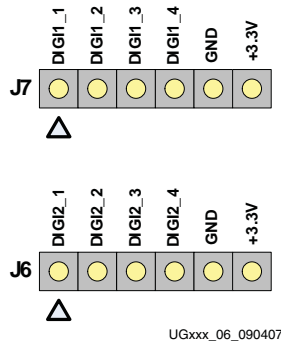


図 6： Digilent 社ヘッダ ピン配置

表 11： Digilent 社ヘッダ接続

J6 信号	FPGA ピン	J7 信号	FPGA ピン
DIGI2_1	K19	DIGI1_1	L18
DIGI2_2	K18	DIGI1_2	L17
DIGI2_3	F22	DIGI1_3	E24
DIGI2_4	G22	DIGI1_4	F23

### Eridon 社のデバッグ コネクタ (シリアル ATA コネクタではない)

シリアル ATA コネクタ (J3) は、Eridon 社のデバッグ モジュール使用の際に高速インターフェイスを提供しますが、汎用通信インターフェイスとしても使用可能です。送信ペア (DBG\_Tx\_p/DBG\_Tx\_n) および受信ペア (DBG\_Rx\_p/DBG\_Rx\_n) がそれぞれ 1 組みあるとされる、2 つの 3.3V LVDS 差動ペアがこの高速通信チャネルを実現します。送信ペアの同相電圧は 3.3V への抵抗 R11 およびグランドへの抵抗 R8 によって 1.25V に設定されます。受信ペアの 100 Ω の差動終端は、抵抗 R10 によって供給されます。公称トレース インピーダンスは 50 Ω で、49.9 Ω の直列抵抗が FPGA の近くに配置されています。表 12 に、FPGA への J3 信号の接続を示します。詳細は、[www.eridon.com](http://www.eridon.com) を参照してください。

表 12： Eridon 社デバッグ コネクタ (J3)

J3 ピン番号	信号名	FPGA ピン
1	GND	—
2	DBG_Tx_n	D26
3	DBG_Tx_p	E26
4	GND	—
5	DBG_Rx_n	J20

表 12: Eridon 社デバッグ コネクタ (J3) (続き)

J3 ピン番号	信号名	FPGA ピン
6	DBG_Rx_p	J10
7	GND	—

## VGA 出力

図 7 に示すように、Spartan-3A DSP スタータ プラットフォームには、抵抗分割ネットワークを用い、RGB 色ごとに 4 ビットを使用する VGA ビデオ出力があります。この抵抗分割ネットワークは、各色で 510、1K、2K、および 4K です。3 つの抵抗分割ネットワークは、DB15 コネクタ P1 に出力されます。平行および垂直同期信号は、FPGA によって生成され、P1 に供給されます。また、25.175MHz クロック (VGA 解像度) がボードに追加され、バンク 1 の RHCLK2 (P26) で FPGA に直接出力されます。このクロックは、FPGA コントローラで出力のタイミングおよびイメージと同期信号生成に使用される必要があります。表 13 に、VGA ピン割り当てを一覧で示します。

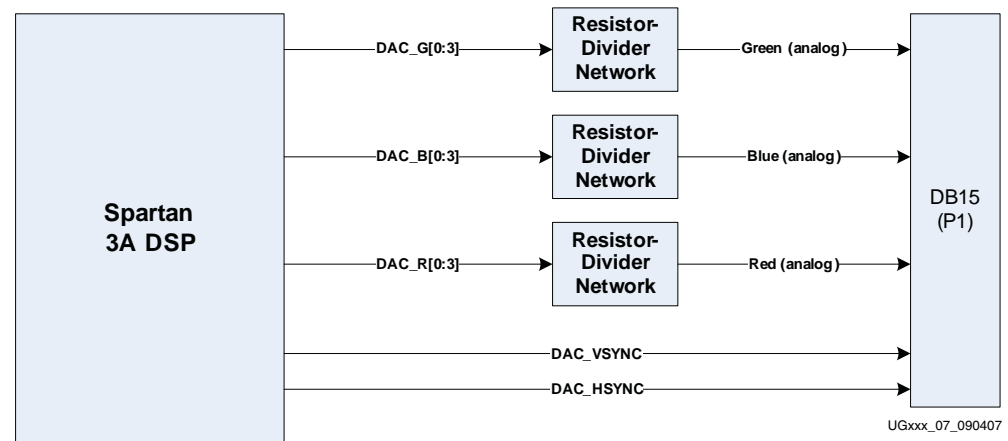


図 7: VGA 出力

表 13: VGA ピン割り当て

VGA 信号	FPGA ピン	VGA 信号	FPGA ピン
DAC_G0	M19	DAC_R0	L20
DAC_G1	M18	DAC_R1	K20
DAC_G2	J23	DAC_R2	F25
DAC_G3	J22	DAC_R3	F24
DAC_B0	L22	DAC_VSYNC	K25
DAC_B1	K21	DAC_HSYNC	K26
DAC_B2	G23	CLK_25.175MHz	P26
DAC_B3	G24		

## その他の I/O

Spartan-3A DSP スタータ プラットフォームには、8つの DIP スイッチ、4つのユーザー プッシュ ボタン、8つのユーザー LED があります。表 14 に、これらの FPGA への接続の詳細を示します。DIP スイッチは FPGA のバンク 0 に接続され、これらのスイッチをオフにする場合は、各スイッチが Low にプルダウンされます。オンにする場合は、バンク 0 の I/O 電圧 (VCCO\_0) の設定に従って、対応する FPGA ピンが 2.5V または 3.3V にプルアップされます。DIP スイッチと同様に 4つのユーザー プッシュ ボタンも Low にプルダウンされ、ボタンを押すと対応する FPGA ピンが VCCO\_0 の値にプルアップされます。LED へ High で駆動すると、LED が点灯します。

表 14: デバイスおよびピン割り当て

デバイス	名前	FPGA ピン
DIP スイッチ	SW3.1	A7
	SW3.2	G16
	SW3.3	E9
	SW3.4	D16
	SW3.5	D19
	SW3.6	B24
	SW3.7	A5
	SW3.8	A23
プッシュ ボタン	SW5 (SWITCH_PB1)	J17
	SW6 (SWITCH_PB2)	J15
	SW7 (SWITCH_PB3)	J13
	SW8 (SWITCH_PB4)	J10
LED	LED1 (D14)	P18
	LED2 (D13)	P25
	LED3 (D12)	N19
	LED4 (D11)	K22
	LED5 (D10)	H20
	LED6 (D9)	G21
	LED7 (D8)	D24
	LED8 (D7)	D25

## 拡張コネクタ

Spartan-3A DSP スタータ プラットフォームは、2つの EXP 拡張コネクタでカスタマイズされたユーザー アプリケーションのドータ カードおよびインターフェイスに拡張機能を提供します。ボード上の EXP 拡張コネクタは、2つのハーフカード EXP モジュールまたは、1つのデュアル スロット EXP モジュールをサポート可能です。既製の EXP モジュールおよびユーザー開発のモジュール

は、共に Spartan-3A DSP スタータ プラットフォームに容易に接続可能で、メイン ボードのバック エンド アプリケーションに機能を追加します。

## EXP インターフェイス

EXP 仕様では、132 のピン コネクタ (24 の電源 I/O、24 のグラウンド I/O、および 84 のユーザー I/O) を定義しています。Spartan-3A DSP スタータ プラットフォームにインプリメントされた標準の EXP コンフィギュレーションでは、全部で 168 のユーザー I/O に対して、デュアル スロット EXP コンフィギュレーションの 2 つのコネクタ (Samtec 社部品番号 QTE-060-09-F-D-A) を使用しています。ジャンパを使用すると、EXP ユーザー I/O の電圧レベルを 2.5V または 3.3V に設定可能です。図 8 に示すように、EXP I/O に接続する FPGA のバンクの VCCO 電圧を設定することで、JP2 および JP3 は、それぞれ JX1 と JX2 と表示された EXP コネクタの I/O 電圧を設定します。表 15 に EXP 信号の概要を、表 17 に EXP コネクタ JX1 の、表 18 に EXP コネクタ JX2 の FPGA ピン配置を示します。表 16 および表 17 には、コネクタの中央にあるコネクタ グランド ブレード (回路図および PCB では、122 ~ 131 番) が示されていません。厳密に言えば、これらはピンではなく、本資料ではピンとして扱っていません。

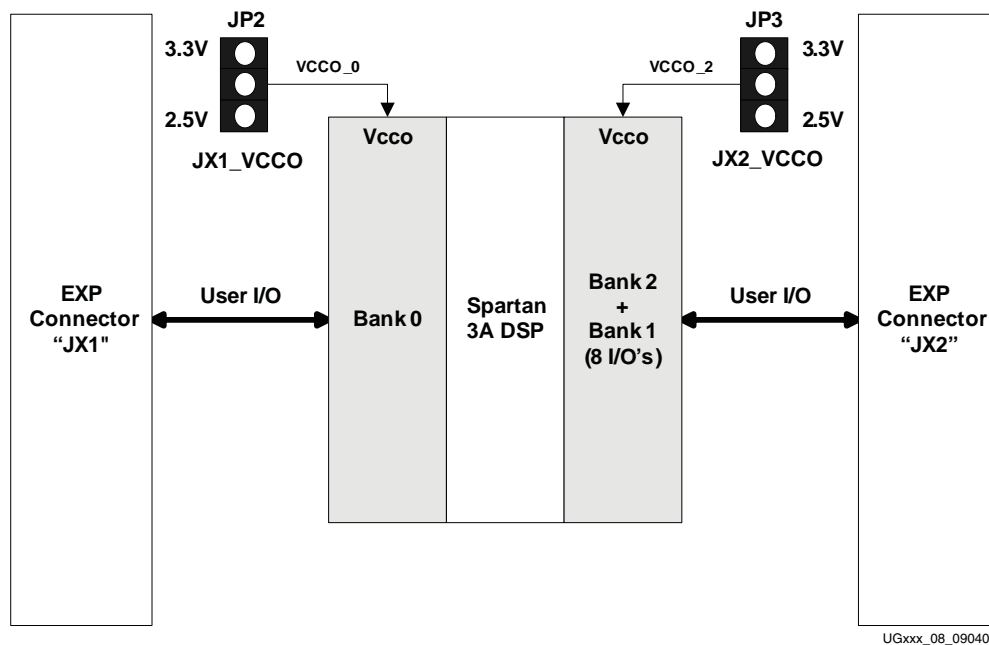


図 8： EXP I/O 電圧設定

EXP 仕様では、4 つのユーザー信号タイプを定義します。

これらは、シングル エンド I/O、差動 I/O、差動およびシングル エンド クロック入力、差動およびシングル エンド クロック出力です。FPGA の I/O はシングル エンドまたは差動の両方にコンフィギュレーションできるため、EXP 仕様で定義された差動 I/O は両方の役割を果たすことができます。差動 I/O 信号はすべて、最終アプリケーションの要件に従って、差動ペアまたはシングル エンド信号としてコンフィギュレーション可能です。差動信号の供給によってベースボードおよび EXP モジュール間により高性能の LVDS インターフェイスがインプリメントできます。高速 A/D、D/A、およびフラット パネル ディスプレイへの接続は、この信号のコンフィギュレーションによって可能です。シングル エンド信号のみが必要なアプリケーションでは、各コネクタに全部で 84 あるシ

シングルエンド I/O (デュアル スロット コンフィギュレーションでは、全部で 168) に対して、各差動ペアを 2 つのシングル エンド信号として使用できます。

表 15: EXP コネクタ信号

ネット名	信号の説明	量	デュアル スロットごとの量
EXPx_SE_IO	シングル エンド I/O	34	68
EXPx_SE_CLK_IN	シングル エンド クロック入力	2	4
EXPx_DIFF_p/n	差動 I/O ペア	22	44
EXPx_DIFF_CLK_IN_p/n	差動クロック入力ペア、グローバル	1	2
EXPx_DIFF_CLK_OUT_p/n	差動クロック出力ペア	1	2
合計		64	168

2 つの EXP コネクタに接続する Spartan-3A DSP FPGA のユーザー I/O ピンを次の表に示します。Spartan-3A DSP スタータ プラットフォームの Samtec 社 QTE コネクタ プラグ (部品番号: QTE-060-09-F-D-A) は、ドータ カードにある Samtec 社 QSE 高性能レセプタクル (部品番号: QSE-060-01-F-D-A) に接続します。また、Samtec 社は、JX1 および JX2 コネクタに接続する高性能リボンケーブルも提供しています。

表 16: EXP コネクタ JX1 ピン配置

FPGA ピン番号	ネット名	EXP コネクタ ピン番号 (JX1)		ネット名	FPGA ピン番号
C22	EXP1_SE_IO_0	2	1	EXP1_SE_IO_1	G20
A22	EXP1_SE_IO_2	4	3	EXP1_SE_IO_3	G19
-	2.5V	6	5	2.5V	-
C21	EXP1_SE_IO_4	8	7	EXP1_SE_IO_5	E21
B21	EXP1_SE_IO_6	10	9	EXP1_SE_IO_7	D23
-	2.5V	12	11	2.5V	-
C20	EXP1_SE_IO_8	14	13	EXP1_SE_IO_9	B23
B20	EXP1_SE_IO_10	16	15	EXP1_SE_IO_11	C23
-	2.5V	18	17	2.5V	-
A20	EXP1_SE_IO_12	20	19	EXP1_SE_IO_13	D22
D20	EXP1_SE_IO_14	22	21	EXP1_SE_IO_15	D21
-	2.5V	24	23	2.5V	-
-	2.5V	24	23	2.5V	-
B19	EXP1_SE_IO_16	26	25	EXP1_SE_IO_17	F20
A19	EXP1_SE_IO_18	28	27	EXP1_SE_IO_19	H17



表 16: EXP コネクタ JX1 ピン配置 (続き)

FPGA ピン番号	ネット名	EXP コネクタ ピン番号 (JX1)		ネット名	FPGA ピン番号
-	2.5V	30	29	2.5V	-
C18	EXP1_SE_IO_20	32	31	EXP1_SE_IO_21	F19
B18	EXP1_SE_IO_22	34	33	EXP1_SE_IO_23	G17
-	2.5V	36	35	2.5V	-
A18	EXP1_SE_IO_24	38	37	EXP1_SE_IO_25	K16
C17	EXP1_SE_IO_26	40	39	EXP1_SE_IO_27	F17
B14	EXP1_DIFF_CLK_IN_p	42	41	EXP1_SE_IO_28	D18
A14	EXP1_DIFF_CLK_IN_n	44	43	EXP1_SE_CLK_IN	J14
-	GND	46	45	GND	-
D17	EXP1_SE_IO_30	48	47	EXP1_SE_IO_29	E17
B17	EXP1_SE_IO_31	50	49	EXP1_SE_CLK_OUT	G10
	GND	52	51	GND	-
D16	EXP1_DIFF_p20	54	53	EXP1_DIFF_p21	B15
C15	EXP1_DIFF_n20	56	55	EXP1_DIFF_n21	A15
-	GND	58	57	GND	-
D13	EXP1_DIFF_p18	60	59	EXP1_SE_IO_32	C16
C12	EXP1_DIFF_n18	62	61	EXP1_SE_IO_33	J16
-	GND	64	63	GND	-
A12	EXP1_DIFF_p16	66	65	EXP1_DIFF_p19	F15
B12	EXP1_DIFF_n16	68	67	EXP1_DIFF_n19	E15
-	GND	70	69	GND	-
A4	EXP1_DIFF_CLK_OUT_p	72	71	EXP1_DIFF_p17	E14
B4	EXP1_DIFF_CLK_OUT_n	74	73	EXP1_DIFF_n17	F14
-	GND	76	75	GND	-
C11	EXP1_DIFF_p14	78	77	EXP1_DIFF_p15	G15
D11	EXP1_DIFF_n14	80	79	EXP1_DIFF_n15	H15
C10	EXP1_DIFF_p12	82	81	EXP1_DIFF_p13	G12
D10	EXP1_DIFF_n12	84	83	EXP1_DIFF_n13	H12
-	3.3V	86	85	3.3V	-
-	3.3V	86	85	3.3V	-
B13	EXP1_RCLK_DIFF_p10	88	87	EXP1_DIFF_p11	E12

表 16: EXP コネクタ JX1 ピン配置 (続き)

FPGA ピン番号	ネット名	EXP コネクタ ピン番号 (JX1)		ネット名	FPGA ピン番号
C13	EXP1_RCLK_DIFF_n10	90	89	EXP1_DIFF_n11	F12
A9	EXP1_DIFF_p8	94	93	EXP1_DIFF_p9	J12
B9	EXP1_DIFF_n8	96	95	EXP1_DIFF_n9	K12
-	3.3V	98	97	3.3V	-
A8	EXP1_DIFF_p6	100	99	EXP1_DIFF_p7	A10
B8	EXP1_DIFF_n6	102	101	EXP1_DIFF_n7	B10
-	3.3V	104	103	3.3V	-
B7	EXP1_DIFF_p4	106	105	EXP1_DIFF_p5	E10
C7	EXP1_DIFF_n4	108	107	EXP1_DIFF_n5	D9
-	3.3V	110	109	3.3V	-
B6	EXP1_DIFF_p2	112	111	EXP1_DIFF_p3	C8
C6	EXP1_DIFF_n2	114	113	EXP1_DIFF_n3	D8

表 17: EXP コネクタ JX2 ピン配置

FPGA ピン番号	ネット名	EXP コネクタ ピン番号 (JX1)		ネット名	FPGA ピン番号
V16	EXP2_SE_IO_0	2	1	EXP2_SE_IO_1	AE25
Y17	EXP2_SE_IO_2	4	3	EXP2_SE_IO_3	AF25
-	2.5V	6	5	2.5V	-
AA18	EXP2_SE_IO_4	8	7	EXP2_SE_IO_5	AE23
AC20	EXP2_SE_IO_6	10	9	EXP2_SE_IO_7	AF23
-	2.5V	12	11	2.5V	-
AA17	EXP2_SE_IO_8	14	13	EXP2_SE_IO_9	AD22
AC19	EXP2_SE_IO_10	16	15	EXP2_SE_IO_11	AE21
-	2.5V	18	17	2.5V	-
AB18	EXP2_SE_IO_12	20	19	EXP2_SE_IO_13	AD21
V15	EXP2_SE_IO_14	22	21	EXP2_SE_IO_15	AC21
-	2.5V	24	23	2.5V	-
W15	EXP2_SE_IO_16	26	25	EXP2_SE_IO_17	U23
AB16	EXP2_SE_IO_18	28	27	EXP2_SE_IO_19	U24
-	2.5V	30	29	2.5V	-

表 17: EXP コネクタ JX2 ピン配置 (続き)

FPGA ピン番号	ネット名	EXP コネクタ ピン番号 (JX1)		ネット名	FPGA ピン番号
M21	EXP2_SE_IO_20	32	31	EXP2_SE_IO_21	AD20
AC16	EXP2_SE_IO_22	34	33	EXP2_SE_IO_23	AF19
-	2.5V	36	35	2.5V	-
U22	EXP2_SE_IO_24	38	37	EXP2_SE_IO_25	AE19
AC15	EXP2_SE_IO_26	40	39	EXP2_SE_IO_27	AD19
AA13	EXP2_DIFF_CLK_IN_p	42	41	EXP2_SE_IO_28	R20
Y13	EXP2_DIFF_CLK_IN_n	44	43	EXP2_SE_CLK_IN	AF13
-	GND	46	45	GND	-
V14	EXP2_SE_IO_30	48	47	EXP2_SE_IO_29	R19
U15	EXP2_SE_IO_31	50	49	EXP2_SE_CLK_OUT	Y14
-	GND	52	51	GND	-
V10	EXP2_DIFF_p20	54	53	EXP2_DIFF_p21	AD14
W10	EXP2_DIFF_n20	56	55	EXP2_DIFF_n21	AC14
-	GND	58	57	GND	-
V13	EXP2_DIFF_p18	60	59	EXP2_SE_IO_32	K23
W13	EXP2_DIFF_n18	62	61	EXP2_SE_IO_33	M22
-	GND	64	63	GND	-
Y12	EXP2_DIFF_p16	66	65	EXP2_DIFF_p19	AB12
AA12	EXP2_DIFF_n16	68	67	EXP2_DIFF_n19	AC12
-	GND	70	69	GND	-
W17	EXP2_DIFF_CLK_OUT_p	72	71	EXP2_DIFF_p17	AE17
V17	EXP2_DIFF_CLK_OUT_n	74	73	EXP2_DIFF_n17	AD17
-	GND	76	75	GND	-
V12	EXP2_DIFF_p14	78	77	EXP2_DIFF_p15	AF20
W12	EXP2_DIFF_n14	80	79	EXP2_DIFF_n15	AE20
AD11	EXP2_DIFF_p12	82	81	EXP2_DIFF_p13	AE9
AC11	EXP2_DIFF_n12	84	83	EXP2_DIFF_n13	AF9
-	3.3V	86	85	3.3V	-
AF14	EXP2_RCLK_DIFF_p10	88	87	EXP2_DIFF_p11	AE8
AE14	EXP2_RCLK_DIFF_n10	90	89	EXP2_DIFF_n11	AF8
-	3.3V	92	91	3.3V	-

表 17: EXP コネクタ JX2 ピン配置 (続き)

FPGA ピン番号	ネット名	EXP コネクタ ピン番号 (JX1)		ネット名	FPGA ピン番号
AB9	EXP2_DIFF_p8	94	93	EXP2_DIFF_p9	AD7
AC9	EXP2_DIFF_n8	96	95	EXP2_DIFF_n9	AE7
-	3.3V	98	97	3.3V	-
Y10	EXP2_DIFF_p6	100	99	EXP2_DIFF_p7	AC6
AA10	EXP2_DIFF_n6	102	101	EXP2_DIFF_n7	AD6
-	3.3V	104	103	3.3V	-
V11	EXP2_DIFF_p2	112	111	EXP2_DIFF_p3	AE4
U11	EXP2_DIFF_n2	114	113	EXP2_DIFF_n3	AF4
-	3.3V	116	115	3.3V	-
AF5	EXP2_DIFF_p0	118	117	EXP2_DIFF_p1	AE3
AE6	EXP2_DIFF_n0	120	119	EXP2_DIFF_n1	AF3

## コンフィギュレーション

Spartan-3A DSP スタータ プラットフォームは、4つのモードでFPGAをコンフィギュレーションできます。これらのモードは、JTAG、パラレルFlash、シリアルFlash、およびSystemACEモジュール(SAM)です。SAMでは、FPGAをバウンダリスキャンモードでコンフィギュレーションします。シリアルおよびパラレルFlashデバイスでは、JTAGコネクタを介してプログラム可能です。JTAG接続では、FPGA(3SD1800A)のみがボードに繋がっています。シリアルFlash、パラレルFlash、およびSystemACEについては、本資料で前述しています。コンフィギュレーションジャンパM[2:0]の設定によって、これらのコンフィギュレーションのいずれもソースとして使用可能です。

バウンダリスキャンモードを介してSpartan-3A DSPをプログラムするには、図9に示すように、ボードで平行に配線された、2つのインターフェイスのうち1つにJTAGダウンロードケーブルが接続されている必要があります。ダウンロードケーブルは、リボンケーブル付きの2mm間隔の14ピンでヘッダ(J2)または、フライングリード付きの0.1”ヘッダ(J4)のいずれかに接続できます。ザイリンクスパラレルケーブルIVが使用されている場合は、リボンケーブルコネクタは調整済みのJ2コネクタに接続します。ザイリンクスプラットフォームUSBケーブルも、直接J2コネクタに接続します。

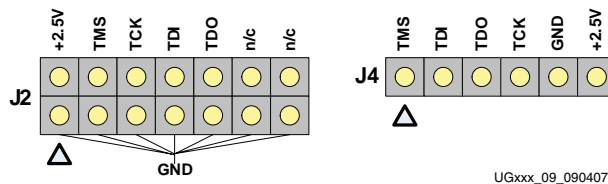


図 9: コンフィギュレーション コネクタ

## コンフィギュレーション モード

次の表に、ジャンパ JP9 を使用した Spartan-3A DSP コンフィギュレーション モードを示します。すべてのモード ジャンパ (PUDC\_B ピンを含む) はプルアップされ、ジャンパの導入によってグラウンドに接続します。図 10 にコンフィギュレーション ジャンパ JP9 を示し、図 19 に JP9 でのさまざまなコンフィギュレーション設定を示します。表 18 に Spartan-3A DSP FPGA で可能なすべてのモードを示しますが、BPI、SPI および JTAG モードのみが Spartan-3A DSP スタータ プラットフォームでサポートされています。

**PROG**と表示されたプッシュ ボタンは、FPGA PROG ピンに接続され、プルアップされます。このボタンを押すと、PROG をグラウンドに接続します。ボタンをリリースすると、JP9 の設定に従って再コンフィギュレーションが初期化されます。FPGA の **DONE** ピンがアサートされると、青色 LED (D1) が点灯します。ジャンパ (JP7) は PROG をグラウンドに接続します。これは、SPI Flash の Direct SPI のプログラミング中に使用されます。

表 18: FPGA コンフィギュレーション モード ジャンパ (JP9) 設定

モード	PC プルアップ	コンフィギュレーション モード ジャンパ			
		1-2 (M2)	3-4 (M2)	5-6 (M2)	7-8 (PUDC_B)
マスタ シリアル	あり	クローズ	クローズ	クローズ	クローズ
マスタ シリアル	なし	クローズ	クローズ	クローズ	オープン
スレーブ シリアル	あり	オープン	オープン	オープン	クローズ
スレーブ シリアル	なし	オープン	オープン	オープン	オープン
マスタ SPI	あり	クローズ	クローズ	オープン	クローズ
マスタ SPI	なし	クローズ	クローズ	オープン	オープン
BPI アップ	あり	クローズ	オープン	クローズ	クローズ
BPI アップす	なし	クローズ	オープン	クローズ	オープン
スレーブ パラレル	あり	オープン	オープン	クローズ	クローズ
スレーブ パラレル	なし	オープン	オープン	クローズ	オープン
JTAG	あり	オープン	クローズ	オープン	クローズ
JTAG	なし	オープン	クローズ	オープン	オープン

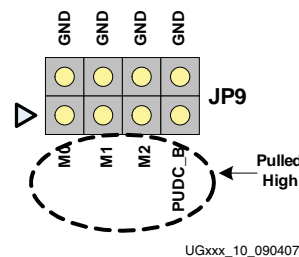


図 10: コンフィギュレーション ジャンパ (JP9)

## ボードの電源

5V、6A、RoHS 準拠の電源は、ほとんどのアプリケーション開発でボードに十分な電源を供給できます。電源は、パレル ジャック J5 を介して供給されます。Texas Instruments 社の TPS3828 電源監視回路は入力される +5V の電源を監視し、入力電源が安定するまで、すべての電力変換を停止します。図 11 に、安定した +5V (CH1) 電源が供給された後、PTH\_INH# 信号が High になるときの TPS3828 の動作を示します。チャンネル 2、3 および 4 (3.3V、2.5V および 1.2V) は、PTH\_INH# が High になった後、TPS3828 200ms によって動作を許可されます。スライド スイッチ SW1 は、オンに設定されるまで変更されません。Texas Instruments 社の PTH05050WAZ 6A 電源モジュールは、+2.5V および +3.3V の電源レールの作成に使用されます。+1.2V の電源レール (VCC\_INT) は、Texas Instruments 社の PTH04000WAZ 3A パワー モジュールで作成されます。これらのスイッチ変換は 650kHz ~ 750kHz の領域のスイッチング スパイクを示す可能性があります。したがって、PTH05050WAZ および PTH04000WAZ それぞれの出力にある PI フィルタが、これらの過渡信号を最小限に抑えるために使用されます。

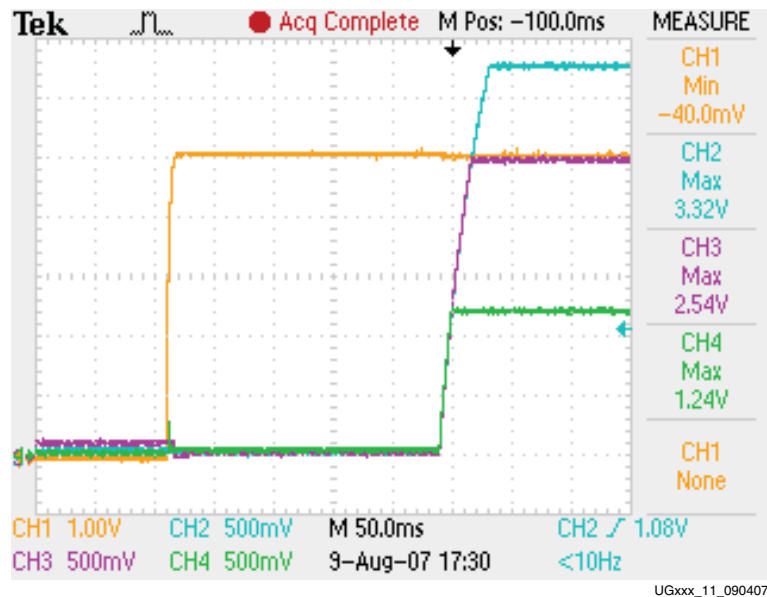


図 11： 電源の適用

プロトタイプ の計測に基づき、1.2V の PTH04000 回路は出力電圧を若干増加するように調整されました。FPGA で電圧は約 20mV 低いと計測されました。したがって、PTH04000 の設定抵抗は TI データシートでの算出に基づき、電圧を 20mV 上昇させるよう変更されました。抵抗 R42 は通常 26.1K のはずですが、このボードでは 24.3K です。

DDR2 0.9V 参照電圧と終端電圧 (FPGA\_DDR2\_VREF、FPGA\_0.9V\_TT)、DDR2 メモリの 1.8V 電源レールおよび DP83865 イーサネット PHY コア電圧は、Texas Instruments 社の TPS51116 同期型バック コントローラの周辺に設計されたスイッチング電源によって供給されます。+1.2V、+2.5V および +3.3V の電源レールは、しきい値以上に達するまで、アクティブ Low のリセット (PO\_RESET#) を供給するように監視されています。プッシュ ボタン スイッチ (SW4) は、PO\_RESET# を手動で作成するために使用されることがあります。LED D6 は、PO\_RESET# がアクティブに駆動される場合に点灯します。LED の D16、D17 および D18 は、それぞれ +1.2V、+2.5V および P3.3V を示すため点灯します。

さまざまな電源レールの電流は、ジャンパ JP10 (+3.3V)、JP14 (+2.5V)、JP6 (+1.8V)、および JP5 (+1.2V) の分流をなくすか、各ピンに電流計を配置することで計測できます。これらのジャンパは 2 x 2 で、十分な通電容量を供給するため、それぞれ 2 つの分流が必要です。したがって、ユーザーは両方の分流が通常動作のために適切な場所にあることを確認する必要があります。

ユーザーは、JP11 ピンを 2:3 (デフォルトでは 1:2) にジャンパして、Spartan-3A DSP の低消費電力 SUSPEND モードを使用可能です。AWAKE LED (D15) が SUSPEND モード ステータスを示します。

さまざまな FPGA 電源レールの適切なデカップリングは非常に重要で、この設計ではザイリンクス アプリケーションノート XAPP623 <http://direct.xilinx.com/bvdocs/appnotes/xapp623.pdf> に従い作成されています。表 19 に、Spartan-3A DSP スタータ プラットフォームのデカップリングの手法を示します。

表 19: FPGA デカップリング キャパシタ

	3.3V	2.5V	バンク 0	バンク 2	1.8V	1.2 V	0.9V				
電源/GND ペアの総数	9	14	9	9	9	23	9				総数
470uF	1	1	1	1	1	1	0	タンタル キャパシタ 4.7uF	AVX	TAJD477K004R	6
4.7uF (0603)	2	2	2	2	2	4	0	セラミック キャパシタ 4.7uF 0603	PIC	ECJ1VB0J475M	14
1.0uF (0402)	3	4	3	3	3	7	5	セラミック キャパシタ 41.0uF 0402	PIC	EJC-EB0J105M	28
.01uF (0201)	5	8	5	5	5	13	5	セラミック キャパシタ 0.01uF 0201	PIC	ECJZEB0J103K	46
キャパシタの 実数	11	15	11	11	11	25	10				

## ボード クロック

Spartan-3A DSP スタータ プラットフォームには、4 つのクロック ソースがあります。

- GCLK7 (バンク 0) に接続された 125MHz のオシレータ。
- RHCLK2 (バンク 1) に接続された 25.175MHz のオシレータ (主に VGA タイミング用)。
- GCLK14 (バンク 2) に接続したハーフサイズのオシレータのソケット。ユーザーはこのオシレータをインストールする必要がある。

- GCLK4 (バンク 0) に接続した SMA コネクタ フットプリント (J1)。ユーザーはこのコネクタをインストールする必要がある。

表 20 に、クロック ソースの一覧と説明を示します。

表 20: クロック ソース

クロック ソース	FPGA ピン番号	部品番号
125MHz のオシレータ (U7)	F13	Fox FXO-HC535-125.000
25.175MHz のオシレータ (U4)	P26	Fox FXO-HC530-25.175
ソケット	AE13	Fox 350LF 型のオシレータで実装
SMA コネクタ J1	K14	Tyco-AMP 部品番号 221789-3

SMA コネクタは、0.1uF の 0402 キャパシタを介して AC 終端されます。J1 およびキャパシタ間には、0 の 0402 抵抗があります。キャパシタと FPGA ピン K14 の間には、49.9 の 0402 抵抗が 2 つあり、一方はバンク 0 の I/O 電圧 (VCCO\_0) へ High にプルアップされ、もう一方は GND へ Low にプルダウンされます。要件を満たすには、この設定の変更が必要な場合があります。

## ボードレイヤ

図 12 に、12 層の Spartan-3A DSP スタータ プラットフォーム PCB を示します。PCB の基盤は、FR4 クラスのエポキシ ガラスで、すべての層に 0.5 オンスの銅が使用されています。

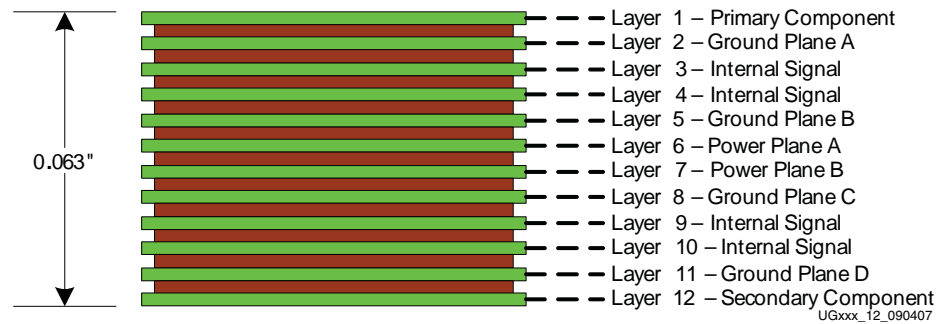
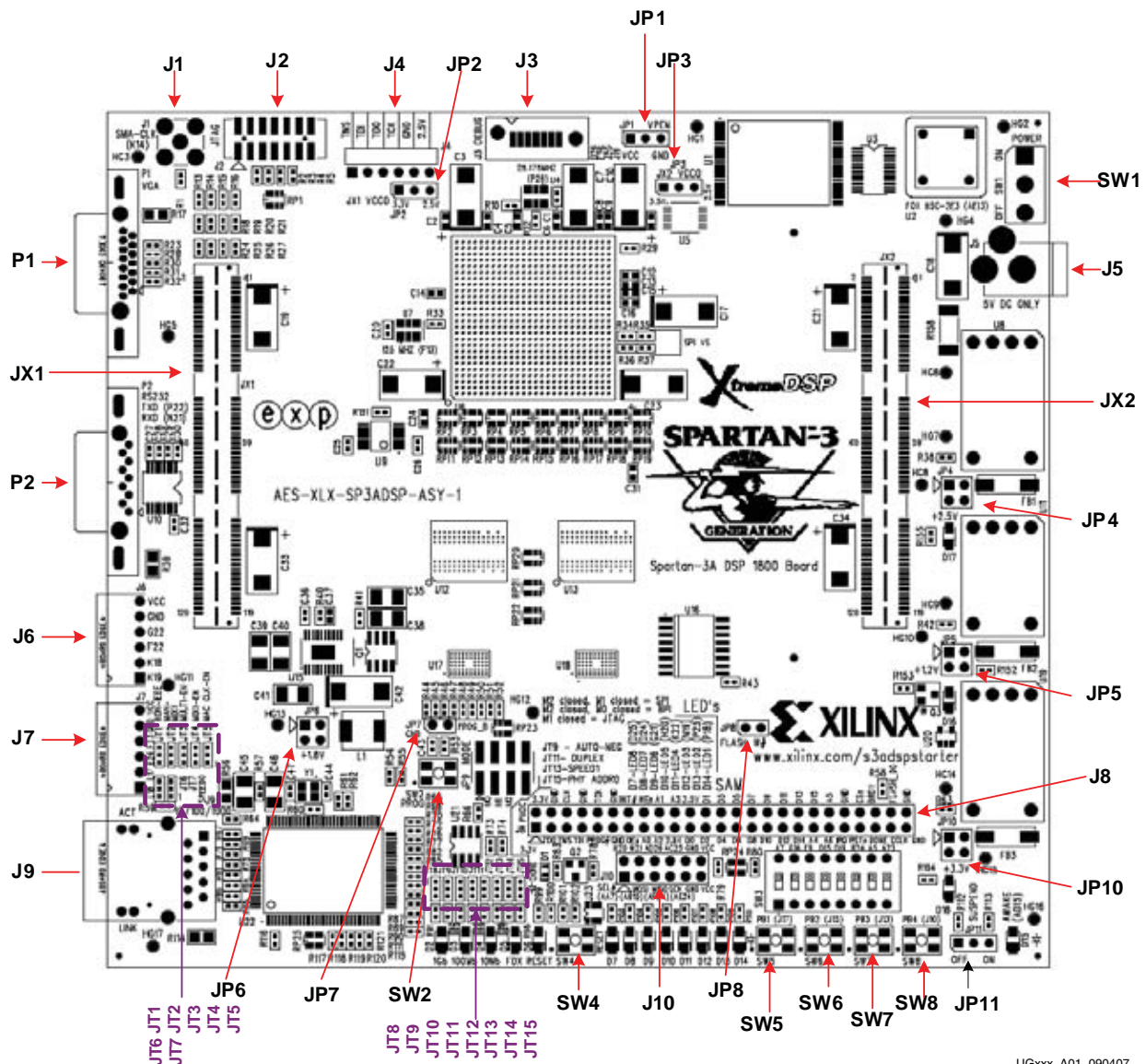


図 12: ボードレイヤ



# コネクタ、ヘッダ、およびジャンパの位置

この付録には、コネクタ、ヘッダ、およびジャンパの位置を示したボードの概要を表示します。



UGxxx\_A01\_090407

図 2-1: コネクタ、ヘッダ、およびジャンパの位置

