

7 シリーズ FPGA GTX/GTH トランシーバー

ユーザー ガイド

UG476 (v1.11) 2016 年 6 月 21 日

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。



Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

© Copyright 2011–2015 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. CPRI is a trademark of Siemens AG. PCI, PCIe and PCI Express are trademarks of PCI-SIG and used under license. All other trademarks are the property of their respective owners.

本資料は英語版 (v1.11) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2011 年 3 月 1 日	1.0	初版
2011 年 3 月 28 日	1.1	第 1 章、表 1-4:「デバイス/パッケージ (Kintex-7 FPGA) 別 GTX トランシーバー チャネル」を削除し、『7 シリーズ FPGA パッケージおよびピン配置ガイド』(UG475) へのリンクを追加。表 B-1 を更新。
2011 年 7 月 8 日	1.2	<p>第 1 章、表 1-1 の PCS および PMA 機能を更新。</p> <p>第 2 章、表 2-1 の ODIV2 属性を変更し、表 2-2 から REFCLK_CTRL を削除。「基準クロックの選択および分配」を変更。「チャンネル PLL」のライン レートとロック範囲を更新。表 2-8 の D 係数を更新。表 2-9 の CPLLOCKDETCLK の説明を変更。表 2-10 で、CPLL_RXOUT_DIV の名前を RXOUT_DIV に、CPLL_TXOUT_DIV の名前を TXOUT_DIV に変更し、それらの説明を更新。「クワッド PLL」のライン レートを更新。図 2-11 の VCO を変更。表 2-13 で N の有効な設定値を更新し、D 係数を追加。表 2-14 の QPLLLOCKDETCLK の説明を更新。表 2-15 の QPLL_CFG の説明を更新。表 2-15 に RXOUT_DIV および TXOUT_DIV 属性を追加。表 2-24 に CFGRESET および PCSRSVDOUT ポートを追加。図 2-16 の GTTXRESET の名前を修正。「PLL のパワーダウン」を変更。</p> <p>第 3 章、「TXUSRCLK および TXUSRCLK2 の生成」のライン レートを更新。「TXOUTCLK を使用して TX インターフェイスを駆動」を追加。表 3-7 から TXRUNDISP[7:0] ポートを削除。表 3-9 で RX を追加し、GEARBOX_MODE の説明を更新。「TX ギアボックスの有効化」、「TX ギアボックスのビットおよびバイト順序」、「TX ギアボックスの動作モード」、「外部シーケンス カウンター動作モード」、「内部シーケンス カウンター動作モード (GTX トランシーバーのみ)」、表 3-10、および表 3-11 を追加。表 3-17 の TXPHALIGNDONE の説明を更新。「シングル レーン自動モードでの TX バッファパイパスの使用 (GTX トランシーバーのみ)」で、図 3-19 およびそれに関連する注記を更新。「マルチ レーン手動モードでの TX バッファパイパスの使用 (GTX および GTH トランシーバー)」を追加。「TX 極性制御」を更新。図 3-28 を更新。「シリアル クロック分周器」、表 3-25、および表 3-26 で、CPLL_TXOUT_DIV の名前を TXOUT_DIV に変更。表 3-26 に TXDLYBYPASS を追加。図 3-29 で TXPOSTCURSOR の範囲を変更。</p> <p>第 4 章、表 4-2 でプログラマブル電圧の値を更新。「GTX および GTH の使用モード — RX 終端」を追加。表 4-7 で RXOOBRESET を更新し、RXELECIDLEMODE[1:0] を追加。図 4-22 を更新。表 4-22 で CPLL_RXOUT_DIV の名前を RXOUT_DIV に変更。「パラレル クロック分周器およびセクター」の箇条書きを更新。表 4-23 に RXDLYBYPASS を追加。表 4-23 および表 4-24 で CPLL_RXOUT_DIV の名前を RXOUT_DIV に変更。「アイ スキャンのアーキテクチャ」、図 4-25、図 4-26、および図 4-27 を追加。「ポートおよび属性」、表 4-25、および表 4-26 を追加。「手動アライメント」および図 4-35 を更新し、図 4-36 を追加。表 4-31 の RXSLIDE の説明を更新。表 4-32 で、SHOW_REALIGN_COMMA、RXSLIDE_MODE、および RXSLIDE_AUTO_WAIT の説明を更新し、RXRECCLK の名前を RXOUTCLK に、SHOW_ALIGN_COMMA の名前を SHOW_REALIGN_COMMA に変更。「RX ランニング ディスパリティ」を変更。表 4-33 で、RX8B10BEN の説明を置き換え、RXRUNDISP[7:0] を削除。図 4-39 に RX CDR を追加。</p>

日付	バージョン	内容
2011 年 7 月 8 日	1.2 (続き)	<p>表 4-35 の RXPHALIGNDONE の説明を変更。「シングルレーン自動モードでの RX バッファバイパスの使用 (GTX トランシーバーのみ)」を変更し、図 4-40 を更新。「マルチレーン手動モードでの RX バッファバイパスの使用 (GTX および GTH トランシーバー)」を追加。図 4-48 に RX_CDR を追加。表 4-43 で、CLK_COR_MAX_LAT、CLK_COR_MIN_LAT、および CLK_COR_SEQ_LEN の説明を変更。「RX クロック コレクションの使用」を変更、「クロック コレクションの有効化」を追加、「RX エラスティック バッファの制限の設定」を変更、CLK_COR_ADJ_LEN の名前を CLK_COR_SEQ_LEN に変更、「クロック コレクション シーケンスの設定」、「クロック コレクションのオプション」、および「クロック コレクションのモニタリング」を追加。表 4-46 の RXCHBONDLEVEL の説明を変更。「RX チャンネル ボンディングの使用」、「チャンネル ボンディングの有効化」、「チャンネル ボンディング シーケンスの設定」を追加。「最大スキューの設定」を追加。「チャンネル ボンディングとクロック コレクション間の優先順位」を追加。表 4-48 の RXGEARBOXSLIP の説明を変更。表 4-49 の GEARBOX_MODE の説明を置き換え。「RX ギアボックスの有効化」を追加。「RX ギアボックスの動作モード」を追加。「RX ギアボックス ブロックの同期化」を追加。「RXUSRCLK および RXUSRCLK2 の生成」で、RXRECCLK の名前を RXOUTCLK に変更。表 4-54 の RX_INT_DATAWIDTH の説明を更新。</p> <p>第 5 章、図 5-2 を追加。「アナログ電源ピン」、表 5-2、および表 5-3 を追加。図 5-9 を更新。「未使用基準クロック」を変更。LVDS セクションを削除。「PCB (プリント回路基板)」を変更、表 5-5 を追加。「PCB デザインのチェックリスト」および表 5-6 を追加。</p> <p>第 6 章、表 6-1 で Gen3 を RX バッファに追加。表 6-2 に TXCHARDISPMODE[0] を追加。表 6-2 の TXDEEMPH および RXELECIDLE に関する説明を更新。「PCI Express の使用モード」および表 6-4 の RXBUF_EN と RX_XCLK_SEL の Gen3 を更新、「PIPE 制御信号」および表 6-5 を追加。「基準クロック」および表 6-6 を更新し、表 6-7 を追加。「パラレル クロック (PCLK)」を変更、図 6-1 を追加、図 6-2 に概要の段落を追加して変更。「Gen1 と Gen2 間のレート変更」を変更。図 6-6 を更新。「Gen3 スピードへ、または Gen3 スピードからのレート変更時に DRP を使用」を変更。表 6-8 で RXBUF_EN および RX_XCLK_SEL の Gen3 を更新。「PCI Express のチャンネル ボンディング」を更新、「バイナリツリー チャンネル ボンディングの例」を追加。「XAUI の使用モデル」および表 6-11 ~ 表 6-14 を追加。</p> <p>付録 A 「パッケージ別の配置情報」、コンテンツを更新。</p> <p>付録 B 「デバイス別の配置情報」、表 B-1 の説明を拡充。</p> <p>付録 D 「GTX/GTH トランシーバーの DRP アドレス マップ」、表 D-2 の CPLL_RXOUT_DIV および CPLL_TXOUT_DIV から CPLL_ を削除。</p> <p>全体を通じて、CPLL_TXOUT_DIV の名前を TXOUT_DIV に、CPLL_RXOUT_DIV の名前を RXOUT_DIV に変更。全体を通じて、CPLL および CPLL_ 接頭辞を削除。全体を通じて、PLL の名前を CPLL に変更。</p>
2011 年 7 月 28 日	1.2.1	表 3-17、表 3-30、および表 4-10 の形式を変更。
2011 年 11 月 16 日	1.3	<p>付録 A 「パッケージ別の配置情報」、Virtex-7 FPGA パッケージを追加。</p> <p>付録 B 「デバイス別の配置情報」、表 B-2 を追加。</p>

日付	バージョン	内容
2012 年 4 月 4 日	1.4	<p>全体を通じて、GTH トランシーバーを追加。</p> <p>第 1 章：表 1-1 を更新。</p> <p>第 2 章：表 2-1 で、O および ODIV2 ポートの説明を更新。表 2-2 で、CLKSWING_CFG のタイプをバイナリに更新。表 2-3 の CLKSWING_CFG の設定を更新。「チャンネル PLL」および「クワッド PLL」を更新。図 2-15 を更新。「コンフィギュレーションの完了にตอบสนองする GTX/GTH トランシーバー TX のリセット」を更新。図 2-20 を更新。「コンフィギュレーションの完了にตอบสนองする GTX/GTH トランシーバー RX のリセット」を更新。表 2-33 で、RXPD[1:0] のクロックドメインを非同期に更新。「デジタルモニター」を追加。</p> <p>第 3 章：図 3-1 を更新。図 3-4 および図 3-5 に BUFH を追加し、各図の注記を追加。「ランニング ディスパリティ」を更新。「TX ギアボックス」を更新。図 3-14 を更新。表 3-17 で、TXPHDLYPD の説明を更新し、TXSYNCMODE、TXSYNCCALLIN、TXSYNCIN、TXSYNCOUT、および TXSYNCDONE を追加。表 3-18 に TXSYNC_MULTI_LANE、TXSYNC_SKIP_DA、および TXSYNC_OVRD を追加。図 3-23 の後の注記を更新。「TX 位相インターポレーター PPM コントローラー」を追加。注記 2 および 6 を含め、図 3-28 を更新。表 3-28 で、TXDIFFCTRL[3:0]、TXELECIDLE、TXINHIBIT、TXPOSTCURSOR[4:0]、TXPRECURSOR[4:0]、および GTXTXP/GTXXN の説明を更新。表 3-32 で、RXPD[1:0] のクロックドメインを非同期に更新。</p> <p>第 4 章：表 4-2 を更新。「GTX および GTH の使用モード — RX 終端」および「RX イコライザー (DFE および LPM)」を更新。表 4-11 および表 4-15 で、RXDFEOSHOLD、RXDFEOSOVRDEN、および RX_DFE_OS_CFG を RXOSHOLD、RXOSOVRDEN、および RX_OS_CFG にそれぞれ置き換え。表 4-11 で、X_DFE_LPM および HOLD_DURING_EIDLE を RX_DFE_LPM_HOLD_DURING_EIDLE にマージし、IAS_CFG を削除。図 4-19、表 4-12、および表 4-13 を含めて、「GTX 使用モード」を追加。注記 2 を含めて、図 4-22 を更新。表 4-25 で、RXLPMEN を追加。表 4-26 で、A_RXLPMEN を削除し、ES_EYE_SCAN_EN を更新し、PMA_RSV2[5]、USE_PCS_CLK_PHASE_SEL、および ES_CLK_PHASE_SEL を追加。表 4-30 の RX_PRBS_ERR_CNT の説明を更新。「アライメント ステータス信号」および「手動アライメント」を更新。表 4-31 の RXBYTEISALIGNED の説明を更新。表 4-32 に COMMA_ALIGN_LATENCY を追加。RXSLIDE_MODE の使用に関する説明を「RX バッファのバイパス」に追加。表 4-35 で、RXPHDLYPD の説明を更新し、RXSYNCMODE、RXSYNCCALLIN、RXSYNCIN、RXSYNCOUT、および RXSYNCDONE を追加。表 4-36 で、RXSYNC_MULTI_LANE、RXSYNC_SKIP_DA、および RXSYNC_OVRD を追加。「シングルレーン自動モードでの RX バッファ バイパスの使用 (GTX トランシーバーのみ)」の見出しを更新。図 4-44 の後の注記を更新。表 4-47 の FTS_LANE_DESKEW_CFG の説明を更新。291 ページの「機能の説明」を更新。表 4-48 で、RXDATAVALID、RXGEARBOXSLIP、RXHEADER、RXHEADERVALID、および RXSTARTOFSEQ の説明を更新し、RXSLIDE を追加。表 4-49 の GEARBOX_MODE の説明を更新。「RX ギアボックスの動作モード」に通常モードを追加。図 4-64 および「RX ギアボックス ブロック (GTH トランシーバー)」を更新。</p> <p>第 5 章：表 5-1、表 5-5、および表 5-6 を更新。図 5-8 を含めて「LVDS」を追加。図 5-9 で、キャパシタの値を 0.01μF から 0.1μF に更新。</p>

日付	バージョン	内容
2012 年 4 月 4 日	1.4 (続き)	<p>第 6 章: 「機能の説明」(表 6-1 を含む)を更新。表 6-2 の RXELECIDLE の説明を更新。表 6-4 の [TX/RX]RATE[2:0] の設定を更新。表 6-6 の [TX/RX]OUT_DIV の設定を更新。表 6-7 の QPLL_FBDIV の設定を更新。「パラレル クロック (PCLK)」の PCLK 周波数。「Gen3 スピードへ、または Gen3 スピードからのレート変更」を更新。「PCI Express のクロック コレクション」を更新。表 6-12 で、[TX/RX]_CLK25_DIV の値を 2 から 7 に更新。</p> <p>付録 A: 最初の段落に、リード パッケージ オプションに関する説明を追加。「GTX トランシーバー パッケージの配置図」を追加。</p> <p>付録 B: 表 B-3 を追加。</p> <p>付録 D: 表 D-1 および表 D-2 を更新。表 D-3 および表 D-4 を追加。</p>
2012 年 5 月 7 日	1.5	<p>第 5 章: 表 5-6 の MGTVCCAUX_G[N] の推奨事項を更新。</p> <p>付録 A: 図 A-50、図 A-61、図 A-63、図 A-91、および図 A-92 のラベルを修正。</p>
2012 年 9 月 11 日	1.6	<p>第 2 章: 図 2-1 を更新。表 2-2 の CLKSWING_CFG を更新。表 2-4 に GTREFCLKMONITOR を追加。表 2-5 に OUTREFCLK_SEL_INV を追加。表 2-6 に REFCLKOUTMONITOR を追加。「外部基準クロックを 1 つ使用する場合」および「複数の外部基準クロックを使用する場合」を追加。「チャネル PLL」および「クワッド PLL」を更新。表 2-10 に注記を追加。「標準プロトコルの QPLL 設定」を追加。表 2-12 を更新。表 2-13 の係数 N の属性列から QPLL_CFG を削除。表 2-27 およびリセット状況に関する説明を追加。表 2-28 の RXRESETDONE の説明を更新。表 2-29 で、RXCDRRESET_TIME を RXCDRPHRESET_TIME に置き換え。表 2-32 およびリセット状況に関する説明を追加。「ループバック」のループバック モードに関する説明を更新。表 2-41 で、DMONITOR_CFG[23:0] の説明を更新し、RX_DEBUG_CFG、PCS_RSVD_ATTR[6]、および CFOK_CFG[41] を追加。「デジタル モニター出力のキャプチャ」の Verilog コードを更新。「デジタル モニター出力の解釈」で、RXDFELF[3:0] に関する箇条書きを追加し、GTX および GTH トランシーバーの RXDFEAGC[3:0] を更新。</p> <p>第 3 章: 表 3-2 を更新。図 3-14 で、GTX を GTH に置き換え。図 3-15 を更新。表 3-17 の TXPHDLYRESET の説明を更新。表 3-18 の TXSYNC_MULTILANE の説明およびタイトルを更新。「TX バッファ バイパスの使用モード」を追加。「シングル レーン自動モードでの TX バッファ バイパスの使用 (GTX トランシーバーのみ)」の見出しを更新。図 3-19 のタイトルと注記を更新。「シングル レーン手動モードでの TX バッファ バイパスの使用」を追加。「マルチ レーン手動モードでの TX バッファ バイパスの使用 (GTX および GTH トランシーバー)」を更新。「マルチ レーン自動モードでの TX バッファ バイパスの使用 (GTH トランシーバーのみ)」を追加。図 3-28 を更新して図の後ろに注記 5 を追加。表 3-27 で、TX_EN_RATE_RESET_BUF を TXBUF_RESET_ON_RATE_CHANGE に置き換え。表 3-29 で TXPI_SYNRFREQ_PPM[2:0] に関する説明を更新。表 3-30 で、PIPE バージョンを 3.0 に更新し、TXDIFFPD および TXPISOPD を追加し、TXQPISENN および TXQPISENP を更新し、説明から Preliminary を削除。表 3-31 を更新。表 3-35 で SATA_BURST_SEQ_LEN にビットを追加。</p>

日付	バージョン	内容
2012 年 9 月 11 日	1.6 (続き)	<p>第 4 章: 図 4-2 を更新。表 4-1 の RXQPISENN および RXQPISENP に関する説明を更新。表 4-2 で、TERM_RCAL_CFG の説明を更新。表 4-4 から DisplayPort を削除。表 4-5 で、LPM モードを追加し、DisplayPort を削除し、属性設定を更新。表 4-7 で、RXELECIDLE のクロック ドメインを RXUSRCLK2 から非同期に変更。表 4-8 を更新。「GTX/GTH 使用モード」を追加。表 4-9 に表の注記 1 を追加。図 4-18 を更新。表 4-10 で、RXLPMLFKLOVRDEN を更新し、RXDFECMIEN、RXDFEXYDHOLD、RXDFEXYDOVRDEN、RXDFEXYDEN、RXMONITORSEL、および RXMONITOROUT を追加。表 4-11 で、RX_DFE_XYD_CFG およびその他の属性のデフォルト値を追加。図 4-21 の後の CDR ロックに関する段落を削除。表 4-15 で RXRATE[2:0] および RXCDRLOCK に関する説明を更新。表 4-16 の RXCDR_HOLD_DURING_EIDLE、RXCDR_FR_RESET_ON_EIDLE、および RXCDR_PH_RESET_ON_EIDLE の説明を更新。図 4-22、および図の後の注記 3 および 6 を更新。表 4-24 の RX_EN_RATE_RESET_BUF を RXBUF_RESET_ON_RATE_CHANGE に置き換え。表 4-25 で、RXRATE の説明を更新し、EYESCANMODE を追加。表 4-26 で、ES_PMA_CFG を追加し、ES_SDATA_MASK、ES_QUALIFIER、および ES_QUAL_MASK の説明を更新。表 4-27 に DRP アドレスの 16 進数 (GTH トランシーバー) 列を追加。表 4-33 に SETERRSTATUS を追加。表 4-34 に UCODEER_CLR を追加。表 4-35 の RXPHDLYRESET および RXPHOVRDEN に関する説明を更新。表 4-36 の見出しを更新。「RX バッファ バイパスの使用モード」を追加。「シングル レーン自動モードでの RX バッファ バイパスの使用 (GTX トランシーバーのみ)」を更新。「シングル レーン自動モードでの RX バッファ バイパスの使用 (GTH トランシーバーのみ)」を追加。「マルチ レーン手動モードでの RX バッファ バイパスの使用 (GTX および GTH トランシーバー)」を更新。「マルチ レーン自動モードでの RX バッファ バイパスの使用 (GTH トランシーバーのみ)」を追加。図 4-49 を更新。表 4-43 で、CLK_COR_PRECEDENCE を CLK_COR_PRECEDENCE に修正し、CLK_COR_MAX_LAT および CLK_COR_MIN_LAT の有効な値の上限を 48 から 60 に更新。「RX エラスティック バッファの制限の設定」で、CLK_COR_MAX_LAT および CLK_COR_MIN_LAT の上限値を 48 から 60 に変更。</p> <p>第 5 章: 「終端抵抗キャリブレーション回路」の第 2 段落を更新。「アナログ電源ピン」の 1 番目と 3 番目の段落を更新。表 5-2 で、最初の列のデバイス番号の後ろの「Preliminary」を削除し、MGT 115 列のエントリに「(RCAL)」を追加し、XC7K410T-FBG900、XC7K410T-FFG900、および XC7K420T-FFG901 行を削除。表 5-3 で、最初の列のデバイス番号の後ろの「Preliminary」を削除し、MGT 列のエントリに「(RCAL)」を追加。図 5-4 の前の段落を更新。図 5-4 で、V_{ISE} を「シングルエンド電圧」に置き換え。</p> <p>第 6 章: P2 ステートに関する説明を「PIPE 制御信号」に追加。表 6-7 の第 2 行を更新。「PCI Express のチャネル ボンディング」の最初の段落を更新。</p> <p>付録 A: 「GTX トランシーバー パッケージの配置図」に FLG1761 パッケージを追加。「GTX トランシーバー パッケージの配置図」に FFG1928、FLG1926、FLG1928、および FLG1930 パッケージの図を追加。</p> <p>付録 B: 表 B-2 および表 B-3 を更新。</p> <p>付録 D: 表 D-2 および表 D-4 を更新。</p>
2012 年 10 月 18 日	1.7	<p>第 5 章: 表 5-3 から XC7V1500T FLG1761 行を削除。</p> <p>付録 A: FLG1761 パッケージの配置図を削除。</p> <p>付録 B: 表 B-2 から XC7V1500T を削除。</p>

日付	バージョン	内容
2013 年 1 月 2 日	1.8	<p>第 2 章 : 表 2-24 に TXPMARESETDONE を追加。表 2-28 に RXOSCALRESET、RSOSINTDONE、および RXPMARESETDONE を追加。表 2-29 に RXOSCALRESET_TIME および RXOSCALRESET_TIMEOUT を追加。表 2-41 で DMONITOR_CFG[23:0] に関する説明を更新。「デジタル モニター出力の解釈」を更新。</p> <p>第 3 章 : 図 3-12 および図 3-13 の TXDATA 信号を更新。表 3-12 および表 3-13 に、外部シーケンス カウンターに関する注記を追加。表 3-17 で、TXSYNCMODE、TXSYNCALLIN、TXSYNCIN、TXSYNCOUT、および TXSYNCDONE のポートの説明を更新。表 3-18 で、TXSYNC_MULTILANE および TXSYNC_SKIP_DA の説明を更新し、LOOPBACK_CFG を追加。表 3-19、「マルチ レーン手動モードでの TX バッファークバイパスの使用 (GTX および GTH トランシーバー)」、および「マルチ レーン自動モードでの TX バッファークバイパスの使用 (GTH トランシーバーのみ)」に、マルチ レーン TX バッファークバイパスのサポートに関する注記を追加。</p> <p>第 4 章 : 表 4-3 ～表 4-6 の「推奨されるプロトコルおよび使用法」を更新。図 4-3 ～図 4-6 を更新。表 4-7 の RXELECIDLE ポートの説明を更新。表 4-8 の PCS_RSVD_ATTR[8] ポートの説明を更新。「DFE モードを使用する」を更新。表 4-17 ～表 4-19 のタイトルに「GTX」を追加。表 4-35 の RXSYNCMODE、RXSYNCALLIN、RXSYNCIN、RXSYNCOUT、および RXSYNCDONE の説明を更新。表 4-37、「マルチ レーン手動モードでの RX バッファークバイパスの使用 (GTX および GTH トランシーバー)」、および「マルチ レーン自動モードでの RX バッファークバイパスの使用 (GTH トランシーバーのみ)」に、マルチ レーン RX バッファークバイパスのサポートに関する注記を追加。表 4-40 の RXBUF_ADDR_MODE の説明を更新。表 4-41 の後に、CLK_COR_MIN_LAT の設定に関する段落を追加。</p> <p>第 5 章 : 表 5-1 のピン名を更新。表 5-2 で、MGT 118 の XC7K420T-FFG1156 を更新。表 5-3 を更新。表 5-6 のピン名を更新。</p>
2013 年 4 月 4 日	1.9	<p>第 1 章 : 図 1-2 の後のテキストを更新。図 1-5 の後の CPLL の説明を削除。</p> <p>第 2 章 : 「標準プロトコルの CPLL 設定」および「標準プロトコルの QPLL 設定」から GTX を削除。表 2-15 で、QPLL_CLKOUT_CFG のタイプを 4 ビット バイナリに変更。表 2-17 に注記 1 を追加。図 2-12 のタイトルに GTH を追加。表 2-24 で、TXRESETDONE のクロック ドメインを TXUSRCLK2 に更新。表 2-27 の注記 1 に GTH トランシーバーを追加。図 2-21 および図 2-22 で、RXISCANRESET を EYESCANRESET に置き換え。「コンフィギュレーションの完了に回答する GTX/GTH トランシーバー RX のリセット」および「GTRXRESET パルスに回答する GTX/GTH トランシーバー RX のリセット」を更新。「GTH トランシーバー RX PMA リセット」を追加。表 2-30 および表 2-31 で、RXISCAN を RX EYESCAN に置き換え。「実行中におけるチャネル ボンディング モードの変更後」の見出しを更新。図 2-26 の後の近端 PCS ループバックの説明を更新。表 2-38 および表 2-39 で、DRPEN および DRPWE の説明を更新。</p> <p>第 3 章 : 図 3-16 で TXDATA[39:32] の幅を更新。138 ページの「機能の説明」を更新。表 3-17 の TXSYNCMODE、TXSYNCALLIN、TXSYNCIN、TXSYNCOUT、および TXSYNCDONE の説明を更新。表 3-18 の TXSYNC_MULTILANE、TXSYNC_SKIP_DA、および TXSYNC_OVRD の説明を更新。</p>

日付	バージョン	内容
2013 年 4 月 4 日	1.9 (続き)	<p>「TX バッファァー バイパスの使用モード」(表 3-19 を含む)を更新。図 3-19 の後に注記 5 を追加。「シングル レーン手動モードでの TX バッファァー バイパスの使用」(図 3-20 を含む)を更新。「マルチ レーン手動モードでの TX バッファァー バイパスの使用 (GTX および GTH トランシーバー)」の第 2 段落を更新。「マルチ レーン自動モードでの TX バッファァー バイパスの使用 (GTH トランシーバーのみ)」のセクションを削除。図 3-22 を更新。図 3-24 の後の 3 番目の箇条書きを更新。表 3-26 で、TXOUTCLKFABRIC および TXOUTCLKPCS の説明を更新。表 3-29 で、GT ウィザードを 7 Series FPGA Transceivers Wizard に置き換え。表 3-30 で、TXDIFFCTRL[3:0]、TXELECIDLE、TXINHIBIT、TXQPISENN、および TXQPISENP の説明を更新。</p> <p>第 4 章：表 4-2 で、TERM_RCAL_CFG および TERM_RCAL_OVRD の説明を更新。表 4-3、表 4-4、表 4-5、および図 4-5 の PMA_RSV2 のつづりを修正。表 4-8 に PCS_RSVD_ATTR[3] および RXOOB_CLK_CFG を追加。図 4-7 および付随するテキストを更新。図 4-16、図 4-17、および図 4-18 から、CDR ブロックを削除。「LPM モードまたは DFE モードを選択する」および「LPM モードを使用する」から、GTH トランシーバーを削除。「DFE モードを使用する」を更新。「GTH 使用モード」を追加。「GTX/GTH 使用モード」を更新。表 4-20 を追加。表 4-23 で、RXOUTCLKFABRIC、RXOUTCLKPCS、および RXDLYBYPASS の説明を更新。「RXRATE の使用 (GTH トランシーバーのみ)」を追加。表 4-33 で RXDISPERR[7:0] に関する説明を更新。表 4-35 で RXPHALIGNDONE に関する説明を更新。表 4-36 で RXPH_CFG のタイプを更新。図 4-43 に続く箇条書きに RXDDIEN を追加。図 4-67 で RXDATA[39:32] の幅を更新。付録 A：2 番目の概要の段落からリード パッケージ オプションに関する説明を削除。</p>
2013 年 4 月 22 日	1.9.1	第 3 章：表 3-30 の繰り返し行を削除。
2014 年 2 月 11 日	1.10	「機能の説明」、表 6-1、表 6-4、表 6-6、表 6-7、および「Gen3 スピードへ、または Gen3 スピードからのレート変更」を含めて、第 6 章の PCI Express Gen1 および Gen2 の QPLL サポートを削除。
2015 年 2 月 23 日	1.11	<p>第 2 章：35 ページの「機能の説明」で、GTHE2_CHANNEL を GTHE2_COMMON に置き換え。式 2-2 および式 2-4 の前の段落を更新。「CPLL リセット」を更新。表 2-27 で、TX レートを変更するためにリセットされるコンポーネントを更新し、2 つの新しい状況として PMA ループバックを追加。図 2-21 の RX RESET FSM の誤字を修正。図 2-22 および図 2-24 の後の注記 10 で、SIM_GTRESET_SPEEDUP を SIM_RESET_SPEEDUP に置き換え。「PLL のパワーダウン」の最初の段落に、CPLL のパワー ダウンの説明を追加。図 2-26 の後の遠端 PMA ループバックおよび遠端 PCS ループバックの箇条書きを更新。表 2-38 の DRPEN ポートの説明を更新。「デジタル モニター」で、「機能の説明」を更新し、新しい「GTX のポートおよび属性」および「GTH のポートおよび属性」のセクションを追加。「使用モード」の追加など、「ソフトウェアでのデジタル モニター出力のキャプチャ」を更新。「デジタル モニター出力の解釈」で、DMON_CFG を DMONITOR_CFG に、DMONITOR を DMONITOROUT に置き換え。「デジタル モニター出力のキャプチャ」で、2 番目の段落を更新し、Verilog コード例の TXUSRCLK2 を FREERUN_CLK に置き換え。「デジタル モニター出力の解釈」の RXDFEAGC の幅を更新。</p>

日付	バージョン	内容
2015 年 2 月 23 日	1.11 (続き)	<p>第 3 章 : 122 ページの「機能の説明」の最初の段落から Interlaken の仕様へのリンクを削除。138 ページの「機能の説明」を更新。表 3-17 で、TXPHDLYRESET、TXDLYSRESET、TXSYNCMODE、TXSYNCALLIN、および TXSYNCIN の説明を更新。表 3-18 で、シングル レーン使用モードの GTX トランシーバーの列および表の注記を更新。表 3-19 の注記 2 を更新。「シングル レーン自動モードでの TX バッファース バイパスの使用 (GTX トランシーバーのみ)」で、GTX トランシーバーの設定のリストに PCS_RSVD_ATTR を追加。「シングル レーン手動モードでの TX バッファース バイパスの使用」から GTH トランシーバーを削除。図 3-23 の後に注記 10 を追加。図 3-28 の MGTREFCLK のラベルを更新。表 3-30 で、TXDIFFCTRL の説明の V_{PPD} の単位を修正。図 3-30 を含めて 166 ページの「機能の説明」から容量を削除、図の後に注記を追加。表 3-34 の TXPDELECIDLEMODE に関する説明で、TXPOWERDOWN を TXPD に置き換え。</p> <p>第 4 章 : 表 4-1 の RXQPIEN の説明を更新。図 4-5 の PMA_RSV2[4] のラベルを修正。図 4-16 ~ 図 4-18 から「リミッタ」のラベルを削除。図 4-16 で、RXLPM_HF_CFG および RXLPM_LF_CFG の幅を [7:4] に更新。図 4-17 で、リニア EQ ブロックを更新し、RX_DFE_UT_CFG および RX_DFE_GAIN_CFG の幅をそれぞれ [12:6] および [11:7] に変更。図 4-18 で、RX_DFE_KL_CFG および RX_DFE_GAIN_CFG の幅をそれぞれ [7:4] および [11:8] に更新。表 4-10 で、RXMONITOROUT の説明を更新。表 4-11 で、GTH トランシーバーの説明を PMA_RSV 属性に追加し、PMA_RSV2 および RX_DFE_KL_CFG の説明からデフォルト値を削除し、GTH トランシーバーの RX_DFE_KL_CFG[31:0] 属性の名前を修正。199 ページの「LPM モードまたは DFE モードを選択する」を更新。202 ページの「LPM モードまたは DFE モードを選択する」を更新。表 4-15 の RXCDRFREQRESET、RXCDRRESET、および RXOSOVVDEN の説明を更新。表 4-19 で、LPM/DFE 列を更新し、注記 4 を追加。表 4-21 の LPM/DFE 列を更新。表 4-21 に注記 3 を追加。図 4-22 の MGTREFCLK のラベルを更新。図 4-23 の後の注記 7 で、SIM_GTRESET_SPEEDUP を SIM_RESET_SPEEDUP に置き換え。「アライメント ステータス信号」の第 1 段落を更新。表 4-32 の RXSLIDE_MODE の説明を更新。図 4-38 から 1 サイクルを削除。表 4-33 で、RXCHARISK ポートの方向を入力から出力に変更。247 ページの「機能の説明」の 1 番目と 3 番目の段落を更新。図 4-39 の誤字を修正。表 4-35 の RXPHDLYPD の説明を更新。表 4-37 の注記 2 を更新。「シングル レーン自動モードでの RX バッファース バイパスの使用 (GTX トランシーバーのみ)」で、GTX トランシーバーの設定のリストに PCS_RSVD_ATTR を追加。表 4-39 の RXBUFSTATUS の説明を更新。表 4-43 の CLK_COR_MAX_LAT および CLK_COR_MIN_LAT に関する説明を更新。</p> <p>第 5 章 : 「終端抵抗キャリブレーション回路」の 1 番目と 2 番目の段落を更新。表 5-3 の XC7VH580T および XC7VH870T パッケージを更新。「GTX/GTH トランシーバーの基準クロックのチェック項目」の第 2 段落から公称範囲および公称値に関するコメントを削除。「パッケージ」に表 5-4 を追加。表 5-6 の MGTXRX/N、MGTHRX/N、MGTXTP/N、MGHTXP/N、MGTA VCC[N]、MGTA VTT[N]、および MGTVCCAUX[N] に関する推奨事項を更新。</p> <p>第 6 章 : 334 ページの「基準クロック」を更新。「PCI Express のリセット」の最初の段落を更新。</p> <p>付録 A : 付録の 2 番目の段落を更新。</p> <p>付録 D : 表 D-2 に DRP アドレス 15C を追加。表 D-4 に DRP アドレス 015E を追加。</p>
2016 年 6 月 21 日	1.11	<p>表 5-1 の説明「RXP と RXN は、GTX/GTH トランシーバー クワッドにある各レシーバーの作動入力ペアです。」を「RXP と RXN は、GTX/GTH トランシーバー クワッドにある各レシーバーの差動入力ペアです。」に変更。</p>

目次

改訂履歴.....	3
このユーザー ガイドについて	
内容	19
その他のリソース	20
参考資料.....	20
第 1 章：トランシーバーおよびツールの概要	
概要および 7 シリーズの機能	21
7 Series FPGA Transceivers Wizard.....	27
シミュレーション	27
機能の説明	27
ポートおよび属性	28
GTXE2_COMMON の属性	28
GTXE2_CHANNEL/GTHE2_CHANNEL の属性.....	29
インプリメンテーション	30
機能の説明	30
デバイス/パッケージ別のシリアル トランシーバー チャンネル	31
第 2 章：共有機能	
基準クロック入力 of 構造	33
機能の説明	33
ポートおよび属性.....	34
使用モード：基準クロック終端	35
基準クロックの選択および分配	35
機能の説明	35
ポートおよび属性.....	37
外部基準クロックを使用する場合	40
外部基準クロックを 1 つ使用する場合	41
複数の外部基準クロックを使用する場合	43
チャネル PLL	46
機能の説明	46
ポートおよび属性.....	48
標準プロトコルの CPLL 設定	50
使用モード	53
CPLL 設定を動的に変更する	53
CPLL から QPLL に動的に変更する	53
クワッド PLL	53
機能の説明	53
ポートおよび属性.....	55
標準プロトコルの QPLL 設定	59
使用モード	60
QPLL 設定を動的に変更する	60
QPLL から CPLL に動的に変更する	60
リセットおよび初期化.....	61
リセット モード	62
CPLL リセット	63
QPLL リセット	64
TX の初期化およびリセット	65
ポートおよび属性	66

コンフィギュレーションの完了にตอบสนองする GTX/GTH トランシーバー TX のリセット	67
GTTXRESET パルスにตอบสนองする GTX/GTH トランシーバー TX のリセット	68
GTX/GTH トランシーバー TX コンポーネントのリセット	69
電源投入およびコンフィギュレーション後	71
使用されている CPLL/QPLL への基準クロックの電源投入後	71
使用されている CPLL/QPLL への基準クロックの変更後	71
使用されている PLL に対する C/QPLLPD のアサート/ディアサート	72
TXPD[1:0] のアサート/ディアサート後	72
TX レートの変更	72
TX パラレル クロック ソースのリセット	72
RX の初期化およびリセット	72
ポートおよび属性	74
コンフィギュレーションの完了にตอบสนองする GTX/GTH トランシーバー RX のリセット	78
GTRXRESET パルスにตอบสนองする GTX/GTH トランシーバー RX のリセット	80
GTH トランシーバー RX PMA リセット	83
GTX/GTH トランシーバー RX コンポーネントのリセット	84
電源投入およびコンフィギュレーション後	86
使用されている CPLL/QPLL への基準クロックの電源投入後	86
使用されている CPLL/QPLL への基準クロックの変更後	87
使用されている PLL に対する CPLLD または QPLLPD のアサート/ディアサート後	87
RXPDP[1:0] のアサート/ディアサート後	87
RX レートの変更	87
RX パラレル クロック ソースのリセット	87
リモート側の電源投入後	87
電氣的アイドル リセット	87
RXN/RXP の接続後	87
リカバリ クロックの安定後	88
RX バッファ エラー後	88
実行中におけるチャネル ボンディング モードの変更後	88
PRBS エラー後	88
カンマリアライメント後	88
パワーダウン	88
機能の説明	88
ポートおよび属性	89
一般的なパワーダウン機能	91
PLL のパワーダウン	91
TX および RX のパワーダウン	91
PCI Express 動作のパワーダウン機能	92
ループバック	92
機能の説明	92
ポートおよび属性	93
ダイナミック リコンフィギュレーション ポート	94
機能の説明	94
ポートおよび属性	94
使用モデル	96
書き込み	96
読み出し	96
デジタル モニター	97
機能の説明	97
GTX のポートおよび属性	97
GTH のポートおよび属性	99
使用モード	102

第 3 章：トランスミッター

トランスミッター (TX) の概要	109
機能の説明	109
FPGA TX インターフェイス	110

機能の説明	110
インターフェイス幅の設定	110
TXUSRCLK および TXUSRCLK2 の生成	112
ポートおよび属性	112
TXOUTCLK を使用して TX インターフェイスを駆動	114
2 バイトまたは 4 バイト モードで TXOUTCLK を使用して	
GTX/GTH トランシーバー TX を駆動	114
4 バイトまたは 8 バイト モードで TXOUTCLK を使用して	
GTX/GTH トランシーバー TX を駆動	116
TX 8B/10B エンコーダー	118
機能の説明	118
8B/10B のビットおよびバイト順序	118
K 符号	118
ランニング ディスパリティ	119
ポートおよび属性	120
8B/10B エンコーダーの有効/無効	122
TX ギアボックス	122
機能の説明	122
ポートおよび属性	122
TX ギアボックスの有効化	123
TX ギアボックスのビットおよびバイト順序	124
TX ギアボックスの動作モード	125
外部シーケンス カウンター動作モード	125
内部シーケンス カウンター動作モード (GTX トランシーバーのみ)	129
CAUI インターフェイス (GTH トランシーバー)	131
使用例	132
TX ギアボックス ブロック (GTH トランシーバー)	132
TX バッファ	135
機能の説明	135
ポートおよび属性	136
TX バッファの使用	137
TX バッファのバイパス	138
機能の説明	138
ポートおよび属性	138
TX バッファ バイパスの使用モード	142
シングル レーン自動モードでの TX バッファ バイパスの使用	
(GTX トランシーバーのみ)	142
シングル レーン手動モードでの TX バッファ バイパスの使用	143
TX 位相アライメント回路を使用した TX レーン間スキューの最小化	145
マルチ レーン手動モードでの TX バッファ バイパスの使用	
(GTX および GTH トランシーバー)	145
TX パターン ジェネレーター	148
機能の説明	148
ポートおよび属性	150
使用モデル	151
TX 極性制御	152
機能の説明	152
ポートおよび属性	152
TX 極性制御の使用	152
TX のファブリック クロック出力制御	152
機能の説明	152
シリアル クロック分周器	154
パラレル クロック分周器およびセクター	154
ポートおよび属性	155
TX 位相インターポレーター PPM コントローラー	157
機能の説明	157
ポートおよび属性	157

TX 位相インターポレーター PPM コントローラーの使用モード	158
コンフィギュレーション可能な TX ドライバー	159
機能の説明	159
ポートおよび属性	159
PCI Express デザイン用の TX レシーバー検出機能	166
機能の説明	166
ポートおよび属性	167
PCI Express 用の TX レシーバー検出機能を使用	168
TX の OOB 信号	169
機能の説明	169
ポートおよび属性	169

第 4 章：レシーバー

レシーバー (RX) の概要	171
機能の説明	171
RX アナログ フロント エンド	172
機能の説明	172
ポートおよび属性	173
GTX および GTH の使用モード — RX 終端	175
RX の OOB 信号	180
機能の説明	180
ポートおよび属性	180
GTX/GTH 使用モード	182
使用モード	183
RX イコライザー (DFE および LPM)	188
機能の説明	188
ポートおよび属性	191
GTX 使用モード	199
LPM モードまたは DFE モードを選択する	199
LPM モードを使用する	200
DFE モードを使用する	200
GTH 使用モード	202
LPM モードまたは DFE モードを選択する	202
LPM モードを使用する	203
DFE モードを使用する	203
GTX および GTH トランシーバー：実行時の LPM および DFE モードの切り替え	203
RX CDR	204
機能の説明	204
ポートおよび属性	205
GTX/GTH 使用モード	207
RX CDR を基準にロックする	207
ライン レートおよび選択したプロトコルを変更するために RX CDR 設定を動的に変更する	207
CDR ループ フィルター設定のみを調整するために RX CDR 設定を動的に変更する	207
RX のファブリック クロック出力制御	212
機能の説明	212
シリアル クロック分周器	213
パラレル クロック分周器およびセレクター	214
ポートおよび属性	214
RXRATE の使用 (GTH トランシーバーのみ)	216
RX のマージン解析	217
機能の説明	217
アイ スキャンの原理	218
アイ スキャンのアーキテクチャ	219
ポートおよび属性	222

RX 極性制御	227
機能の説明	227
ポートおよび属性	227
RX 極性制御の使用	227
RX パターン チェッカー	228
機能の説明	228
ポートおよび属性	228
使用モデル	229
RX バイトおよびワード アライメント	230
機能の説明	230
カンマ アライメントの有効化	230
カンマ パターンの設定	231
カンマ アライメントの有効化	232
アライメント ステータス信号	232
手動アライメント	234
ポートおよび属性	236
RX 8B/10B デコーダー	241
機能の説明	241
8B/10B のビットおよびバイト順序	241
RX ランニング ディスパリティ	243
特殊文字	243
ポートおよび属性	244
8B/10B デコーダーの有効化/無効化	246
RX バッファのバイパス	247
機能の説明	247
ポートおよび属性	248
RX バッファ バイパスの使用モード	252
シングル レーン自動モードでの RX バッファ バイパスの使用 (GTX トランシーバーのみ)	253
シングル レーン自動モードでの RX バッファ バイパスの使用 (GTH トランシーバーのみ)	254
マルチ レーン手動モードでの RX バッファ バイパスの使用 (GTX および GTH トランシーバー)	255
マルチ レーン自動モードでの RX バッファ バイパスの使用 (GTH トランシーバーのみ)	258
RX エラスティック バッファ	262
機能の説明	262
ポートおよび属性	263
RX エラスティック バッファを使用	267
RX クロック コレクション	267
機能の説明	267
ポートおよび属性	269
RX クロック コレクションの使用	275
クロック コレクションの有効化	275
RX エラスティック バッファの制限の設定	275
クロック コレクション シーケンスの設定	276
クロック コレクションのオプション	277
クロック コレクションのモニタリング	277
RX チャネル ボンディング	278
機能の説明	278
ポートおよび属性	279
RX チャネル ボンディングの使用	286
チャネル ボンディングの有効化	286
チャネル ボンディングのモード	286
チャネル ボンディング ポートの接続	286
チャネル ボンディング シーケンスの設定	288
最大スキューの設定	289

チャンネル ボンディングとクロック コレクション間の優先順位.....	290
RX ギアボックス.....	291
機能の説明.....	291
ポートおよび属性.....	291
RX ギアボックスの有効化.....	294
RX ギアボックスの動作モード.....	295
RX ギアボックス ブロックの同期化.....	298
CAUI インターフェイス (GTH トランシーバー).....	301
使用モード.....	301
RX ギアボックス ブロック (GTH トランシーバー).....	301
FPGA RX インターフェイス.....	303
機能の説明.....	303
インターフェイス幅の設定.....	303
RXUSRCLK および RXUSRCLK2 の生成.....	305
ポートおよび属性.....	306

第 5 章 : ボード デザインのガイドライン

概要.....	309
ピンの説明およびデザインのガイドライン.....	309
GTX/GTH トランシーバーのピンの説明.....	309
終端抵抗キャリブレーション回路.....	312
アナログ電源ピン.....	313
基準クロック.....	319
概要.....	319
GTX/GTH トランシーバーの基準クロックのチェック項目.....	320
基準クロックのインターフェイス.....	321
LVDS.....	321
LVPECL.....	322
AC カップリングされた基準クロック.....	322
未使用基準クロック.....	322
基準クロックの電源.....	322
電源およびフィルタリング.....	323
概要.....	323
電圧レギュレータ.....	323
リニア レギュレータおよびスイッチング レギュレータ.....	323
リニア レギュレータ.....	324
スイッチング レギュレータ.....	324
電源分配ネットワーク.....	325
さまざまな段階でのデカップリング.....	325
ダイ.....	325
パッケージ.....	325
PCB (プリント回路基板).....	325
PCB デザインのチェックリスト.....	326

第 6 章 : 使用モデル

PCI Express.....	329
機能の説明.....	329
ポートおよび属性.....	330
PCI Express の使用モード.....	333
PIPE 制御信号.....	334
PCI Express のクロッキング.....	334
基準クロック.....	334
パラレル クロック (PCLK).....	335
PCI Express のリセット.....	338
PCI Express のパワー マネージメント.....	339
PCI Express のレート変更.....	340

Gen1 と Gen2 間のレート変更	340
Gen3 スピードへ、または Gen3 スピードからのレート変更	341
Gen3 スピードへ、または Gen3 スピードからのレート変更時に DRP を使用	342
PCI Express のチャンネル ボンディング	343
ワンホップ チャンネル ボンディングの例	344
デイジー チェーン チャンネル ボンディングの例	344
バイナリツリー チャンネル ボンディングの例	345
チャンネル ボンディングの属性の設定	346
PCI Express のクロック コレクション	348
XAUI の使用モデル	350
機能の説明	350
XAUI の使用モード	350
XAUI クロッキング	351
基準クロック	351
パラレル クロック	351
XAUI のチャンネル ボンディング	353
XAUI のクロック コレクション	355

付録 A : パッケージ別の配置情報

GTX トランシーバー パッケージの配置図	357
FBG484 パッケージの配置図	358
FBG676 パッケージの配置図	359
FBG900 パッケージの配置図	360
FFG676 パッケージの配置図	362
FFG900 パッケージの配置図	363
FFG901 パッケージの配置図	365
FFG1156 パッケージの配置図	369
FFG1157 パッケージの配置図	373
FFG1158 パッケージの配置図	376
FFG1761 パッケージの配置図	382
FFG1927 パッケージの配置図	387
FFG1930 パッケージの配置図	395
FLG1925 パッケージの配置図	398
FHG1761 パッケージの配置図	400
GTH トランシーバー パッケージの配置図	405
FFG1157 パッケージの配置図	406
FFG1158 パッケージの配置図	409
FFG1761 パッケージの配置図	415
FFG1926 パッケージの配置図	420
FFG1927 パッケージの配置図	428
FFG1928 パッケージの配置図	438
FFG1930 パッケージの配置図	448
FLG1926 パッケージの配置図	451
FLG1928 パッケージの配置図	459
FLG1930 パッケージの配置図	471

付録 B : デバイス別の配置情報

付録 C : 8B/10B の符号

付録 D : GTX/GTH トランシーバーの DRP アドレス マップ

このユーザー ガイドについて

ザイリックス 7 シリーズ FPGA には、統合された 3 つの FPGA ファミリがあります。これらはすべて最も低い消費電力を達成するよう設計されており、最適な電力、性能、コストの実現に向けて、標準デザインをファミリ間で拡張させることが可能です。Artix™-7 ファミリは、量産アプリケーション向けに開発され、最も低いコストと消費電力を実現するよう最適化されています。Virtex®-7 ファミリは、最高のシステム性能と容量を提供するよう最適化されています。Kintex™-7 ファミリは、対コスト性能に最も優れた新しいクラスの FPGA です。このユーザー ガイドは、7 シリーズ FPGA GTX/GTH トランシーバーについて説明した技術的なリファレンスです。

この『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』を含む、7 シリーズ FPGA に関するすべての資料は、ザイリックスのウェブサイト (japan.xilinx.com/7) から入手できます。

この資料では、次のことが前提となっています。

- 7 シリーズ FPGA の GTX/GTH トランシーバー チャンネルは、GTX/GTH トランシーバーと略して表記されます。
- GTXE2_CHANNEL/GTHE2_CHANNEL は、1 つの GTX/GTH トランシーバー チャンネルをインスタンス化して使用するインスタンス化プリミティブの名前です。
- GTXE2_COMMON/GTHE2_COMMON は、1 つのクワッド PLL (QPLL) をインスタンス化して使用するプリミティブの名前です。
- クワッド (Q) は、4 つの GTX/GTH トランシーバー チャンネル、1 つの GTXE2_COMMON/GTHE2_COMMON プリミティブ、2 つの差動基準クロック ピン ペア、およびアナログ電源ピンで構成されています。

内容

このユーザー ガイドには、次の章および付録が含まれています。

- [第 1 章「トランシーバーおよびツールの概要」](#)
- [第 2 章「共有機能」](#)
- [第 3 章「トランスミッター」](#)
- [第 4 章「レシーバー」](#)
- [第 5 章「ボード デザインのガイドライン」](#)
- [第 6 章「使用モデル」](#)
- [付録 A「パッケージ別の配置情報」](#)
- [付録 B「デバイス別の配置情報」](#)
- [付録 C「8B/10B の符号」](#)
- [付録 D「GTX/GTH トランシーバーの DRP アドレス マップ」](#)

その他のリソース

その他の資料は、ザイリンクスのウェブサイトから入手できます。

<http://japan.xilinx.com/support/documentation/index.htm>

シリコンやソフトウェア、IP に関するアンサー データベースを検索したり、テクニカル サポートのウェブケースを開く場合は、次のウェブサイトアクセスしてください。

<http://japan.xilinx.com/support>

参考資料

次の資料は、このユーザー ガイドの補足資料として役立ちます。

1. 『高速シリアル I/O をより簡単に使用』

<http://japan.xilinx.com/publications/archives/books/serialio.pdf>

トランシーバーおよびツールの概要

概要および 7 シリーズの機能

7 シリーズ FPGA GTX および GTH トランシーバーは電力効率に優れ、GTX トランシーバーの場合は 500Mb/s ~ 12.5Gb/s、GTH トランシーバーの場合は 13.1Gb/s のライン レートをサポートしています。また、柔軟なコンフィギュレーションが可能であり FPGA のプログラマブル ロジック リソースと密接に統合されています。表 1-1 に、さまざまなアプリケーションに対応するトランシーバーの機能をグループ別に示します。

表 1-1 : 7 シリーズ FPGA GTX および GTH トランシーバーの機能

グループ	機能	GTX	GTH
PCS	異なるライン レート要件をサポートする 2 バイトおよび 4 バイトの内部データバス	X	X
	8B/10B エンコードおよびデコード	X	X
	64B/66B と 64B/67B をサポート	X	X
	カンマ検出およびバイト/ワード アライメント	X	X
	PRBS ジェネレーターおよびチェッカー	X	X
	クロック コレクション/チャネル ボンディング用の FIFO	X	X
	プログラマブル FPGA ロジック インターフェイス	X	X
	100Gb Attachment Unit Interface (CAUI) をサポート		X
	マルチ レーン モードでのバッファ バイパスをネイティブ サポート		X
	外部 VCXO (電圧制御クリスタル オシレーター) の代替になる TX 位相インターポレーター PPM コントローラー		X

表 1-1：7 シリーズ FPGA GTX および GTH トランシーバーの機能 (続き)

グループ	機能	GTX	GTH
PMA	高ジッター性能を実現する、共有 LC タンク型 PLL (位相ロック ループ) を各クワッドに備える	X	X
	クロッキングに優れた柔軟性を与えるリング PLL を各チャネルにそれぞれ 1 つずつ備える	X	X
	低消費電力モード (LPM) と呼ばれる電力効率の優れた適応型リニア イコライザー モード	X	X
	5 タップの判定帰還等化 (DFE)	X	
	7 タップの DFE		X
	拡張バックプレーンをサポートするために反射を排除		X
	TX プリエンファシス	X	X
	プログラマブル送信出力	X	X
	PCI Express [®] デザイン用のビーコン信号	X	X
	SATA デザインに対応する COM 信号を含む OOB 信号伝送	X	X
	最大 12.5Gb/s のライン レートをサポート	X	X
	最大 13.1Gb/s のライン レートをサポート		X

GTX/GTH トランシーバーは、次の使用モードをサポートします。

- PCI Express、リビジョン 1.1/2.0/3.0
- 10GBASE-R
- Interlaken
- 10Gb Attachment Unit Interface (XAUI)、Reduced Pin eXtended Attachment Unit Interface (RXAUI)、100Gb Attachment Unit Interface (CAUI)、40Gb Attachment Unit Interface (XLAUI)
- Common Packet Radio Interface (CPRI[™])/Open Base Station Architecture Initiative (OBSAI)
- OC-48/192
- OTU-1、OTU-2、OTU-3、OTU-4
- Serial RapidIO (SRIO)
- Serial Advanced Technology Attachment (SATA)/Serial Attached SCSI (SAS)
- Serial Digital Interface (SDI)

Virtex-6 FPGA に搭載された旧世代のトランシーバーと比較して、7 シリーズ FPGA の GTX/GTH トランシーバーには次の新しい機能が追加されています。

- 異なるライン レート要件をサポートする 2 バイトおよび 4 バイトの内部データパス
- 高いジッター性能を実現するためのクワッドベースの LC タンク型 PLL (QPLL) およびチャネルベースのリング オシレーター型 PLL
- 低消費電力モード (LPM) と呼ばれる電力効率の優れた適応型リニア イコライザー モードと高性能な適応型判定帰還等化 (DFE) モードで、最大の柔軟性を実現しながらチャネル上での高周波損失を補正
- RX のマージン解析機能で、非破壊的な、イコライゼーション後の 2D アイ スキャンを実現

はじめて使用する場合は、『高速シリアル I/O をより簡単に使用』[参照 1] を参照してください。この資料では、高速シリアル トランシーバーの技術およびその応用例が説明されています。CORE Generator™ ツールには、GTX/GTH トランシーバーをさまざまなプロトコルに応じて自動的に設定するウィザードが含まれており、また、これによってカスタム コンフィギュレーションも可能です。GTX/GTH トランシーバーは広範なデータ レートを提供し、豊富な機能を備えているため、物理層では多様なプロトコルをサポートできます。

24 ページの図 1-1 に、Kintex™-7 デバイス (XC7K325T) における GTX トランシーバーの配置例を示します。このデバイスには 16 個の GTX トランシーバーが搭載されています。

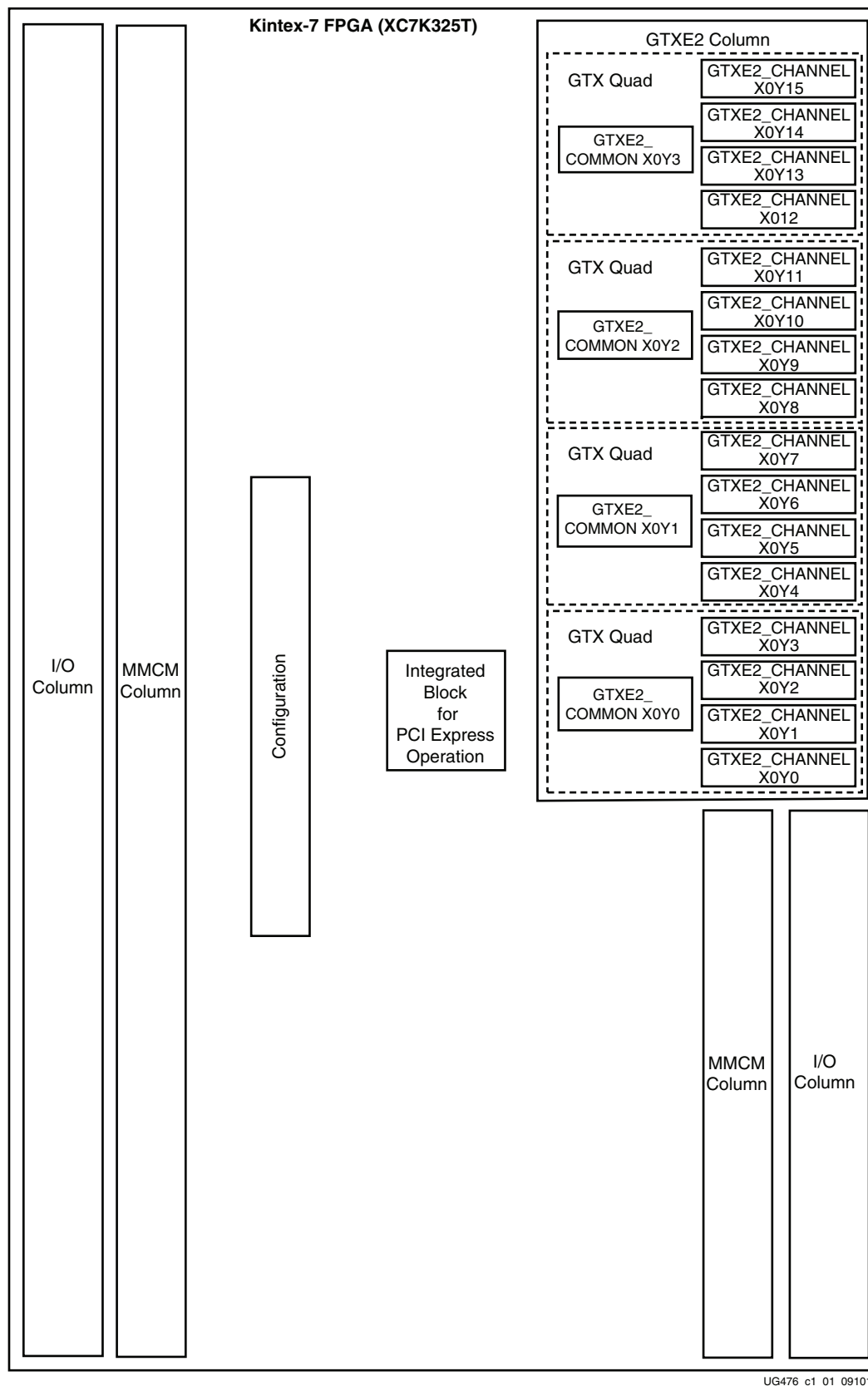


図 1-1 : Kintex-7 XC7K325T FPGA の GTX トランシーバー

7 シリーズ FPGA のファンクションブロックに関するその他の情報は、次の資料を参照してください。

『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』([UG470](#)) では、コンフィギュレーションについて説明しています。

『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』([UG471](#)) では、I/O ブロックについて説明しています。

『7 シリーズ FPGA クロッキング リソース ユーザー ガイド』([UG472](#)) では、MMCM (ミックスド モード クロック マネージャー) およびクロック供給について説明しています。

図 1-2 に、4 つの GTXE2_CHANNEL プリミティブと 1 つの GTXE2_COMMON プリミティブを含むクワッドを示します。

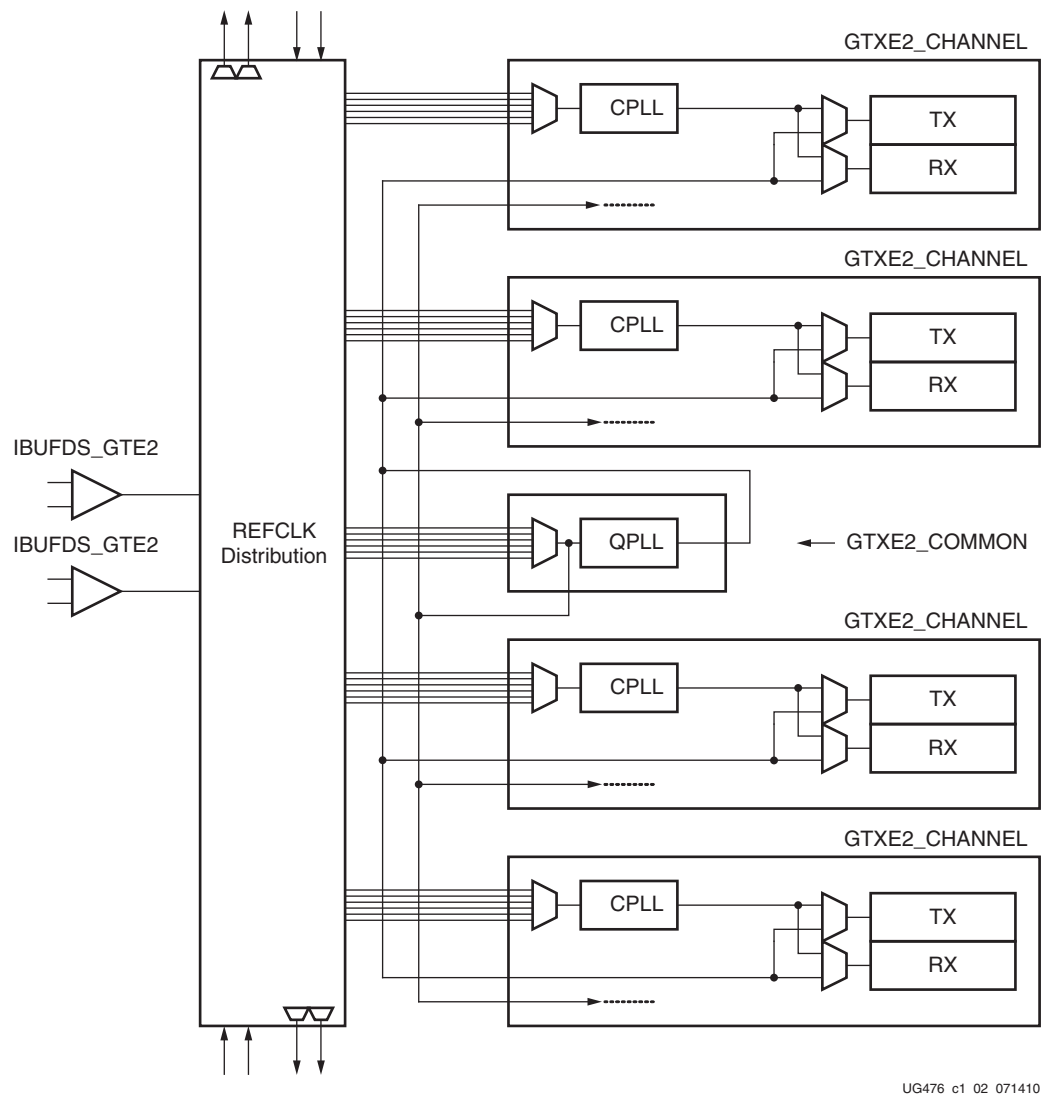


図 1-2 : GTX トランシーバーのクワッド コンフィギュレーション

1 つの GTXE2_COMMON プリミティブと 4 つの GTXE2 チャンネルでクラスター化されたグループをクワッドまたは Q といいます。GTXE2_COMMON プリミティブには、LC タンク型 PLL (QPLL) が含まれています。

各 GTXE2_CHANNEL プリミティブは、チャンネル PLL (CPLL)、トランスミッター、レシーバーをそれぞれ 1 つ備えています。

図 1-3 に、GTXE2_CHANNEL プリミティブのトポロジを示します。

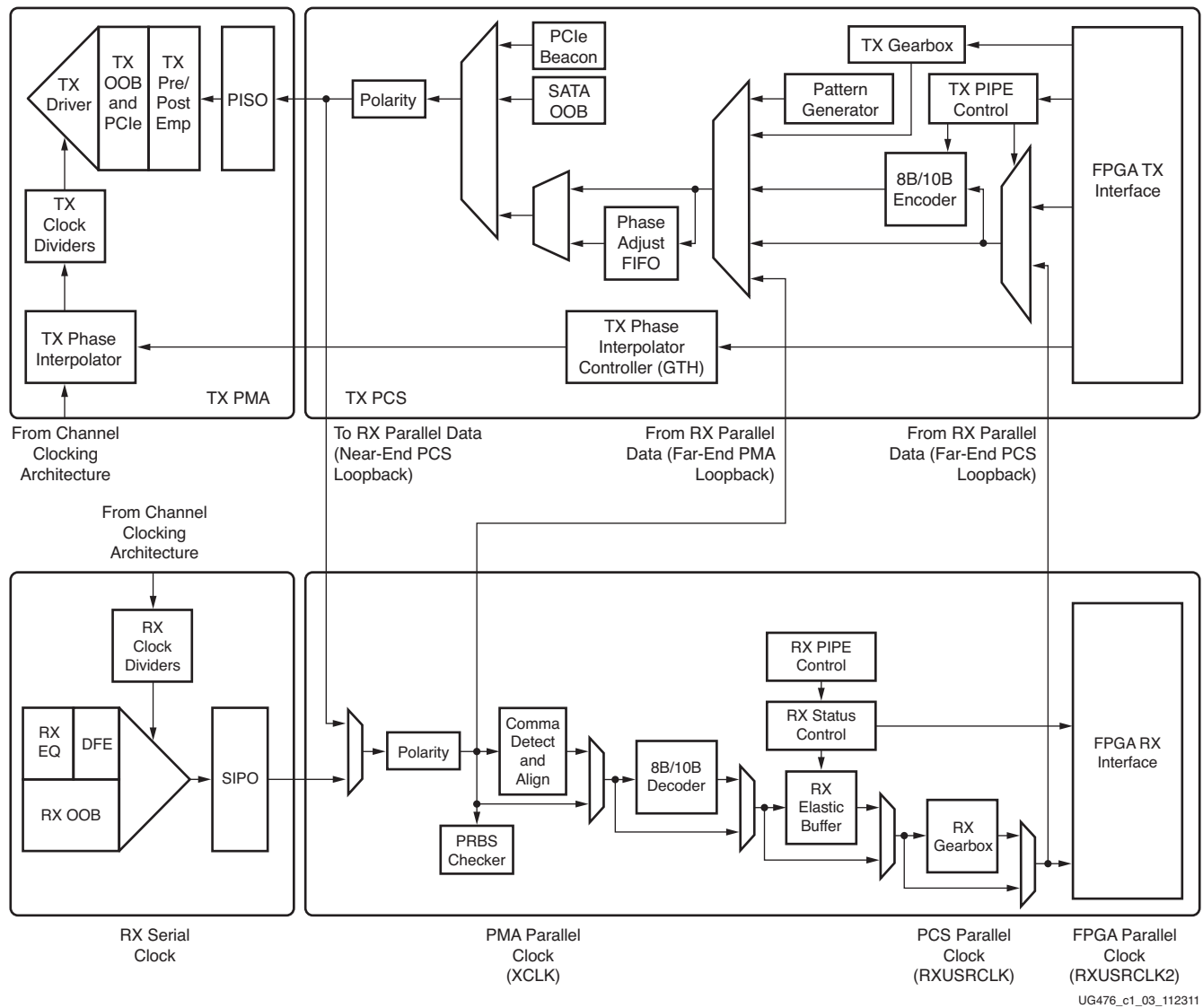


図 1-3 : GTXE2_CHANNEL プリミティブのトポロジ

RX/TX クロック分周器へクロックを供給するチャンネル クロッキング アーキテクチャの詳細は、46 ページの図 2-9 を参照してください。

7 Series FPGA Transceivers Wizard

7 Series FPGA Transceivers Wizard (以降ウィザードと呼ぶ) は、GTX/GTH トランシーバーのプリミティブ (GTXE2 または GTHE2) をインスタンス化する際のラッパー生成に使用できます。このウィザードは、CORE Generator ツールに含まれています。これを使用する前に、必ず最新の IP アップデートをダウンロードしてください。ウィザードの使用方法は、『LogiCORE IP 7 シリーズ FPGA トランシーバー ウィザード製品ガイド』(PG168) を参照してください。

次の手順に従ってウィザードを起動します。

1. CORE Generator ツールを起動します。
2. [FPGA Features and Design] と [IO Interfaces] の下にある [7 Series FPGA Transceivers Wizard] を選択します。

図 1-4 を参照してください。

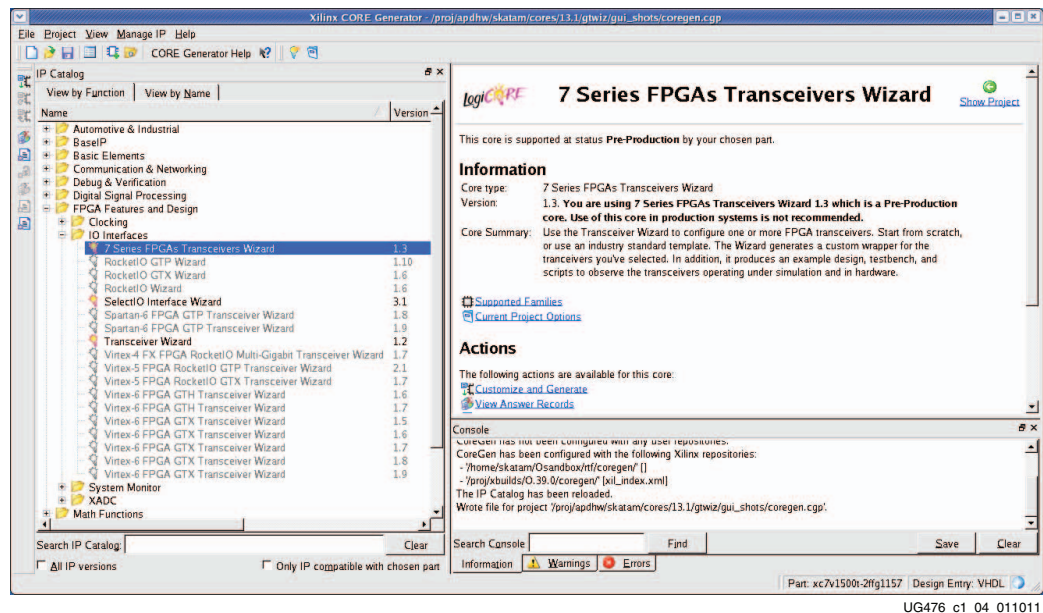


図 1-4 : 7 Series FPGA Transceivers Wizard の画面

3. [7 Series FPGA Transceivers Wizard] をダブルクリックしてウィザードを起動します。

シミュレーション

機能の説明

GTXE2/GTHE2 チャンネル プリミティブと GTXE2/GTHE2 コモン プリミティブを使用するシミュレーションの場合、シミュレーション環境およびテストベンチについて特定の要件があります。使用ハードウェア記述言語 (HDL) に基づいてサポートされるシミュレータの環境設定方法は、最新版の『合成/シミュレーション デザイン ガイド』(UG626) を参照してください。このデザインガイドは、ザイリンクスのウェブサイトからダウンロードできます。

GTXE2/GTHE2 チャンネル プリミティブと GTXE2/GTHE2 コモン プリミティブを使用するデザインのシミュレーションの要件は次のとおりです。

- シミュレータが SecureIP モデルをサポートしている。
つまり、モデル化されたブロックのインプリメンテーションに使用される Verilog HDL の暗号化バージョンをサポートする必要があります。SecureIP は、IP 暗号化方式です。SecureIP モデルをサポートするには、Verilog LRM - IEEE Std 1364-2005 暗号化に準拠するシミュレータが必要です。
- VHDL シミュレーション用の混合言語シミュレータ。
SecureIP モデルは基本的に Verilog を使用します。これらを VHDL デザインで使用する場合は、混合言語シミュレータが必要です。シミュレータは、VHDL および Verilog を同時にシミュレーションすることが要求されます。
- GTX/GTH トランシーバーの SecureIP モデルがインストールされている。
- SecureIP の使用に対応するようにシミュレータが適切に設定されている (初期化ファイル、環境変数)。
- シミュレーション ライブラリ (UNISIM、SIMPRIMS など) を正しい順序でコンパイルする、COMPXLIB を実行できる。
- シミュレータの精度が適切に設定されている (Verilog)。
- シミュレータのユーザー ガイドおよび『合成/シミュレーション デザイン ガイド』(UG626) で、SecureIP をサポートするための設定について詳しく説明。

ポートおよび属性

GTXE2_COMMON および GTXE2_CHANNEL (または GTHE2_COMMON および GTHE2_CHANNEL) プリミティブには、シミュレーション専用のポートはありません。

GTXE2_COMMON の属性

GTXE2_COMMON/GTHE2_COMMON プリミティブには、シミュレーション専用の属性があります。表 1-2 に、シミュレーションでのみ使用される GTXE2_COMMON/GTHE2_COMMON プリミティブの属性を示します。これらの属性名は SIM_ で始まります。

表 1-2 : GTXE2_COMMON//GTHE2_COMMON のシミュレーション専用の属性

属性	タイプ	説明
SIM_QPLLREFCLK_SOURCE	バイナリ	ピンの切り替えを変更する前と後のシミュレーションを可能にします。これにより、ピン切り替えの前後に正しいクロック ソースでブロックをシミュレーションできるようになります。この属性は、QPLLREFCLKSEL[2:0] と同じ値に設定する必要があります。
SIM_RESET_SPEEDUP	ブール型	TRUE (デフォルト) の場合は、近似のリセットシーケンスを使用してシミュレーションのリセット時間を短縮します。これは、リセット時間やシミュレーション時間を高速化する際に使用します。FALSE の場合は、モデルがハードウェア リセット動作を細部にわたってエミュレートします。

表 1-2 : GTXE2_COMMON/GTHE2_COMMON のシミュレーション専用の属性 (続き)

属性	タイプ	説明
SIM_VERSION	実数	シリコンのステッピングと一致させるため、シミュレーション バージョンを選択します。デフォルトは 1.0 です。

GTXE2_CHANNEL/GTHE2_CHANNEL の属性

GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブには、シミュレーション専用の属性があります。表 1-3 に、シミュレーションでのみ使用される GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブの属性を示します。これらの属性名は SIM_ で始まります。

表 1-3 : GTXE2_CHANNEL/GTHE2_CHANNEL のシミュレーション専用の属性

属性	タイプ	説明
SIM_CPLLREFCLK_SEL	バイナリ	ピンの切り替えを変更する前と後のシミュレーションを可能にします。これにより、ピン切り替えの前後に正しいクロックソースでブロックをシミュレーションできるようにします。この属性は、CPLLREFCLKSEL[2:0] と同じ値に設定する必要があります。
SIM_RESET_SPEEDUP	ブール型	TRUE (デフォルト) の場合は、近似のリセット シーケンスを使用してシミュレーションのリセット時間を短縮します。これは、リセット時間やシミュレーション時間を高速化する際に使用します。FALSE の場合は、モデルがハードウェアリセット動作を細部にわたってエミュレートします。
SIM_RECEIVER_DETECT_PASS	ブール型	TRUE または FALSE に設定可能であり、シミュレーションにおいて未接続のレシーバーを使用するか、接続されたレシーバーを使用するか指定します。
SIM_TX_IDLE_DRIVE_LEVEL	文字列	0、1、X、または Z に設定可能であり、外部プルアップ抵抗を使用して、電氣的アイドル状態のシミュレーションや受信検出が可能です。デフォルトは X です。
SIM_VERSION	実数	シリコンのステッピングと一致させるため、シミュレーション バージョンを選択します。デフォルトは 1.0 です。

インプリメンテーション

機能の説明

このセクションでは、デザインにインスタンス化された 7 シリーズ GTX/GTH トランシーバーをデバイス リソースにマップする際に必要な情報を提供します。

- 利用可能なデバイス/パッケージの組み合わせにおける GTX/GTH トランシーバー クワッドの位置
- 各 GTX/GTH トランシーバー クワッドに関連する外部信号のパッド番号
- デザインにインスタンス化した GTX/GTH トランシーバー チャネル、GTXE2_COMMON/GTHE2_COMMON プリミティブ、およびクロック リソースが、ユーザー制約ファイル (UCF) を使用してどのようにしてマップされるか

通常、GTX/GTH トランシーバー クワッドの位置は設計プロセスの初期段階で指定します。クロック リソースを適切に使用し、ボード設計時のシグナル インテグリティの解析を容易にするため、インプリメンテーション フローでは UCF 内で配置制約を使用することによって、この指定を円滑に行います。

このセクションでは、GTX/GTH トランシーバーのクロッキング コンポーネントをインスタンス化する方法について説明します。

各 GTX/GTH トランシーバー チャネルと共通プリミティブの位置は、列番号とその列内での位置を表す XY 座標を使用して指定します。現時点でリリースされている 7 シリーズ ファミリーでは、すべての GTX/GTH トランシーバー クワッドがダイの一边に沿って 1 列に配置されています。

X0Y0 座標のトランシーバーは、与えられたデバイス/パッケージの組み合わせで一番下に位置するバンクの最も下に配置されます。

GTX/GTH トランシーバーを使用するデザインの UCF の生成方法は 2 とおりありますが、7 Series FPGA Transceivers Wizard の使用を推奨します。ウィザードでトランシーバーをコンフィギュレーションし、GTX/GTH トランシーバーの配置情報のプレースホルダーを含む UCF テンプレートを自動的に生成します。この方法で生成された UCF は編集可能で、パラメーターや配置情報をアプリケーション用にカスタマイズできます。

UCF 生成のもう 1 つの方法は手書きによるものです。この方法で作成する場合、トランシーバーの動作を制御するコンフィギュレーション属性およびタイル位置のパラメーターの両方を入力する必要があります。GTX/GTH トランシーバーのコンフィギュレーションに必要なすべてのパラメーターを確実に入力するよう、十分に注意してください。

LC タンク型 PLL が必要なアプリケーションでは、GTXE2_COMMON/GTHE2_COMMON プリミティブを、[図 1-5](#) に示すようにインスタンスエートする必要があります (この図には GTXE2_COMMON のコンフィギュレーションが示されている)。

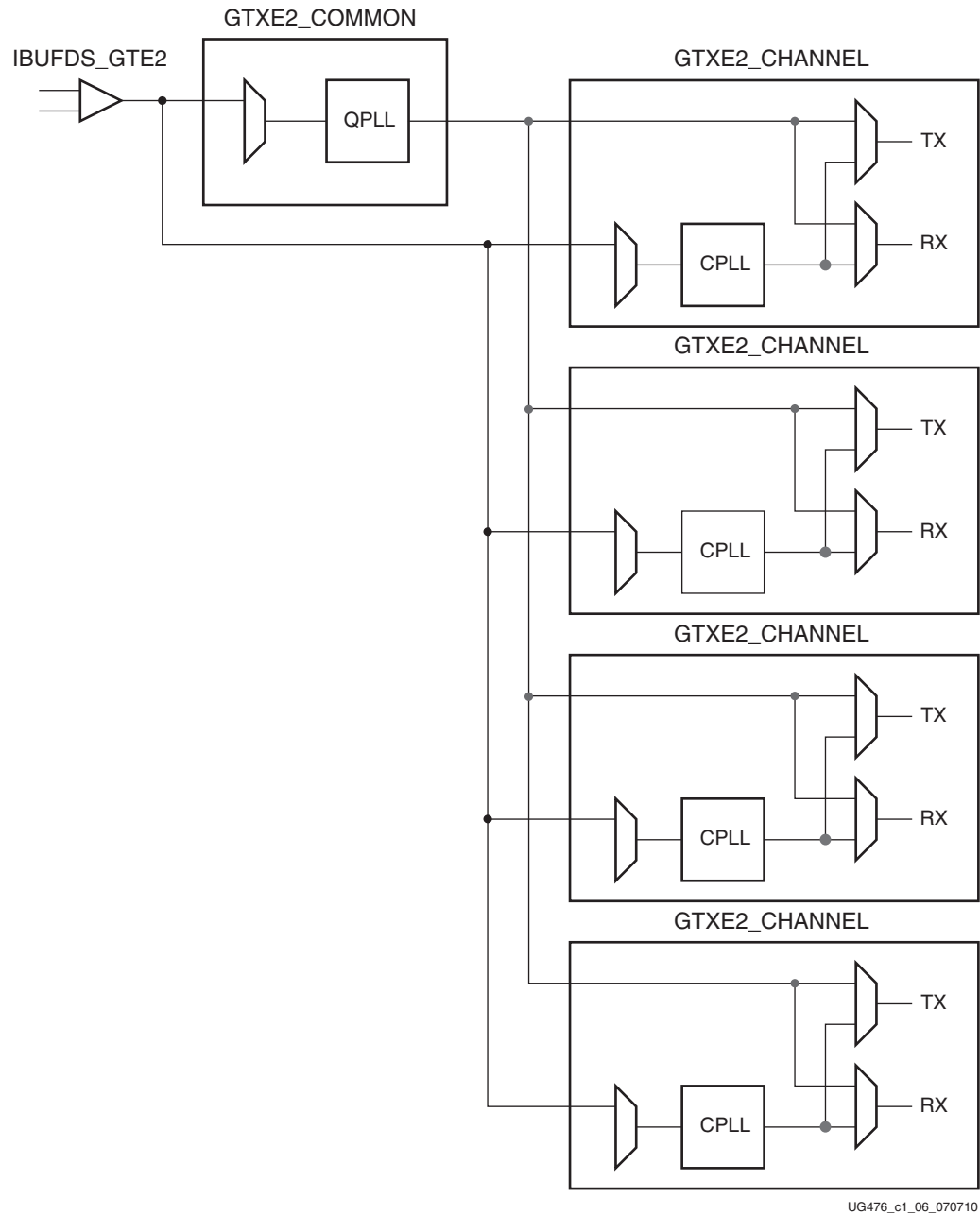


図 1-5 : 4 つのチャンネルのコンフィギュレーション
(GTXE2_COMMON の QPLL から基準クロックが供給される)

デバイス/パッケージ別のシリアル トランシーバー チャンネル

『7 シリーズ FPGA パッケージおよびピン配置ガイド』([UG475](#)) を参照してください。

共有機能

基準クロック入力の構造

機能の説明

図 2-1 に、基準クロック入力の構造を示します。入力は両端が 4/5 MGTAVCC に接続された 50Ω で内部終端されています。基準クロックは、IBUFDS_GTE2 ソフトウェア プリミティブにインスタンス化されています。基準クロック入力を制御するポートおよび属性は、IBUFDS_GTE2 ソフトウェア プリミティブへ接続されています。

図 2-1 に、基準クロック入力バッファの内部構造を示します。

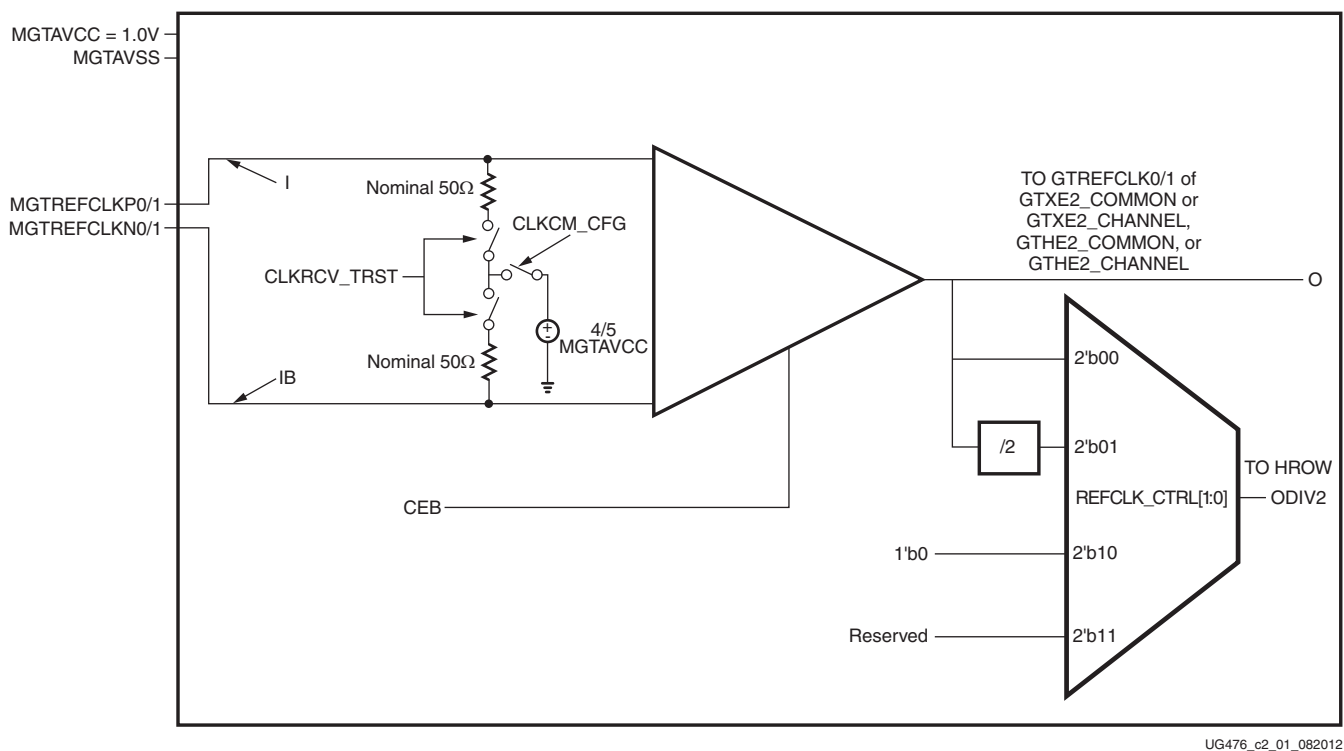


図 2-1 : 基準クロック入力の構造

ポートおよび属性

表 2-1 に、IBUFDS_GTE2 ソフトウェアプリミティブの基準クロック入力ポートを示します。

表 2-1：基準クロック入力ポート (IBUFDS_GTE2)

ポート	方向	クロックドメイン	説明
I IB	入力 (パッド)	N/A	GTREFCLK0P/GTREFCLK0N および GTREFCLK1P/GTREFCLK1P ヘマッパされる、基準クロック入力ポートです。
CEB	入力	N/A	クロックバッファ用アクティブ Low の非同期クロックイネーブル信号です。この信号が High になると、クロックバッファへの電力供給が停止します。
O	出力	N/A	GTXE2_COMMON/GTHE2_COMMON または GTXE2_CHANNEL/GTHE2_CHANNEL ソフトウェアプリミティブの GTREFCLK [0/1] 信号を駆動します。さらに、HROW 配線を介して CMT (PLL、MMCM、または BUFMRCE)、BUFH、または BUFG も駆動できます。しかし、デザインでは O または ODIV2 ポートのいずれかが使用できます。詳細は、 35 ページの「基準クロックの選択および分配」 を参照してください。
ODIV2 ⁽¹⁾	出力	N/A	これは O 信号を 2 分周した出力です。HROW 配線を介して CMT (PLL、MMCM、または BUFMRCE)、BUFH、または BUFG を駆動できます。しかし、デザインでは O または ODIV2 ポートのいずれかが使用できます。この選択は、ポート O または ODIV2 が接続されているかに基づきソフトウェアによって制御されます。詳細は、 35 ページの「基準クロックの選択および分配」 を参照してください。

注記：

1. O 出力と ODIV2 出力は、互いに位相一致の関係にありません。

表 2-2 に、基準クロック入力を構成する IBUFDS_GTE2 ソフトウェアプリミティブの属性を示します。

表 2-2：基準クロック入力の属性 (IBUFDS_GTE2)

属性	タイプ	説明
CLK_RCV_TRST	ブール型	予約。信号パスの 50Ω 抵抗で切り替わります。常に TRUE に設定する必要があります。
CLKCM_CFG	ブール型	予約。信号パスの 50Ω 抵抗の終端電圧で切り替わります。常に TRUE に設定する必要があります。
CLKSWING_CFG[1:0]	ブール型	予約。クロックの内部振幅を制御します。常に 2'b11 に設定する必要があります。

使用モード：基準クロック終端

基準クロック入力は、外部で AC カップリングされています。これには、表 2-3 に示すピンおよび属性の設定が必要です。

表 2-3：ポートおよび属性の設定

入力の種類	設定
ポート	CEB = 0
属性	CLKRCV_TRST = TRUE CLKCM_CFG = TRUE CLKSWING_CFG = 2'b11

基準クロックの選択および分配

機能の説明

7 シリーズ FPGA の GTX/GTH トランシーバーには複数の基準クロック入力オプションがあります。クロックの選択や可用性は Virtex-6 FPGA GTX/GTH トランシーバーと同じですが、7 シリーズ FPGA GTX/GTH トランシーバーの基準クロッキング アーキテクチャは、LC タンク型 PLL (QPLL) とリング オシレーター (PLL) 型 PLL の両方をサポートしています。

構造的には、クワッド (Q) と呼ばれるグループの中に 4 つの GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブ、1 つの GTXE2_COMMON/GTHE2_COMMON プリミティブ、2 つの専用の外部基準クロック ピン ペア、および専用の基準クロック配線が含まれています。GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブは、各トランシーバーにインスタンス化される必要があります。高性能 QPLL が必要な場合は、GTXE2_COMMON/GTHE2_COMMON プリミティブのインスタンス化も必要です。クワッド (Q(n)) の基準クロックは一般に、GTNORTHREFCLK を介して下のクワッド (Q(n-1)) から、または GTSOUTHREFCLK を介して上のクワッド (Q(n+1)) から供給できます。スタックド シリコン インターコネクト (SSI) テクノロジをサポートするデバイスの場合、GTNORTHREFCLK および GTSOUTHREFCLK ポートを介する基準クロックの共有は、デバイス自身の SLR (Super Logic Region) 内に制限されています。SSI テクノロジの詳細は、『Kintex-7 FPGA データシート：DC 特性およびスイッチ特性』(DS182) および『Virtex-7 FPGA データシート：DC 特性およびスイッチ特性』(DS183) を参照してください。

基準クロックの特徴は次のとおりです。

- 上下方向へクロック配線
- QPLL または CPLL へ柔軟にクロックを入力
- QPLL または CPLL の基準クロックを静的または動的に選択可能

24 ページの図 1-1 に、4 つの GTX/GTH トランシーバー、2 つの専用基準クロック ピン ペア、および専用の上下方向の基準クロック配線を持つクワッド アーキテクチャを示します。1 つのクワッド内にある各 GTX/GTH トランシーバー チャンネルには 6 つのクロック入力があります。

- 2 つのローカル基準クロック ピン ペア、GTREFCLK0 または GTREFCLK1
- 上にあるクワッドから受ける 2 つの基準クロック ピン ペア (GTSOUTHREFCLK0 または GTSOUTHREFCLK1)
- 下にあるクワッドから受ける 2 つの基準クロック ピン ペア (GTNORTHREFCLK0 または GTNORTHREFCLK1)

図 2-2 に、単一 GTXE2_COMMON/GTHE2_COMMON プリミティブ内にある基準クロックのマルチプレクサー構造図を示します。このマルチプレクサーへ複数の基準クロック ソースを接続する場合には、QPLLREFCLKSEL ポートが必要です。通常は、単一基準クロックの使用が最も一般的です。この場合、QPLLREFCLKSEL ポートを 3'b001 に接続します。複雑なマルチプレクサーおよび関連配線の処理は、ザイリンクスのソフトウェア ツールで実行されます。

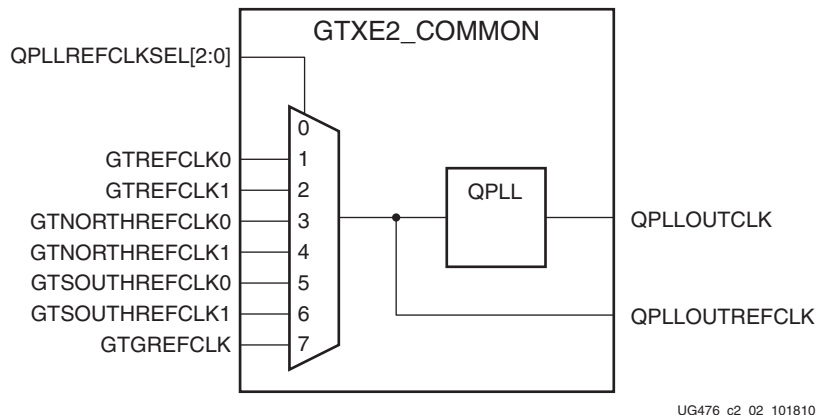


図 2-2：QPLL の基準クロック 選択マルチプレクサー

同様に、図 2-3 に、単一 GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブ内にある基準クロックのマルチプレクサー構造図を示します。このマルチプレクサーへ複数の基準クロック ソースを接続する場合には、CPLLREFCLKSEL ポートが必要です。通常は、単一基準クロックの使用が最も一般的です。この場合、CPLLREFCLKSEL ポートを 3'b001 に接続します。複雑なマルチプレクサーおよび関連配線の処理は、ザイリンクス ツールで実行されます。

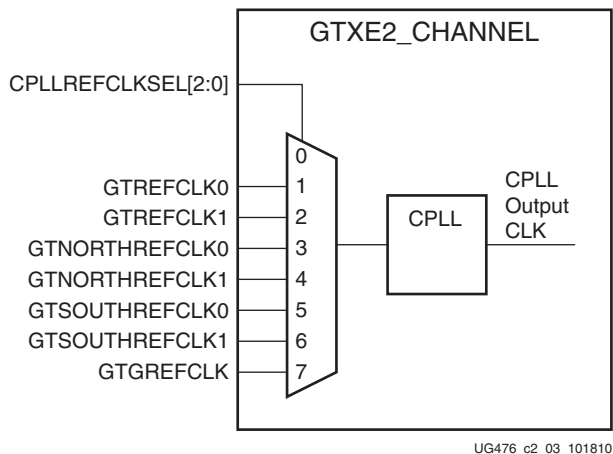


図 2-3：CPLL の基準クロック選択マルチプレクサー

ポートおよび属性

表 2-4 から 40 ページの表 2-7 に、GTXE2_CHANNEL/GTHE2_CHANNEL および GTXE2_COMMON/GTHE2_COMMON プリミティブのクロック ポートと属性を示します。

表 2-4 : GTXE2_CHANNEL/GTHE2_CHANNEL のクロック ポート

ポート	方向	クロック ドメイン	説明
CPLLREFCLKSEL[2:0]	入力	非同期	<p>チャンネル PLL の入力基準クロックを動的に選択するための入力です。チャンネル PLL の基準クロック選択マルチプレクサーへクロック ソース 1 つのみを接続する場合は、この入力を 3'b001 に接続してください。</p> <p>基準クロック入力の変更後は、チャンネル PLL をリセットする必要があります。</p> <p>000 : 予約</p> <p>001 : GTREFCLK0 を選択</p> <p>010 : GTREFCLK1 を選択</p> <p>011 : GTNORTHREFCLK0 を選択</p> <p>100 : GTNORTHREFCLK1 を選択</p> <p>101 : GTSOUTHREFCLK0 を選択</p> <p>110 : GTSOUTHREFCLK1 を選択</p> <p>111 : GTGREFCLK を選択</p>
GTGREFCLK	入力	クロック	FPGA 内部のロジックで生成される基準クロックです。内部テスト専用です。
GTNORTHREFCLK0	入力	クロック	下のクワッドから上方向へのクロックです。
GTNORTHREFCLK1	入力	クロック	下のクワッドから上方向へのクロックです。
GTREFCLK0	入力	クロック	IBUFDS_GTE2 で駆動されるチャンネル PLL 用の外部クロックです。詳細は、 320 ページの「GTX/GTH トランシーバーの基準クロックのチェック項目」 を参照してください。
GTREFCLK1	入力	クロック	IBUFDS_GTE2 で駆動されるチャンネル PLL 用の外部クロックです。詳細は、 320 ページの「GTX/GTH トランシーバーの基準クロックのチェック項目」 を参照してください。
GTSOUTHREFCLK0	入力	クロック	上のクワッドから下方向へのクロックです。
GTSOUTHREFCLK1	入力	クロック	上のクワッドから下方向へのクロックです。
QPLLCLK	入力	クロック	高性能クワッド PLL からのクロック入力です。高性能クワッド PLL を使用して TX や RX チャンネルを駆動する場合は、GTXE2_COMMON/GTHE2_COMMON プリミティブからの QPLLOUTCLK を、このポートへ接続する必要があります。

表 2-4 : GTXE2_CHANNEL/GTHE2_CHANNEL のクロック ポート (続き)

ポート	方向	クロック ドメイン	説明
QPLLREFCLK	入力	クロック	このポートは、GTX2_COMMON/GTH2_COMMON の QPLLOUTREFCLK ポートへ接続します。
RXSYSCLKSEL[1:0]	入力	非同期	<p>RX データパスを駆動する基準クロック ソースを選択します。</p> <p>RXSYSCLKSEL[0] = 1'b0 (CPLL) RXSYSCLKSEL[0] = 1'b1 (QPLL)</p> <p>RXOUTCLK を駆動する基準クロック ソースを選択します。</p> <p>RXSYSCLKSEL[1] = 1'b0 (GTXE2_CHANNEL または GTHE2_CHANNEL からの基準クロック) RXSYSCLKSEL[1] = 1'b1 (GTXE2_COMMON または GTHE2_COMMON からの基準クロック)</p>
TXSYSCLKSEL[1:0]	入力	非同期	<p>TX データパスを駆動する基準クロック ソースを選択します。</p> <p>TXSYSCLKSEL[0] = 1'b0 (CPLL) TXSYSCLKSEL[0] = 1'b1 (QPLL)</p> <p>TXOUTCLK を駆動する基準クロック ソースを選択します。</p> <p>TXSYSCLKSEL[1] = 1'b0 (GTXE2_CHANNEL または GTHE2_CHANNEL からの基準クロック) TXSYSCLKSEL[1] = 1'b1 (GTXE2_COMMON または GTHE2_COMMON からの基準クロック)</p>
GTREFCLKMONITOR	出力	クロック	CPLL の基準クロック選択マルチプレクサーの出力です。

表 2-5 : GTXE2_CHANNEL/GTHE2_CHANNEL クロックの属性

属性	タイプ	説明
SIM_CPLLREFCLK_SEL	3 ビット バイナリ	シミュレーション用のチャンネル PLL 基準クロックを選択します。CPLLREFCLKSEL[2:0] ポートと同じバイナリ値である必要があります。
OUTREFCLK_SEL_INV	1 ビット バイナリ	<p>GTREFCLKMONITOR 出力用の信号を選択します。</p> <p>0 : GTREFCLKMONITOR の非反転出力 1 : GTREFCLKMONITOR の反転出力</p>

表 2-6 : GTXE2_COMMON/GTHE2_COMMON のクロック ポート

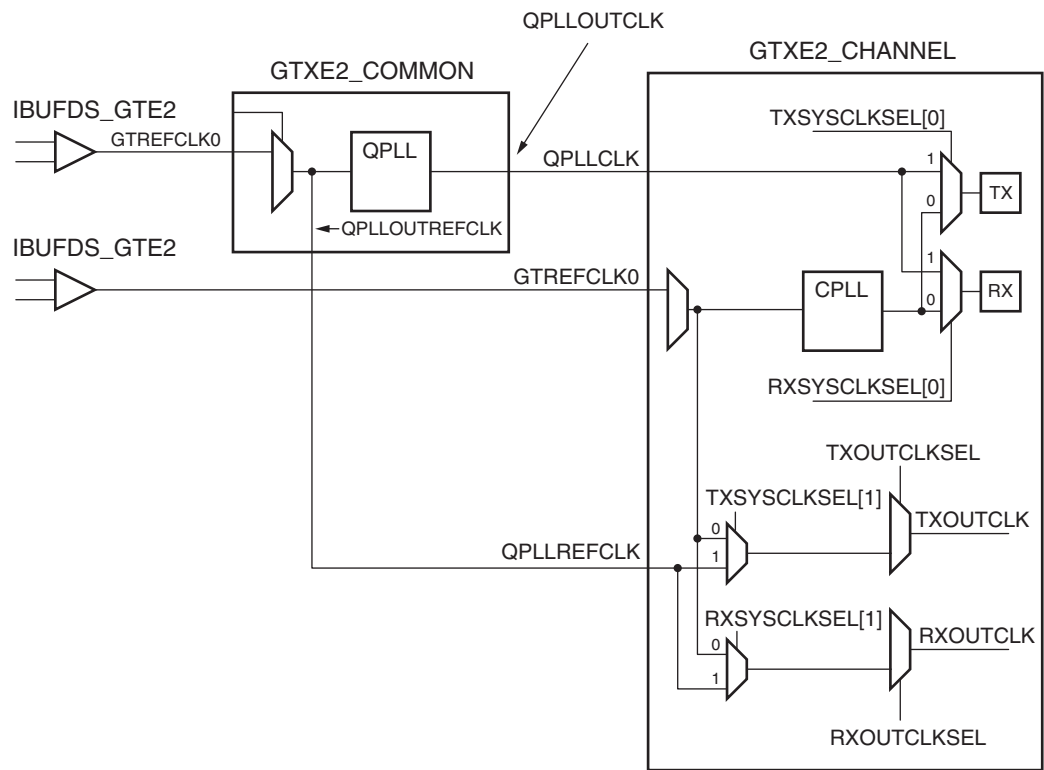
ポート	方向	クロック ドメイン	説明
GTGREFCLK	入力	クロック	FPGA 内部のロジックで生成される基準クロックです。内部テスト専用です。
GTNORTHREFCLK0	入力	クロック	下のクワッドから上方向へのクロックです。
GTNORTHREFCLK1	入力	クロック	下のクワッドから上方向へのクロックです。
GTREFCLK0	入力	クロック	IBUFDS_GTE2 で駆動されるクワッド PLL 用の外部クロックです。詳細は、 320 ページ の「GTX/GTH トランシーバーの基準クロックのチェック項目」を参照してください。
GTREFCLK1	入力	クロック	IBUFDS_GTE2 で駆動されるクワッド PLL 用の外部クロックです。詳細は、 320 ページ の「GTX/GTH トランシーバーの基準クロックのチェック項目」を参照してください。
GTSOUTHREFCLK0	入力	クロック	上のクワッドから下方向へのクロックです。
GTSOUTHREFCLK1	入力	クロック	上のクワッドから下方向へのクロックです。
QPLLOUTCLK	出力	クロック	高性能クワッド PLL のクロック出力です。トランスミッターまたはレシーバーで高性能クワッド PLL クロック ソースが必要な場合は、このポートを GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブの QPLLCLK ポートに接続してください。
QPLLOUTREFCLK	出力	クロック	このポートは、GTX2_CHANNEL/GTH2_CHANNEL の QPLLREFCLK ポートへ接続します。
QPLLREFCLKSEL[2:0]	入力	非同期	クワッド PLL の入力基準クロックを動的に選択するための入力です。クワッド PLL の基準クロック選択マルチプレクサーへクロック ソース 1 つのみを接続する場合は、この入力を 3'b001 に接続してください。 基準クロック入力の変更後は、クワッド PLL をリセットする必要があります。 000 : 予約 001 : GTREFCLK0 を選択 010 : GTREFCLK1 を選択 011 : GTNORTHREFCLK0 を選択 100 : GTNORTHREFCLK1 を選択 101 : GTSOUTHREFCLK0 を選択 110 : GTSOUTHREFCLK1 を選択 111 : GTGREFCLK を選択
REFCLKOUTMONITOR	出力	クロック	QPLL 基準クロック選択マルチプレクサーの出力です。

表 2-7 : GTXE2_COMMON/GTHE2_COMMON のクロック属性

属性	タイプ	説明
SIM_QPLLREFCLK_SEL	3 ビット バイナリ	シミュレーションでクワッド PLL 基準クロックを選択します。QPLLREFCLKSEL[2:0] ポートと同じバイナリ値を含む必要があります。

外部基準クロックを使用する場合

各クワッドには、外部クロックソースへ接続可能な専用の差動基準クロック入力があります。これらの専用基準クロックピンペアを使用する際には、IBUFDS_GTE2 プリミティブをインスタンス化する必要があります。ユーザーデザインでは、IBUFDS_GTE2 出力 (O) を基準クロック選択マルチプレクサーが配置されている GTXE2_COMMON/GTHE2_COMMON または GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブの GTREFCLK0/GTREFCLK1 ポートへ接続します。ラインレート要件に応じて、QPLL または CPLL のいずれかを柔軟に使い分けて TX または RX データパスを駆動できます。



UG476_c2_04_101810

図 2-4 : 外部基準クロックを使用する場合

外部基準クロックを 1 つ使用する場合

各クワッドには、外部クロック ソースへの接続を可能にする専用の 2 つの差動基準クロック入力ピン (MGTREFCLK0[P/N] または MGTREFCLK1[P/N]) があります。1 つの外部基準クロックを使用するモデルでは、IBUFDS_GTE2 をインスタンス化して専用の差動基準クロック ソースのうち 1 つを利用する必要があります。

図 2-5 に、シングル クワッド内にある複数のトランシーバーへ接続される 1 つの外部基準クロックを示します。ユーザー デザインでは、GTX トランシーバーの場合は IBUFDS_GTE2 出力 (O) を GTXE2_COMMON および GTXE2_CHANNEL プリミティブの GTREFCLK0 ポートへ接続し、GTH トランシーバーの場合は GTHE2_COMMON および GTHE2_CHANNEL プリミティブの GTREFCLK0 ポートへ接続します。

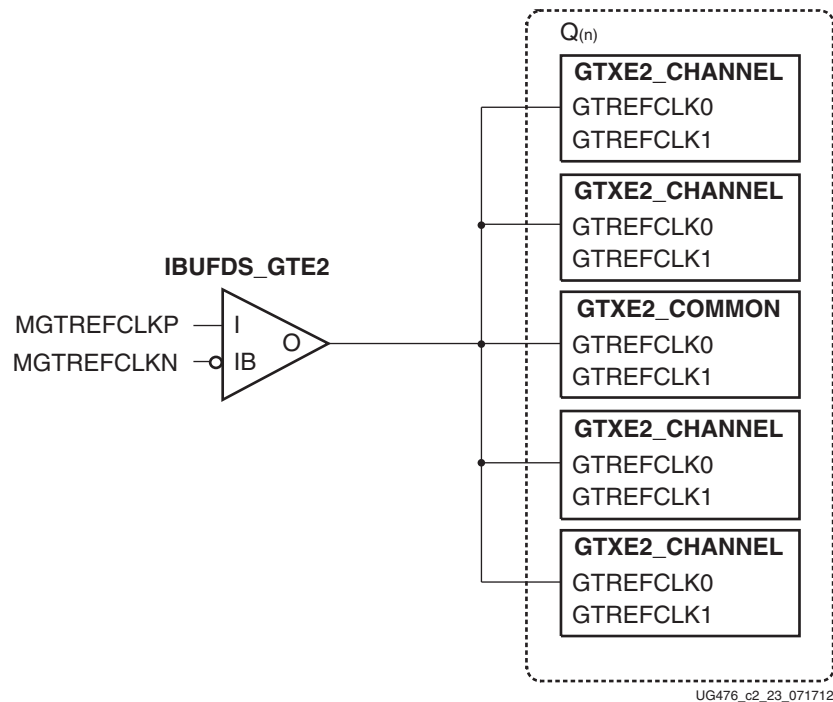


図 2-5: シングル クワッドにある複数のトランシーバーを使用する 1 つの外部基準クロック

注記: 図 2-5 に示す IBUFDS_GTE2 の図は、簡略化されたものです。出力ポート ODIV2 はフローティングのままにしておき、入力ポート CEB はロジック 0 に設定します。

図 2-6 に、複数のクワッドにある複数のトランシーバーへ接続される 1 つの外部基準クロックを示します。ユーザー デザインでは、GTX トランシーバーの場合は IBUFDS_GTE2 出力 (O) を GTXE2_COMMON および GTXE2_CHANNEL プリミティブの GTREFCLK0 ポートへ接続し、GTH トランシーバーの場合は GTHE2_COMMON および GTHE2_CHANNEL プリミティブの GTREFCLK0 ポートへ接続します。この場合、ザイリンクスのインプリメンテーション ツールは必要に応じてピンを切り替えて基準クロックを 1 つのクワッドから別のクワッドへ接続し、また南北 (上下) 配線への必要な調整も行います。

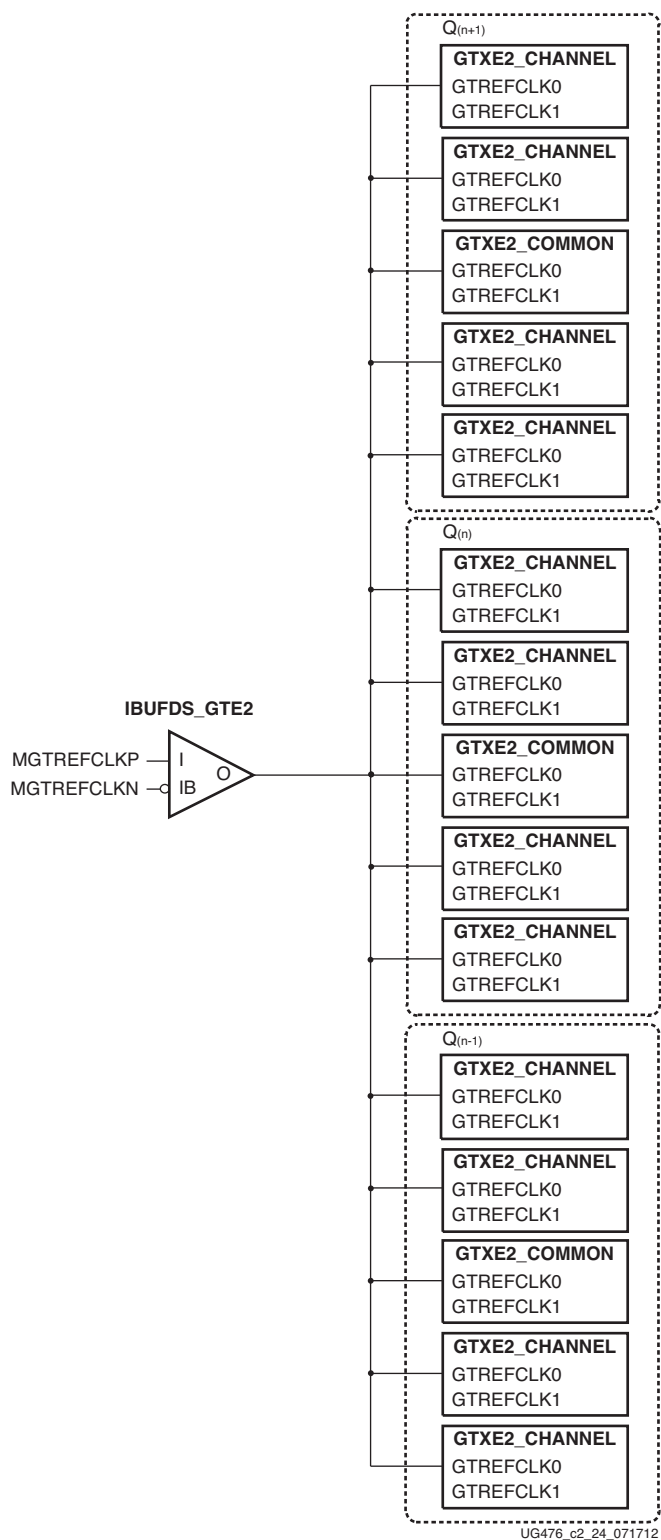


図 2-6：複数クワッドにあり複数のトランシーバーを使用する 1 つの外部基準クロック

注記：図 2-6 に示す IBUFDS_GTE2 の図は、簡略化されたものです。出力ポート ODIV2 はフローティングのままにしておき、入力ポート CEB はロジック 0 に設定します。

基準クロックを共有する場合、このようなコンフィギュレーションで発生するジッターを高速デザインのジッター マージン要件内に抑えるには、次の規則に従う必要があります。

- ソースとなっているクワッドの上にあるクワッド数は最大 1 つまで。
- ソースとなっているクワッドの下にあるクワッド数は最大 1 つまで。
- 外部クロック ピン ペア (MGTREFCLKN/MGTREFCLKP) をクロック ソースとするクワッドの合計数は最大 3 つまで (最大 12 トランシーバーまで)。

1 組のクロック ピン ペアでは、最大 12 のトランシーバーへクロックを供給できます。13 以上のトランシーバーを使用するデザインでは、複数の外部クロック ピンを使用してジッター制御の規則を確実に満たすようにしてください。複数のクロック ピンを使用する場合、これらのピンは外部バッファを使用して同じオシレーターから駆動できます。

複数の外部基準クロックを使用する場合

各クワッドには、外部クロック ソースへの接続を可能にする専用の 2 つの差動基準クロック入力ピン (MGTREFCLK0[P/N] または MGTREFCLK1[P/N]) があります。複数の外部基準クロックを使用する場合は、専用基準クロック リソースを使用するために、専用基準クロック ピン ペアを対応する IBUFDS_GTE2 プリミティブにインスタンス化する必要があります。

1 つ目の外部基準クロック (MGTREFCLK0[P/N]) は、GTX トランシーバーの場合は IBUFDS_GTE2 出力 (O) を GTXE2_COMMON および GTXE2_CHANNEL プリミティブの GTREFCLK0 ポートへ接続し、GTH トランシーバーの場合は GTHE2_COMMON および GTHE2_CHANNEL プリミティブの GTREFCLK0 ポートへ接続します。2 つ目の外部基準クロック (MGTREFCLK1[P/N]) も同様に、GTX トランシーバーの場合は IBUFDS_GTE2 出力 (O) を GTXE2_COMMON および GTXE2_CHANNEL プリミティブの GTREFCLK1 ポートへ接続し、GTH トランシーバーの場合は GTHE2_COMMON および GTHE2_CHANNEL プリミティブの GTREFCLK1 ポートへ接続します。

各クワッドの QPLL および各トランシーバーの CPLL は、シングル クワッドの MGTREFCLK0[P/N] または MGTREFCLK1[P/N] のいずれかをソースとします (図 2-7)。ユーザーは、QPLLREFCLKSEL[2:0] および CPLLREFCLKSEL[2:0] をそれぞれの値に設定し、基準クロックのソースを選択できます。

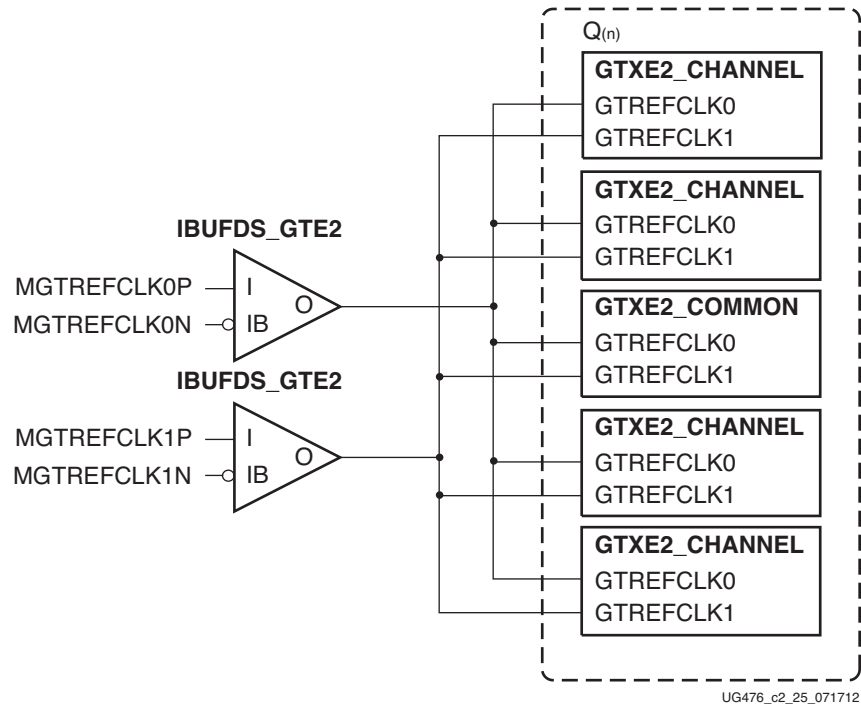


図 2-7：シングル クワッドにある複数の基準クロックを使用する複数の GTX トランシーバー

注記：図 2-7 に示す IBUFDS_GTE2 の図は、簡略化されたものです。出力ポート ODIV2 はフローティングのままにしておき、入力ポート CEB はロジック 0 に設定します。

基準クロックの選択は柔軟性に優れているため、クワッド内の各トランシーバーは、上下にあるクワッドの専用基準クロックを使用することが可能です。図 2-8 では、NORTHREFCLK と SOUTHREFCLK ポートを使用して、あるクワッドのトランシーバーが別のクワッドの専用基準クロックへアクセスする例を示します。GTX または GTH の各トランシーバー PLL に対して複数の基準クロック オプションがある場合、ユーザー デザインではデザイン要件に応じて QPLLREFCLKSEL[2:0] および CPLLREFCLKSEL[2:0] を設定する必要があります。

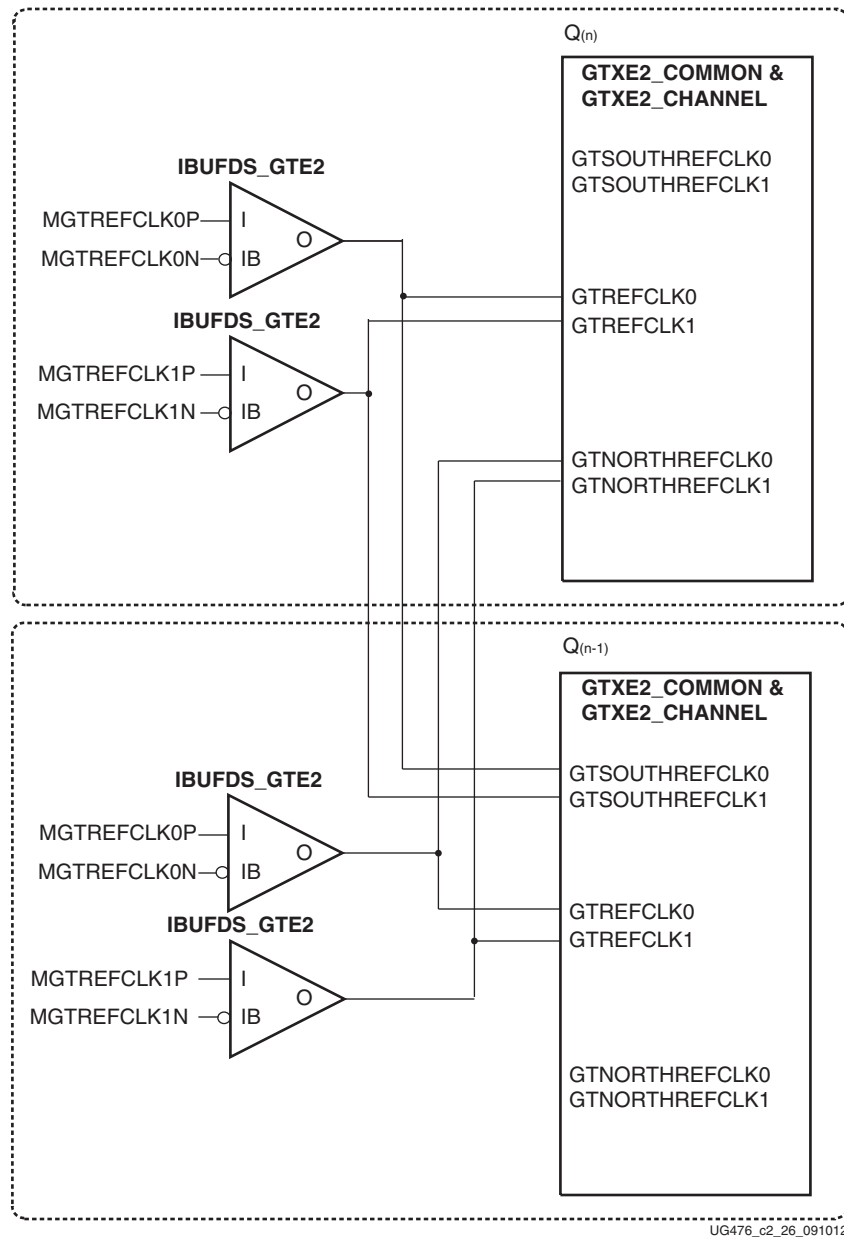


図 2-8 : 異なるクワッドにある複数の基準クロックを使用する複数の GTX トランシーバー

図 2-8 について説明します。

1. QPLLREFCLKSEL[2:0]/CPLLREFCLKSEL[2:0] を使用して GTREFCLK0/1、GTNORTHREFCLK0/1、および GTSOUTHREFCLK0/1 を選択します。
2. IBUFDS_GTE2 の図は簡略化されたものです。出力ポート ODIV2 はフローティングのままにしておき、入力ポート CEB はロジック 0 に設定します。

基準クロックを共有する場合、このようなコンフィギュレーションで発生するジッターを高速デザインのジッター マージン要件内に抑えるには、次の規則に従う必要があります。

- ソースとなっているクワッドの上にあるクワッド数は最大 1 つまで。
- ソースとなっているクワッドの下にあるクワッド数は最大 1 つまで。
- 外部クロック ピン ペア (MGTREFCLKN/MGTREFCLKP) をクロック ソースとするクワッドの合計数は最大 3 つまで (最大 12 トランシーバーまで)。

1 組のクロック ピン ペアでは、最大 12 のトランシーバーへクロックを供給できます。13 以上のトランシーバーを使用するデザインでは、複数の外部クロック ピンを使用してジッター制御の規則を確実に満たすようにしてください。複数のクロック ピンを使用する場合、これらのピンは外部バッファを使用して同じオシレーターから駆動できます。

基準クロック ソースを動的に変更する必要があるマルチレート デザインの場合は、QPLLREFCLKSEL ポートおよび CPLLREFCLKSEL ポートを使用してソースを動的に選択します。選択後、ユーザー デザインではアクティブ High の CPLLRESET および QPLLRESET ポートで CPLL と QPLL をリセットし、続けて初期化プロセスを実行する必要があります (61 ページの「リセットおよび初期化」参照)。

チャネル PLL

機能の説明

各 GTX/GTH トランシーバー チャネルには、リング型のチャネル PLL (CPLL) が 1 つ含まれています。図 2-9 に、チャネルプリミティブ内のクロッキング アーキテクチャを示します。TX クロック分周器および RX クロック分周器は、それぞれ個別に QPLL または CPLL からのクロックを選択できるため、TX データパスと RX データパスは異なる基準クロック入力を使用する非同期周波数で動作できます。

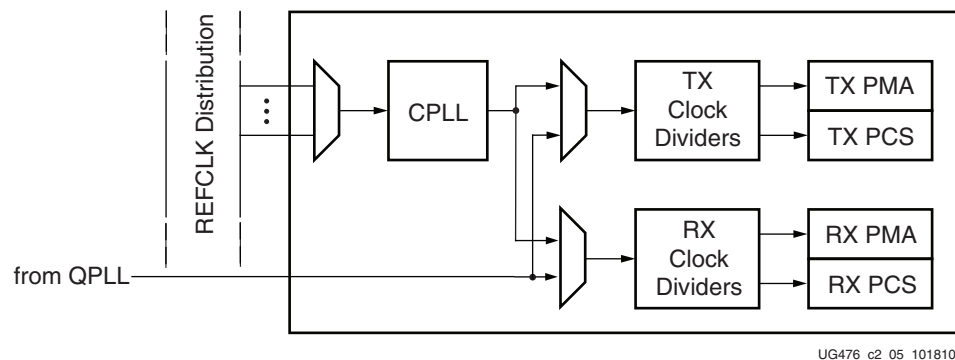


図 2-9: チャネル プリミティブ内のクロッキング アーキテクチャ

CPLL 入力クロックの選択については、35 ページの「基準クロックの選択および分配」で説明しています。CPLL 出力は TX および RX クロック分周器ブロックへ接続し、これらのブロックでは PMA ブロックや PCS ブロックで使用されるシリアルおよびパラレル クロックの生成が制御されます。TX データパスおよび RX データパスが同じ VCO 周波数の整数倍のライン レートで動作する場合、CPLL をこれらのデータパス間で共有できます。

図 2-10 に、CPLL アーキテクチャの詳細を示します。入力クロックは、位相周波数検出器へ接続する前に M で分周できます。VCO の通倍率および CPLL 出力周波数は、フィードバック分周器 (N1 および N2) で決定されます。ロック検出 (Lock Indicator) ブロックは、基準クロックの周波数と VCO フィードバック クロックの周波数を比較して、PLL のロック条件を判断します。

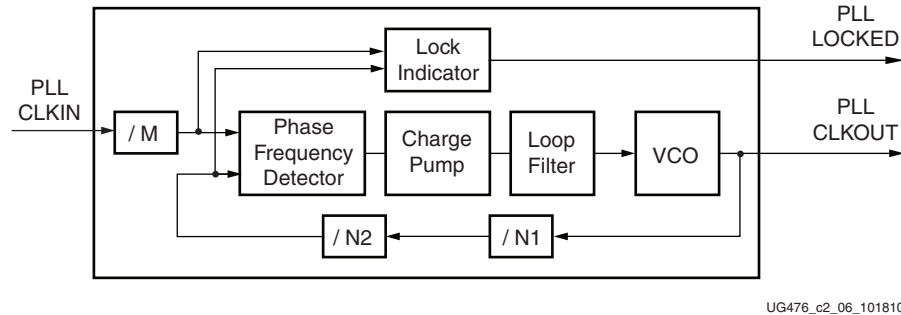


図 2-10 : CPLL のブロック図

GTX トランシーバーの PLL の公称動作範囲は 1.6GHz ~ 3.3GHz です。GTH トランシーバーの PLL の公称動作範囲は 1.6GHz ~ 5.16GHz です。7 Series FPGA Transceivers Wizard がアプリケーション要件に応じて適切な CPLL 設定値を選択します。

CPLL 出力周波数 (GHz) は式 2-1 から求められます。

$$f_{PLLCLKout} = f_{PLLCLKin} \times \frac{N1 \times N2}{M} \quad \text{式 2-1}$$

ライン レート (Gb/s) は式 2-2 から求められます。D は、チャネル内の TX/RX クロック分周器の値を示します。PLL CLKOUT の立ち上がりエッジと立ち下がりエッジの両方を使用して、式 2-2 で定義される必要なライン レートを生成します。

$$f_{LineRate} = \frac{f_{PLLCLKout} \times 2}{D} \quad \text{式 2-2}$$

表 2-8 に、分周器の有効な設定値を示します。

表 2-8 : CPLL 分周器の設定

ファクター	属性	有効値
M	CPLL_REFCLK_DIV	1、2
N2	CPLL_FBDIV	1、2、3、4、5
N1	CPLL_FBDIV_45	4、5
D	RXOUT_DIV TXOUT_DIV	1、2、4、8、16 ⁽¹⁾

1. TX/RXOUT_DIV = 16 は、CPLL の使用時はサポートされません。

ポートおよび属性

表 2-9 および表 2-10 に、CPLL のポートおよび属性を示します。

表 2-9 : CPLL のポート

ポート	方向	クロック ドメイン	説明
CPLLLOCKDETCLK	入力	クロック	<p>CPLL へのフィードバック信号や基準クロック信号を検出するための安定した基準クロックです。CPLL へ入力される基準クロックまたは CPLL から生成される出力クロック (TXOUTCLK など) を使用してこのクロックは駆動できません。</p> <p>このクロックは CPLLFBCLKLOST および CPLLREFCLKLOST ポートの使用時にのみ必要です。CPLL のロック検出、リセットおよびパワーダウン機能への影響はありません。</p>
CPLLLOCKEN	入力	非同期	CPLL のロック検出を有効にします。常に High に接続する必要があります。
CPLLPD	入力	非同期	電力節約のために CPLL の電源を切断するアクティブ High 信号です。
CPLLREFCLKSEL	入力	非同期	<p>CPLL の入力基準クロックを動的に選択するための入力です。CPLL の基準クロック選択マルチプレクサーへクロック ソース 1 つのみを接続する場合は、この入力を 3'b001 に接続してください。</p> <p>基準クロック入力の変更後は、CPLL をリセットする必要があります。</p> <p>000 : 予約</p> <p>001 : GTREFCLK0 を選択</p> <p>010 : GTREFCLK1 を選択</p> <p>011 : GTNORTHREFCLK0 を選択</p> <p>100 : GTNORTHREFCLK1 を選択</p> <p>101 : GTSOUTHREFCLK0 を選択</p> <p>110 : GTSOUTHREFCLK1 を選択</p> <p>111 : GTGREFCLK を選択</p>

表 2-9 : CPLL のポート (続き)

ポート	方向	クロック ドメイン	説明
CPLLRESET	入力	非同期	アクティブ High の場合、PLL 内の分周器のほかに、PLL ロック検出とステータスブロックもリセットします。
CPLLFBCCLKLOST	出力	CPLLLOCKDETCLK	High の場合、CPLL フィードバック分周器から CPLL の位相周波数検出器へのフィードバッククロックが失われたことを示します。
CPLLLOCK	出力	非同期	アクティブ High の場合、この PLL 周波数ロック信号は、PLL 周波数があらかじめ判断した耐性範囲内であることを示します。この条件が満たされるまで、トランシーバーおよびそのクロック出力は信頼できません。
CPLLREFCLKLOST	出力	CPLLLOCKDETCLK	High の場合、CPLL の位相周波数検出器への基準クロックが失われたことを示します。
TSTOUT	出力	非同期	予約
GTRSVD	入力	非同期	予約
PCSRVDIN	入力	非同期	予約
PCSRVDIN2	入力	非同期	予約
PMARSVDIN	入力	非同期	予約
PMARSVDIN2	入力	非同期	予約
TSTIN	入力	非同期	予約

表 2-10 : CPLL の属性

属性	タイプ	説明
CPLL_CFG	24 ビットの 16 進数	予約。CPLL のコンフィギュレーション設定です。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
CPLL_FBDIV	整数	46 ページの図 2-9 に示す、CPLL のフィードバック分周器 N2 の設定です。有効な値は、1、2、3、4、および 5 です。
CPLL_FBDIV_45	整数	46 ページの図 2-9 に示す、CPLL の基準クロック分周器 N1 の設定です。有効な値は、4 および 5 です。
CPLL_INIT_CFG	24 ビットの 16 進数	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

表 2-10：CPLL の属性 (続き)

属性	タイプ	説明
CPLL_LOCK_CFG	16 ビットの 16 進数	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
CPLL_REFCLK_DIV	整数	46 ページの図 2-9 に示す、CPLL の基準クロック分周器 M の設定です。有効な値は、1 および 2 です。
RXOUT_DIV ⁽¹⁾	整数	46 ページの図 2-9 に示す、RX データパス用の CPLL/QPLL の出力クロック分周器 D の設定です。有効な値は、1、2、4、8、および 16 です。
TXOUT_DIV ⁽¹⁾	整数	46 ページの図 2-9 に示す、TX データパス用の CPLL/QPLL の出力クロック分周器 D の設定です。有効な値は、1、2、4、8、および 16 です。
SATA_CPLL_CFG	文字列	予約。SATA アプリケーション用の設定です。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
SIM_CPLLREFCLK_SEL	3 ビット バイナリ	シミュレーションでクワッド PLL 基準クロックを選択します。CPLLREFCLKSEL[2:0] ポートと同じバイナリ値である必要があります。
PMA_RSV3	2 ビット バイナリ	予約

注記：

1. TXOUT_DIV/RXOUT_DIV = 16 は、CPLL の使用時はサポートされません。

標準プロトコルの CPLL 設定

表 2-11 に、いくつかの標準プロトコルの CPLL 分周器の設定例を示します。この表には、REFCLK 周波数および分周器設定の各組み合わせは含まれていません。

表 2-11：標準プロトコルの CPLL 分周器設定

規格	ラインレート [Gb/s]	内部データ幅 [16b/20b/32b/40b]	PLL 周波数 [GHz]	REFCLK (標準) [MHz]	標準の REFCLK 周波数を使用した場合			
					N1	N2	D	M
ファイバー チャンネル (シングルレート)	4.25	20b	2.125	212.5	5	2	1	1
	2.125	20b	2.125	106.25	5	4	2	1
	1.0625	20b	2.125	106.25	5	4	4	1
ファイバー チャンネル (マルチレート)	4.25	20b	2.125	212.5	5	2	1	1
	2.125	20b	2.125	212.5	5	2	2	1
	1.0625	20b	2.125	212.5	5	2	4	1
XAUI	3.125	20b	3.125	156.25	5	4	2	1
RXAUI	6.25	20b	3.125	156.25	5	4	1	1

表 2-11：標準プロトコルの CPLL 分周器設定 (続き)

規格	ライン レート [Gb/s]	内部データ幅 [16b/20b/32b/40b]	PLL 周波数 [GHz]	REFCLK (標準) [MHz]	標準の REFCLK 周波数を使用した場合			
					N1	N2	D	M
GigE	1.25	20b	2.5	125	5	4	4	1
Aurora (シングルレート)	6.25	20b	3.125	312.5	5	2	1	1
	5	20b	2.5	250	5	2	1	1
	3.125	20b	3.125	156.25	5	4	2	1
	2.5	20b	2.5	125	5	4	2	1
	1.25	20b	2.5	125	5	4	4	1
Aurora (マルチレート)	6.25	20b	3.125	312.5	5	2	1	1
	5	20b	2.5	312.5	4	2	1	1
	3.125	20b	3.125	312.5	5	2	2	1
	2.5	20b	2.5	312.5	4	2	2	1
	1.25	20b	2.5	312.5	4	2	4	1
Aurora 64B/66B	3.125	32b	3.125	156.25	5	4	2	1
Serial RapidIO (シングルレート)	3.125	20b	3.125	156.25	5	4	2	1
	2.5	20b	2.5	125	5	4	2	1
	1.25	20b	2.5	125	5	4	4	1
Serial RapidIO (マルチレート)	3.125	20b	3.125	156.25	5	4	2	1
	2.5	20b	2.5	156.25	4	4	2	1
	1.25	20b	2.5	156.25	4	4	4	1
SATA	3	20b	3	150	5	4	2	1
	1.5	20b	3	150	5	4	4	1
PCIe Optimal Jitter	5	20b	2.5	250	5	2	1	1
	2.5	20b	2.5	250	5	2	2	1
	5	20b	2.5	125	5	4	1	1
	2.5	20b	2.5	125	5	4	2	1
PCIe 100MHz REFCLK	5	20b	2.5	100	5	5	1	1
	2.5	20b	2.5	100	5	5	2	1
CPRI (マルチレート)	3.072	20b	3.072	122.88	5	5	2	1
	2.4576	20b	2.4576	122.88	5	4	2	1
	1.2288	20b	2.4576	122.88	5	4	4	1
	0.6144	20b	2.4576	122.88	5	4	8	1

表 2-11：標準プロトコルの CPLL 分周器設定 (続き)

規格	ライン レート [Gb/s]	内部データ幅 [16b/20b/32b/40b]	PLL 周波数 [GHz]	REFCLK (標準) [MHz]	標準の REFCLK 周波数を使用した場合			
					N1	N2	D	M
OBSAI (マルチレート)	6.144	20b	3.072	153.6	5	4	1	1
	3.072	20b	3.072	153.6	5	4	2	1
	1.536	20b	3.072	153.6	5	4	4	1
	0.768	20b	3.072	153.6	5	4	8	1
3G-SDI HD-SDI (マルチレート)	2.97	20b	2.97	148.5	5	4	2	1
	1.485	20b	2.97	148.5	5	4	4	1
Interlaken	6.25	16b	3.125	312.5	5	2	1	1
	4.25	16b	2.125	212.5	5	2	1	1
	3.125	16b	3.125	156.25	5	4	2	1
SFI-5	3.125	16b	3.125	195.3125	4	4	2	1
OC-48	2.48832	16b	2.48832	155.52	4	4	2	1
OC-12	0.62208	16b	2.48832	155.52	4	4	8	1
OTU-1	2.666057	16b	2.666057	166.6286	4	4	2	1
CEI 6.25	6.25	20b	3.125	390.625	4	2	1	1

一部のプロトコルは、シングルレートとマルチレートの両方のコンフィギュレーションに対応します。シングルレートの場合、ラインレートは 1 つのみ必要となり、基準クロックはそのラインレート用に最適化されます。マルチレートの場合、最も高いラインレート用に基準クロックが 1 つ選択されるため、低ラインレートをサポートするには適切な分周器を選択する必要があります。

指定されたプロトコルおよびラインレートに対応する周波数の最大値、標準値、および最小値のガイドラインは次のとおりです。

- PLL フィードバック分周器の最小設定値を使用する場合に最大 VCO 周波数を選択します。通常、このオプションは最も高いジッター パフォーマンスを提供します。
- プロトコルに応じて PLL 通倍率を 8 または 10 に制限する場合に標準周波数を選択します。
- 低ラインレート動作の場合は、最小周波数を選択すると PLL 通倍率を 16 または 20 にできます。
- 推奨される標準周波数以下の基準クロックを使用する場合は、パフォーマンスへの影響を考慮する必要があります。基準クロック周波数の最小値および最大値は、『Kintex-7 FPGA データシート：DC 特性およびスイッチ特性』(DS182) および『Virtex-7 FPGA データシート：DC 特性およびスイッチ特性』(DS183) を参照してください。

使用モード

CPLL 設定を動的に変更する

CPLL 設定を動的に変更する際のイベント シーケンスを次に示します。CPLL の変更に関連する情報のみが記載されています。

1. 準備が整ったら (すべての有効なデータが転送または受信された状態)、表 2-10 にリストされている属性を CPLLREFCLKSEL および/または DRP ポートで変更します。
2. 63 ページの「CPLL リセット」で説明されているリセット ガイドラインに従います。
3. CPLL がロックされたら、GTTXRESET および/または GTRXRESET をアサートし、68 ページの「GTTXRESET パルスに応答する GTX/GTH トランシーバー TX のリセット」と 80 ページの「GTRXRESET パルスに応答する GTX/GTH トランシーバー RX のリセット」で説明されているガイドラインに従います。
4. トランシーバーの動作を続けます。

CPLL から QPLL に動的に変更する

CPLL の使用から QPLL の使用へと動的に変更する際のイベント シーケンスを次に示します。

1. QPLLPD ポートおよび QPLLRESET ポートをディアサートして QPLL に電源を投入します。QPLLLOCK ポートが 1 になるまで待機します。
2. GTTXRESET ポートおよび/または GTRXRESET ポートをアサートします。TXSYSCLKSEL[0] ポートを 1'b1 に、RXSYSCLKSEL[0] ポートを 1'b1 に設定します。[TX/RX]USERRDY ポートをアサートします。
3. GTTXRESET および/または GTRXRESET をディアサートします。TXRESETDONE が 1'b1 に、RXRESETDONE が 1'b1 になるまで待機します。
4. CPLLRESET と CPLLPD をアサートして CPLL の電力を切断し、電力を節約します。
5. トランシーバーの動作を続けます。

クワッド PLL

機能の説明

各クワッドには、LC タンク型 PLL (クワッド PLL、QPLL) が 1 つあります。QPLL は、同じクワッド内のシリアル トランシーバー チャンネルと共有できますが、別のクワッドのチャンネルとは共有できません。チャンネルが CPLL の動作範囲以上のライン レートで動作する場合は、QPLL を使用する必要があります。GTX QPLL を使用する場合は、これを含む GTXE2_COMMON プリミティブをインスタンスエートする必要があります。同様に GTH QPLL を使用する場合は、これを含む GTHE2_COMMON プリミティブをインスタンスエートする必要があります。

QPLL 入力基準クロックの選択については、35 ページの「基準クロックの選択および分配」で説明します。QPLL 出力は、同じクワッド内の各シリアル トランシーバー チャンネルの TX および RX クロック分周器ブロックへ接続し、これらのブロックでは PMA ブロックや PCS ブロックで使用されるシリアルおよびパラレル クロックの生成が制御されます。46 ページの図 2-9 に、チャンネル プリミティブ内のクロッキング アーキテクチャを示します。

図 2-11 に、QPLL アーキテクチャの詳細を示します。入力クロックは、位相周波数検出器へ接続する前に M で分周できます。VCO の通倍率はフィードバック分周器 N で決定されます。QPLL 出力周波数は、VCO 周波数の 1/2 です。ロック検出 (Lock Indicator) ブロックは、基準クロックの周波数と VCO フィードバック クロックの周波数を比較して、PLL のロック条件を判断します。

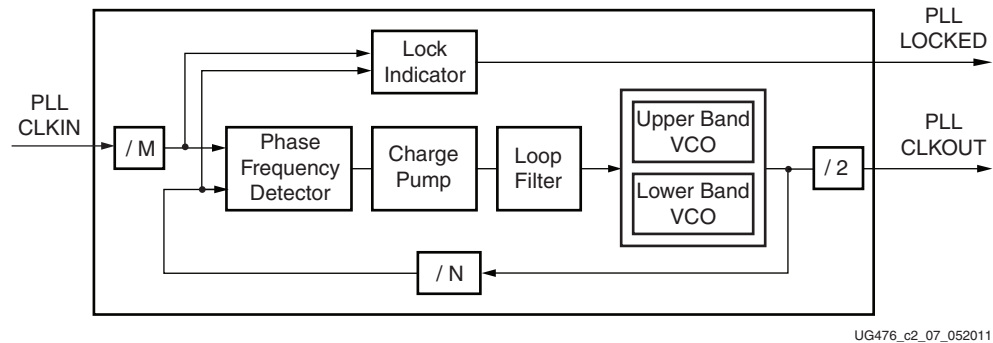


図 2-11：QPLL の詳細図

QPLL の VCO は、2 つの異なる周波数帯域内で動作します。表 2-12 に、これらの帯域における公称周波数範囲を示します。詳細は、各デバイスのデータシートを参照してください。

表 2-12：QPLL の公称周波数範囲

トランシーバー	周波数 (GHz)	
GTX	低周波数帯域	5.93 ~ 8.0
	高周波数帯域	9.8 ~ 12.5
GTH	8.0 ~ 13.1	

低い周波数帯域の VCO が選択されると、高い周波数帯域の VCO は自動的に切断され、その逆も同様です。7 Series FPGA Transceivers Wizard がアプリケーション要件に応じて適切な QPLL 設定値を選択します。

PLL 出力周波数 (GHz) は式 2-3 から求められます。

$$f_{PLLCLKout} = f_{PLLCLKin} \times \frac{N}{M \times 2} \quad \text{式 2-3}$$

ライン レート (Gb/s) は式 2-4 から求められます。D は、チャネル内の TX/RX クロック分周器の値を示します。PLL CLKOUT の立ち上がりエッジと立ち下がりエッジの両方を使用して、式 2-4 で定義される必要なライン レートを生成します。D の有効な設定値は、47 ページの表 2-8 を参照してください。

$$f_{LineRate} = \frac{f_{PLLCLKout} \times 2}{D} \quad \text{式 2-4}$$

表 2-13 に、分周器の有効な設定値を示します。

表 2-13 : QPLL 分周器の設定

ファクター	属性	有効値
M	QPLL_REFCLK_DIV	1、2、3、4
N	QPLL_FBDIV QPLL_FBDIV_RATIO	16、20、32、40、64、66、80、100 (表 2-16 参照)
D	RXOUT_DIV TXOUT_DIV	1、2、4、8、16

ポートおよび属性

表 2-14 および 57 ページの表 2-15 に、QPLL のポートおよび属性を示します。

表 2-14 : QPLL のポート

ポート	方向	クロックドメイン	説明
QPLLDMONITOR	出力	非同期	予約
QPLLFBCCLKLOST	出力	QPLLLOCKDETCLK	High の場合、QPLL フィードバック分周器から QPLL の位相周波数検出器へのフィードバッククロックが失われたことを示します。
QPLLLOCK	出力	非同期	アクティブ High の場合、この PLL 周波数ロック信号は、PLL 周波数があらかじめ判断した耐性範囲内であることを示します。この条件が満たされるまで、トランシーバーおよびそのクロック出力は信頼できません。
QPLLLOCKDETCLK	入力	クロック	QPLL へのフィードバック信号や基準クロック信号を検出するための安定した基準クロックです。QPLL へ入力される基準クロックまたは QPLL から生成される出力クロック (TXOUTCLK など) を使用してこのクロックを駆動できません。 このクロックは QPLLFBCCLKLOST および QPLLREFCLKLOST ポートの使用時にのみ必要です。QPLL のロック検出、リセットおよびパワーダウン機能への影響はありません。

表 2-14：QPLL のポート (続き)

ポート	方向	クロック ドメイン	説明
QPLLLOCKEN	入力	非同期	QPLL のロック検出回路を有効にします。常に High に接続する必要があります。
QPLLOUTCLK	出力	N/A	QPLL 出力クロック。GTX (または GTH) トランシーバーを使用する場合は、このクロック信号を GTXE2_CHANNEL プリミティブ (または GTHE2_CHANNEL プリミティブ) の QPLLCLK に接続してください。
QPLLOUTRESET	入力	非同期	予約。Low に接続してください。
QPLLPD	入力	非同期	電力節約のために QPLL の電力を切断するアクティブ High 信号です。
QPLLREFCLKLOST	出力	QPLLLOCKDETCLK	High の場合、QPLL の位相周波数検出器への基準クロックが失われたことを示します。
QPLLREFCLKSEL	入力	非同期	<p>QPLL の入力基準クロックを動的に選択するための入力です。QPLL の基準クロック選択マルチプレクサーへクロック ソース 1 つのみを接続する場合は、この入力を 3'b001 に接続してください。</p> <p>基準クロック入力の変更後は、QPLL をリセットする必要があります。</p> <p>000 : 予約</p> <p>001 : GTREFCLK0 を選択</p> <p>010 : GTREFCLK1 を選択</p> <p>011 : GTNORTHREFCLK0 を選択</p> <p>100 : GTNORTHREFCLK1 を選択</p> <p>101 : GTSOUTHREFCLK0 を選択</p> <p>110 : GTSOUTHREFCLK1 を選択</p> <p>111 : GTGREFCLK を選択</p>

表 2-14 : QPLL のポート (続き)

ポート	方向	クロックドメイン	説明
QPLLRESET	入力	非同期	アクティブ High の場合、PLL 内の分周器のほかに、PLL ロック検出とステータスブロックもリセットします。
QPLLRSVD1[15:0]	入力	-	予約
QPLLRSVD2[4:0]	入力	-	予約
BGBYPASSB	入力	非同期	予約。1'b1 に設定する必要があります。この値は変更しないでください。
BGMONITORENB	入力	非同期	予約。1'b1 に設定する必要があります。この値は変更しないでください。
BGPDB	入力	非同期	予約。1'b1 に設定する必要があります。この値は変更しないでください。
BGRCALOVRD[4:0]	入力	非同期	予約。5'b11111 に設定する必要があります。この値は変更しないでください。
RCALENB	入力	非同期	予約。1'b1 に設定する必要があります。この値は変更しないでください。
PMARSVD	入力	非同期	予約

表 2-15 : QPLL の属性

属性	タイプ	説明
QPLL_CFG	27 ビットの 16 進数	予約。QPLL のコンフィギュレーションを指定します。 QPLL_CFG[6] は QPLL の周波数帯域を選択します。 0 : 高周波数帯域 1 : 低周波数帯域 7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
QPLL_CLKOUT_CFG	4 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
QPLL_COARSE_FREQ_OVRD	6 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

表 2-15：QPLL の属性 (続き)

属性	タイプ	説明
QPLL_COARSE_FREQ_OVRD_EN	1 ビット バイナリ	予約。常に 0 に設定する必要があります。
QPLL_CP	10 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
QPLL_CP_MONITOR_EN	1 ビット バイナリ	予約。常に 0 に設定する必要があります。
QPLL_DMONITOR_SEL	1 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
QPLL_FBDIV	10 ビット バイナリ	54 ページの図 2-11 に示す、QPLL のフィードバック分周器 N の設定です。この分周器のコンフィギュレーションは、表 2-16 を参照してください。
QPLL_FBDIV_MONITOR_EN	1 ビット バイナリ	予約。常に 0 に設定する必要があります。
QPLL_FBDIV_RATIO	1 ビット バイナリ	詳細は、表 2-16 を参照してください。
QPLL_INIT_CFG	23 ビットの 16 進数	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
QPLL_LOCK_CFG	16 ビットの 16 進数	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
QPLL_LPF	4 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
QPLL_REFCLK_DIV	整数	図 2-11 に示す、QPLL の基準クロック分周器 M の設定です。有効な値は、1、2、3、および 4 です。
SIM_QPLLREFCLK_SEL	3 ビット バイナリ	シミュレーションでクワッド PLL 基準クロックを選択します。 QPLLREFCLKSEL[2:0] ポートと同じバイナリ値を含む必要があります。
RXOUT_DIV	整数	図 2-9 に示す、RX データバス用の QPLL/CPLL の出力クロック分周器 D の設定です。有効な値は、1、2、4、8、および 16 です。

表 2-15 : QPLL の属性 (続き)

属性	タイプ	説明
TXOUT_DIV	整数	図 2-9 に示す、TX データパス用の QPLL/CPLL の出力クロック分周器 D の設定です。有効な値は、1、2、4、8、および 16 です。
COMMON_CFG	32 ビット バイナリ	予約

表 2-16 : N 分周器のコンフィギュレーション

N	QPLL_FBDIV_RATIO	QPLL_FBDIV[9:0]
16	1	0000100000
20	1	0000110000
32	1	0001100000
40	1	0010000000
64	1	0011100000
66	0	0101000000
80	1	0100100000
100	1	0101110000

標準プロトコルの QPLL 設定

表 2-17 に、いくつかの標準プロトコルの QPLL 分周器の設定例を示します。この表には、REFCLK 周波数および分周器設定の各組み合わせは含まれていません。

表 2-17 : 標準プロトコルの QPLL 分周器設定

規格	ライン レート [Gb/s]	内部データ幅 [16b/20b/ 32b/40b]	PLL 周波数 [GHz]	QPLL [高/低 周波数 帯域]	REFCLK (標準) [MHz]	標準の REFCLK 周波数を使用した場合			
						N (QPLL_FBDIV、 QPLL_FBDIV_ RATIO)	RXOUT_DIV (D)	TXOUT_DIV (D)	M (QPLL_ REFCLK_DIV)
10GBASE-R (156.25MHz)	10.3125	32b	10.3125	高	156.25	66	1	1	1
Interlaken 10.3125 (161.13MHz)	10.3125	32b	10.3125	高	161.13	64	1	1	1
OC-192 (9.953Gb/s、 155.516MHz)	9.953024	32b	9.953024	高	155.516	64	1	1	1
PCIe Gen3	8	32b	8	低	100	80	1	1	1

表 2-17：標準プロトコルの QPLL 分周器設定 (続き)

規格	ライン レート [Gb/s]	内部データ幅 [16b/20b/ 32b/40b]	PLL 周波数 [GHz]	QPLL [高/低 周波数 帯域]	REFCLK (標準) [MHz]	標準の REFCLK 周波数を使用した場合			
						N (QPLL_FBDIV、 QPLL_FBDIV_ RATIO)	RXOUT_DIV (D)	TXOUT_DIV (D)	M (QPLL_ REFCLK_DIV)
CEI 6.25 ⁽¹⁾	6.25	20b	6.25	低	390.625	16	1	1	1
	6.25	20b	6.25	低	156.25	40	1	1	1
規格：SFP+ (SFF-8431、SFI)	9.8304 ⁽²⁾	32b	9.8304	高	122.88	80	1	1	1
	9.95328	32b	9.95328	高	155.52	64	1	1	1
	10.3125	32b	10.3125	高	156.25	66	1	1	1
	10.5187	32b	10.5187	高	164.355	64	1	1	1
	11.1	32b	11.1	高	173.4375	64	1	1	1

注記：

1. この表に記載の CEI 6.25 向け分周器の設定は、GTX トランシーバーにのみ適用されます。
2. SFP+ を介した CPRI アプリケーションで使用するライン レートです。

使用モード

QPLL 設定を動的に変更する

QPLL 設定を動的に変更する際のイベント シーケンスを次に示します。QPLL の変更に関連する情報のみが記載されています。

1. 準備が整ったら (すべての有効なデータが転送または受信された状態)、表 2-10 にリストされている属性を QPLLREFCLKSEL および/または DRP ポートで変更します。
2. 64 ページの「QPLL リセット」で説明されているリセット ガイドラインに従います。
3. QPLL がロックされたら、GTTXRESET および/または GTRXRESET をアサートし、68 ページの「GTTXRESET パルスに応答する GTX/GTH トランシーバー TX のリセット」と 80 ページの「GTRXRESET パルスに応答する GTX/GTH トランシーバー RX のリセット」で説明されているガイドラインに従います。
4. トランシーバーの動作を続けます。

QPLL から CPLL に動的に変更する

QPLL の使用から CPLL の使用へと動的に変更する際のイベント シーケンスを次に示します。

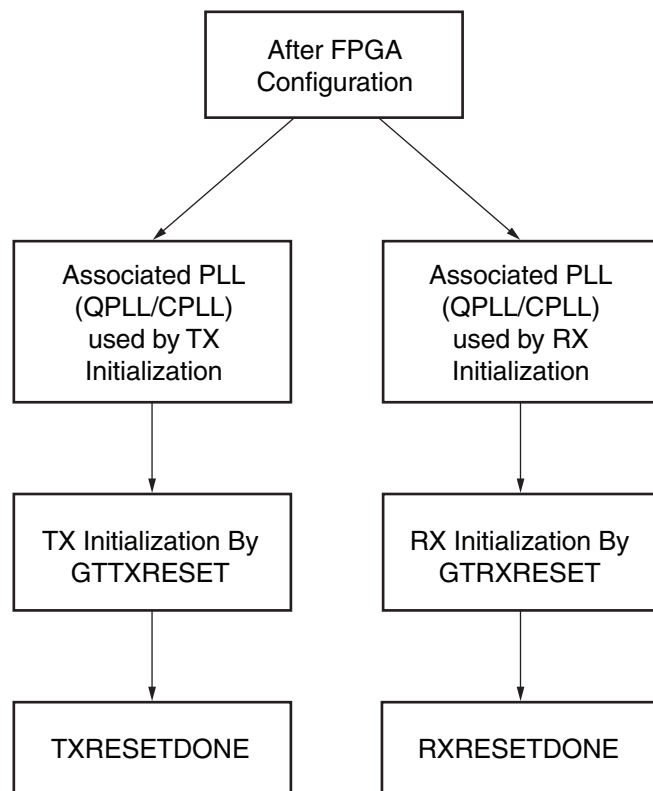
1. CPLLPD ポートおよび CPLLRESET ポートをディアサートして CPLL に電源を投入します。CPLLLOCK ポートが 1 になるまで待機します。
2. GTTXRESET ポートおよび/または GTRXRESET ポートをアサートします。TXSYSCLKSEL[0] ポートを 1'b0 に、RXSYSCLKSEL[0] ポートを 1'b0 に設定します。[TX/RX]USERRDY ポートをアサートします。
3. GTTXRESET および/または GTRXRESET をディアサートします。TXRESETDONE が 1'b1 に、RXRESETDONE が 1'b1 になるまで待機します。
4. QPLLRESET と QPLLPD をアサートして QPLL の電力を切断し、電力を節約します。
5. トランシーバーの動作を続けます。

リセットおよび初期化

GTX/GTH トランシーバーは、FPGA デバイスに電源を投入してコンフィギュレーションが完了した後、使用前に初期化が必要です。GTX/GTH のトランスミッター (TX) とレシーバー (RX) は、[図 2-12](#) に示すように個別に並行して初期化できます。GTX/GTH トランシーバー TX/RX の初期化には 2 つの手順があります。

1. TX/RX を駆動する PLL を初期化
2. TX と RX のデータパスを初期化 (PMA+PCS)

GTX/GTH トランシーバーの TX および RX は、QPLL または CPLL のいずれかからクロック信号を受信できます。TX/RX で使用される PLL (QPLL/CPLL) は、TX/RX を初期化する前に初期化する必要があります。TX/RX で使用されるすべての PLL は個別にリセットされ、そのリセット動作は、すべての TX/RX リセット動作から完全に独立しています。TX と RX のデータパスの初期化は、関連する PLL がロックされた後にのみ実行してください。



UG476_c2_08_101810

図 2-12 : GTX/GTH トランシーバーの初期化

GTX/GTH トランシーバーの TX および RX は、ステート マシンを使用して初期化プロセスを制御します。このステート マシンは、複数のリセット領域に分割されています。これにより、リセットステート マシンは、PMA を先にリセットして、TXUSERRDY または RXUSERRDY がアサートされた後に PCS をリセットするシーケンスでリセット プロセスを制御できます。また、通常動作時に必要に応じて、PMA、PCS、またはそれらの中にあるファンクションブロックを個別にリセットすることも可能です。

GTX/GTH トランシーバーには、初期化リセットおよびコンポーネント リセットの 2 種類のリセット方法があります。

- 初期化リセット：このリセットは、GTX/GTH トランシーバーを完全に初期化する場合に使用します。デバイスへの電源投入およびコンフィギュレーションが完了した後に実行してください。標準動作中は、GTTXRESET や GTRXRESET を使用し、必要に応じて GTX/GTH トランシーバーの TX および RX を再初期化することも可能です。GTTXRESET は、GTX/GTH トランシーバー TX 用の初期化リセット ポートです。GTRXRESET は、GTX/GTH トランシーバー RX 用の初期化リセット ポートです。
- コンポーネント リセット：このリセットは、GTX/GTH トランシーバーの標準動作中、特殊なケースおよび特殊なサブセクションをリセットする場合に使用されます。TX のコンポーネント リセット ポートは、TXPMARESET および TXPCSRESET です。RX のコンポーネント リセット ポートは、RXPMARESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET、RXBUFRESET、および RXOOBRESET です。

初期化リセットとコンポーネント リセットの主なリセット範囲については、GTX/GTH トランシーバー TX の場合は表 2-26 を、GTX/GTH トランシーバー RX の場合は表 2-30 および表 2-31 を参照してください。

このセクションで説明するすべてのリセット ポートは、High 駆動時に内部リセット ステータス マシンを開始します。これらのリセット ポートが Low 駆動されるまで、内部リセット ステータス マシンはリセット状態を保持します。これらのリセットはすべて非同期です。これらの非同期リセットのパルス幅ガイドラインは、特記のない限り、基準クロックの 1 周期分です。

注記：リセット ポートは、パワーダウンの目的では使用できません。パワーダウンの正しい使用については、88 ページの「パワーダウン」を参照してください。

リセット モード

GTX/GTH トランシーバー RX リセットは、シーケンシャル モードおよびシングル モードの 2 つのモードで実行できます。GTX/GTH トランシーバー TX のリセットはシーケンシャル モードでしか実行できません。

- シーケンシャル モード：リセット ステータス マシンは、初期化リセットまたはコンポーネント リセットの入力信号が High になると開始し、GTX/GTH トランシーバー TX の場合は図 2-15、GTX/GTH トランシーバー RX の場合は図 2-20 に示すリセット ステータス マシンで、要求されたリセット ステータスからすべてのステータスへ遷移して完了します。このモードのリセット フローが完了すると、(TX/RX) RESETDONE 信号が Low から High に遷移します。
- シングル モード：リセット ステータス マシンは、属性で設定された定義済みの時間内に要求されたリセットのみを個別に実行します。図 2-20 (GTX/GTH トランシーバー RX) に示す要求されたステータス以外のリセット ステータスへは遷移しません。あらゆるコンポーネント リセットが要求対象となるため、PMA、PCS、あるいはそれらの中にあるファンクション ブロックをリセットできます。このモードのリセット フローが完了すると、RXRESETDONE 信号が Low から High に遷移します。

GTX/GTH トランシーバーの初期化リセットには、必ずシーケンシャル モードを使用してください。シーケンシャル モードでのみ動作可能な TX リセットを除くすべてのコンポーネント リセットは、シーケンシャル モードまたはシングル モードのいずれかで実行できます。

GTX/GTH トランシーバーでは、GTRESETSEL を使用してシーケンシャル リセット モード/シングル リセット モードを選択します。表 2-18 に、GTX/GTH トランシーバー TX および GTX/GTH トランシーバー RX の両方に適用されるコンフィギュレーションの詳細を示します。これらのリセット モードは、CPLL や QPLL のリセットには影響を与えません。GTX/GTH トランシーバー

TX や GTX/GTH トランシーバー RX は、標準動作中にシーケンシャル モードまたはシングル モード (GTX/GTH トランシーバー RX のみ) のアプリケーションでリセットできるため、GTX/GTH トランシーバーの一部のみを柔軟にリセットできます。シーケンシャル モードまたはシングル モードのいずれかを使用している場合、RESETOVRD 信号は必ず Low 駆動します (表 2-18 参照)。RESETOVRD および GTRESETSEL は、リセットがアサートされる前に 300 ~ 500ns の値に設定する必要があります。

表 2-18 : GTX/GTH トランシーバーのリセット モード動作

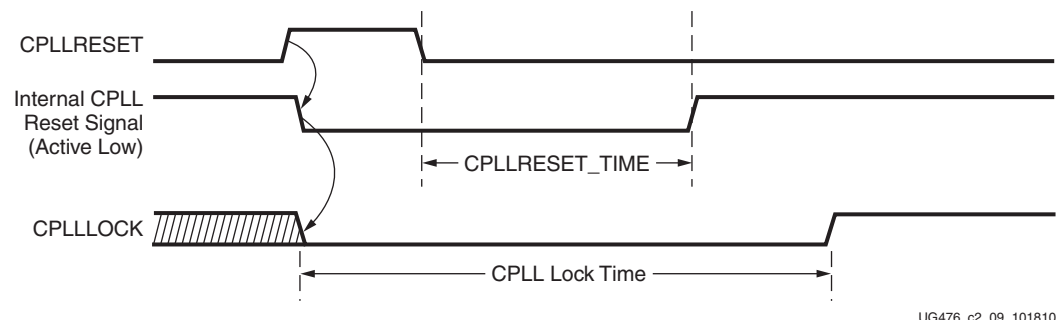
動作モード	RESETOVRD	GTRESETSEL
シーケンシャル モード	0	0
シングル モード	0	1

表 2-19 : GTX/GTH トランシーバー リセット モードのポート

ポート	方向	クロック ドメイン	説明
GTRESETSEL	入力	非同期	リセット モードのイネーブル ポートです。 Low : シーケンシャル モード (推奨) High : シングル モード
RESETOVRD	入力	非同期	予約。グラウンドに接続してください。

CPLL リセット

CPLL の電源は、ファブリックで基準クロックのエッジが検出されるまで、CPLLDP ポートを使用して切断しておく必要があります。CPLLDP がディアサートされた後、CPLL は使用前に必ずリセットが必要です。各 GTX/GTH トランシーバー チャンネルには、CPLL リセット用に 3 つの専用ポートがあります。図 2-13 に示すように、CPLLRESET は CPLL をリセットする入力信号です。CPLLLOCK は、リセット プロセスの完了を示す出力信号です。この非同期 CPLLRESET 信号のパルス幅のガイドラインは、基準クロックの 1 周期分です。内部 GTX/GTH トランシーバー回路で生成される実際の CPLL リセット信号は、CPLLRESET の High パルス時間よりも大幅に長くなります。CPLL がロックされるまでの時間は、帯域幅の設定やクロック周波数などの影響を受けます。



UG476_c2_09_101810

図 2-13 : CPLL リセットのタイミング図

表 2-20：CPLL リセットのポート

ポート	方向	クロックドメイン	説明
CPLLRESET	入力	非同期	CPLL のリセットを開始するため、このポートは High 駆動された後ディアサートされます。
CPLLLOCK	出力	非同期	アクティブ High の場合、この CPLL 周波数ロック信号は、CPLL 周波数があらかじめ定義した耐性範囲内であることを示します。この条件が満たされるまで、GTX/GTH トランシーバーおよびそのクロック出力は信頼できません。
CPLLLOCKEN	入力	非同期	アクティブ High の場合、CPLL のロック検出を有効にします。

表 2-21：CPLL リセットの属性

属性	タイプ	説明
CPLLRESET_TIME (CPLL_INIT_CFG[9:0])	10 ビット バイナリ	予約。内部 CPLL リセットに適用される時間を示します。この値は、必ず 0 以外に設定する必要があります。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

QPLL リセット

QPLL は、使用前にリセットが必要です。各 GTX/GTH トランシーバー クワッドには、QPLL リセット用に 3 つの専用ポートがあります。図 2-14 に示すように、QPLLRESET は QPLL をリセットする入力信号です。QPLLLOCK は、リセット プロセスの完了を示す出力信号です。この非同期 QPLLRESET 信号のパルス幅のガイドラインは、基準クロックの 1 周期分です。内部 GTX/GTH トランシーバー回路で生成される実際の QPLL リセット信号は、QPLLRESET の High パルス時間よりも大幅に長くなります。QPLL がロックされるまでの時間は、帯域幅の設定やクロック周波数などの影響を受けます。

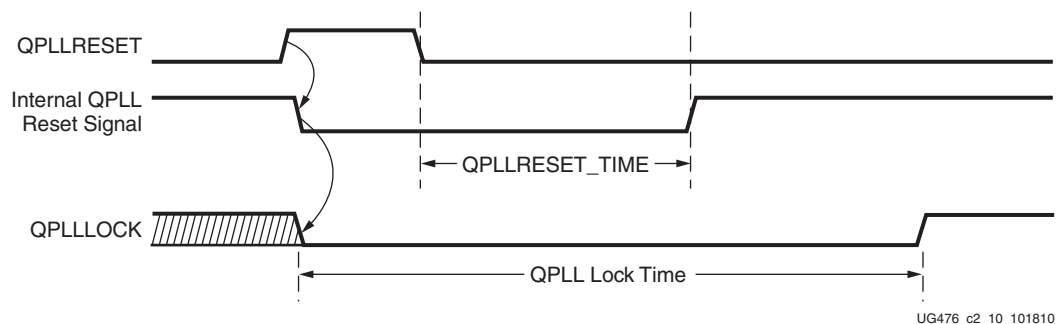


図 2-14：QPLL リセットのタイミング図

表 2-22 : QPLL リセットのポート

ポート	方向	クロック ドメイン	説明
QPLLRESET	入力	非同期	QPLL のリセットを開始するため、このポートは High 駆動されてその後ディアサートされます。
QPLLLOCK	出力	非同期	アクティブ High の場合、この QPLL 周波数ロック信号は、QPLL 周波数があらかじめ定義した耐性範囲内であることを示します。この条件が満たされるまで、GTX/GTH トランシーバーおよびそのクロック出力は信頼できません。
QPLLLOCKEN	入力	非同期	アクティブ High の場合、QPLL のロック検出を有効にします。

表 2-23 : QPLL リセットの属性

属性	タイプ	説明
QPLLRESET_TIME (QPLL_INIT_CFG[9:0])	10 ビット バイナリ	予約。内部 QPLL リセットに適用される時間を示します。この値は、必ず 0 以外に設定する必要があります。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

TX の初期化およびリセット

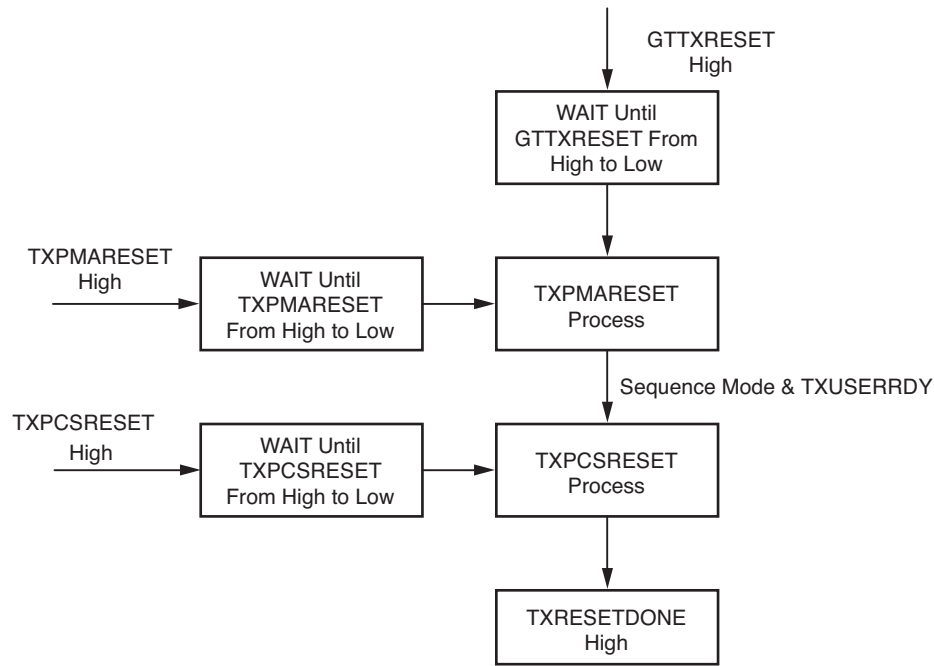
GTX/GTH トランシーバー TX は、リセット ステート マシンを使用してリセット プロセスを制御します。この GTX/GTH トランシーバー TX は、2 つのリセット領域 (TX PMA および TX PCS) に分割されています。これらの領域が分割されることで、TX の初期化およびリセットがシークエンシャル モードでのみ可能となります (図 2-15 参照)。

TX の初期化には、GTTXRESET をシークエンシャル モードで使用する必要があります。

GTTXRESET 入力を High 駆動すると、完全非同期の TX リセットを自動的にトリガーできます。リセット ステート マシンは、図 2-15 に示すリセット シーケンスを実行して、TX PMA および TX PCS をすべてリセットします。通常動作時は、必要に応じてシークエンシャル モードを使用することで TXPMARESET を High 駆動し、TXRESETDONE 信号が Low から High へ遷移するまでリセット ステート マシンの遷移を続けてリセットできます。

TXUSERRDY が High になるまで TX リセット ステート マシンは PCS をリセットしません。次に示す条件が満たされた後に、ユーザーが TXUSERRDY 信号を High 駆動する必要があります。

1. PLL または MMCM が使用されている場合、アプリケーション内の TXUSRCLK/TXUSRCLK2 を含むすべてのクロックが安定 (ロック) している。
2. ユーザー インターフェイスが GTX/GTH トランシーバーヘデータを送信できる状態である。



UG476_c2_11_112311

図 2-15 : GTX/GTH トランシーバー TX のリセット時のステート マシン シーケンス

ポートおよび属性

表 2-24 に、TX 初期化プロセスに必要なポートを示します。

表 2-24 : TX の初期化およびリセット ポート

ポート	方向	クロック ドメイン	説明
GTTXRESET	入力	非同期	TX のリセット シーケンスを開始するため、このポートは High 駆動された後ディアサートされます。リセット シーケンスに必要な時間を設定します。
TXPMARESET	入力	非同期	TX PMA のリセットに使用します。TX PMA のリセット シーケンスを開始するため、このポートは High 駆動された後ディアサートされます。シーケンシャル モードの場合、このポートを High 駆動すると TX PMA と TX PCS の両方がリセットされます。
TXPCSRESET	入力	非同期	TX PCS のリセットに使用します。PCS のリセット シーケンスを開始するため、このポートは High 駆動された後ディアサートされます。シーケンシャル モードの場合、このポートを High 駆動すると TX PCS のみリセットされます。
TXUSERRDY	入力	非同期	このポートは、TXUSRCLK および TXUSRCLK2 が安定すると、ユーザー アプリケーションによって High 駆動されます。たとえば、MMCM を使用して TXUSRCLK および TXUSRCLK2 の両方を生成する場合は、MMCM ロック信号を使用できます。

表 2-24 : TX の初期化およびリセット ポート (続き)

ポート	方向	クロック ドメイン	説明
TXRESETDONE	出力	TXUSRCLK2	GTX/GTH トランシーバー TX がリセットを完了して使用可能になるとアクティブ High になります。GTTXRESET が High 駆動すると、このポートは Low に遷移し、GTX/GTH トランシーバー TX で TXUSERRDY 信号の High 駆動が検出されるまで High にはなりません。
CFGRESET	入力	非同期	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TXPMARESETDONE	出力	非同期	GTH トランシーバー : GTH TX PMA リセットが完了すると、アクティブ High になります。GTTXRESET または TXPMARESET がアサートされると、Low に駆動されます。
PCSRSDOUT	出力	非同期	予約

表 2-25 に、GTX/GTH トランシーバー TX の初期化プロセスに必要な属性を示します。通常、TX PMA または TX PCS のリセットに要する時間は、ライン レートによって異なります。PMA リセット時間および PCS リセット時間を制御する属性には、ユーザー指定可能な TXPMARESET_TIME および TXPCSRESET_TIME があります。

表 2-25 : TX の初期化およびリセット属性

属性	タイプ	説明
TXPMARESET_TIME	5 ビット バイナリ	予約。TX PMA リセットに適用される時間を示します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。GTTXRESET または TXPMARESET を使用してリセット プロセスを開始する場合は、0 以外の値に設定してください。
TXPCSRESET_TIME	5 ビット バイナリ	予約。TX PCS リセットに適用される時間を示します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。TXPCSRESET を使用してリセット プロセスを開始する場合は、0 以外の値に設定してください。

コンフィギュレーションの完了に応答する GTX/GTH トランシーバー TX のリセット

図 2-15 に示す TX リセット シーケンスは、GSR 信号に続いて自動的に開始されることはありません。次の条件を満たす必要があります。

1. シーケンシャル モードを使用するため、GTRESETSEL が Low 駆動している。
2. GTTXRESET が使用されている。
3. TXRESETDONE が High になる前、リセット プロセス全体で TXPMARESET および TXPCSRESET が常に Low 駆動している。
4. 関連する PLL がロックされるまで、GTTXRESET は Low 駆動できない。

コンフィギュレーション時にリセット モードがデフォルトでシーケンシャル モードになると、コンフィギュレーションが完了してから少なくとも 500ns 間待機した後に、C/QPLLRESET および GTTXRESET をアサートできます。

リセット モードがデフォルトでシングル モードになると、ユーザーは次を実行する必要があります。

1. コンフィギュレーションの完了後、少なくとも 500ns 間待機します。
2. リセット モードをシーケンシャル モードに変更します。
3. さらに 300 ~ 500ns 間待機します。
4. C/QPLLRESET および GTTXRESET をアサートします。

図 2-16 で示すように、CPLL または QPLL のいずれかからの PLLLOCK 信号を使用して、GTTXRESET を High から Low へ遷移させることを推奨します。TX リセット ステート マシンは、GTTXRESET の High が検出されてリセット シーケンスを開始し、Low になるまで待機します。

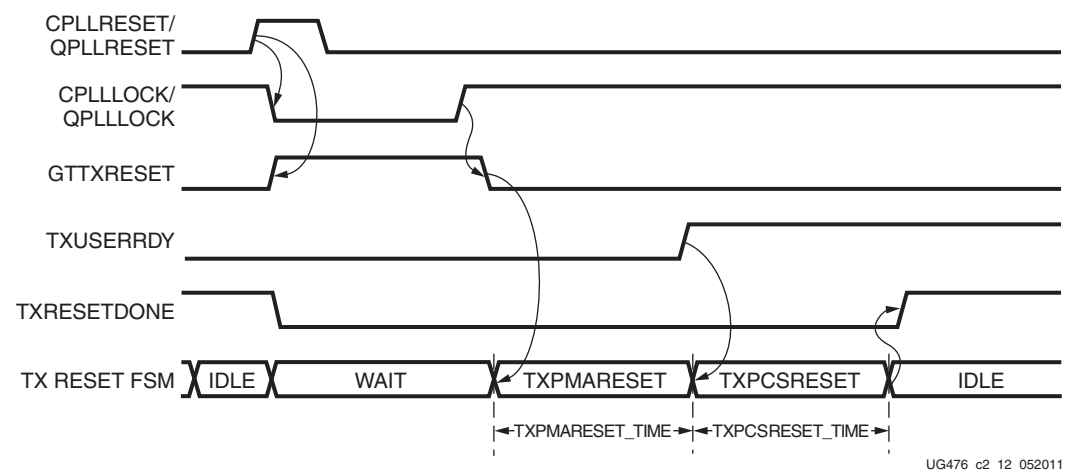


図 2-16 : FPGA コンフィギュレーション後の GTX/GTH トランスミッターの初期化

GTTXRESET パルスに応答する GTX/GTH トランシーバー TX のリセット

GTX/GTH トランシーバーでは、ユーザーが GTTXRESET 信号をアクティブ High 駆動することで、TX 全体を随時リセットできます。TXPMARESET_TIME および TXPCSRESET_TIME は、あらかじめ設定できますが、GTTXRESET を適用する前に DRP ポートを使用して適切なリセット時間に変更することも可能です。GTTXRESET を使用する際は、次の条件を満たす必要があります。

1. シーケンシャル モードを使用するため、GTRESETSEL が Low 駆動している。
2. TXRESETDONE が High に遷移するまでのリセット プロセス中は、TXPMARESET および TXPCSRESET が常に Low 駆動している。
3. 関連する PLL がロックされている。
4. 非同期 GTTXRESET 信号のパルス幅のガイドラインは、基準クロックの 1 周期分である。

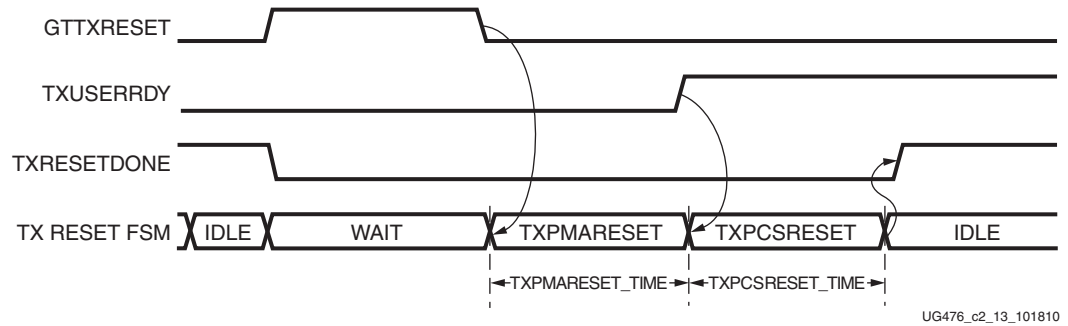


図 2-17 : GTTXRESET パルスによる GTX/GTH トランスミッターのリセット

GTX/GTH トランシーバー TX コンポーネントのリセット

TX PMA と TX PCS は個別にリセットできます。TXPMARESET または TXPCSRESET が実行されている間、GTTXRESET は常に Low 駆動します。

TXPMARESET が High から Low へ遷移すると、PMA リセットプロセスが開始します。TXPMARESET が実行されている間、TXPCSRESET は常に Low 駆動します。シーケンシャルモード (図 2-18 参照) の場合、TXUSERRDY が High のとき、PMA リセットの完了後に PCS リセットが自動的に開始されます。

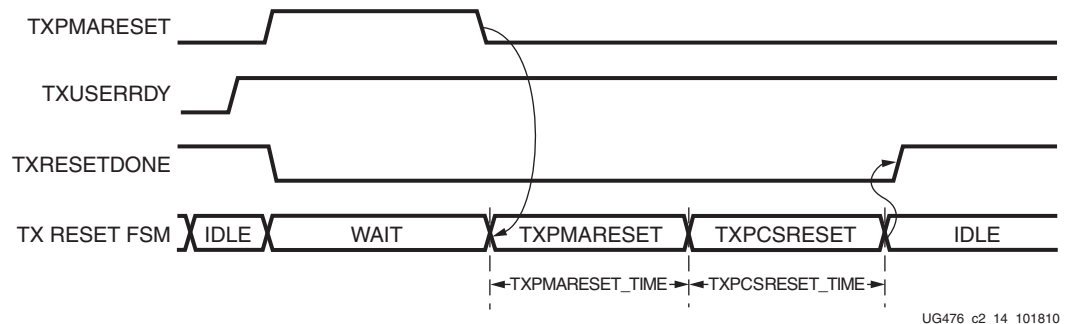


図 2-18 : シーケンシャル モードの TXPMARESET

TXUSERRDY が High の場合、TXPCSRESET が High から Low へ遷移すると、PCS リセットプロセスが開始します。PCS のリセットが実行されている間、TXPMARESET は常に Low 駆動します。シーケンシャルモードの場合、リセットステートマシンは PCS のみをリセットします (図 2-19 参照)。

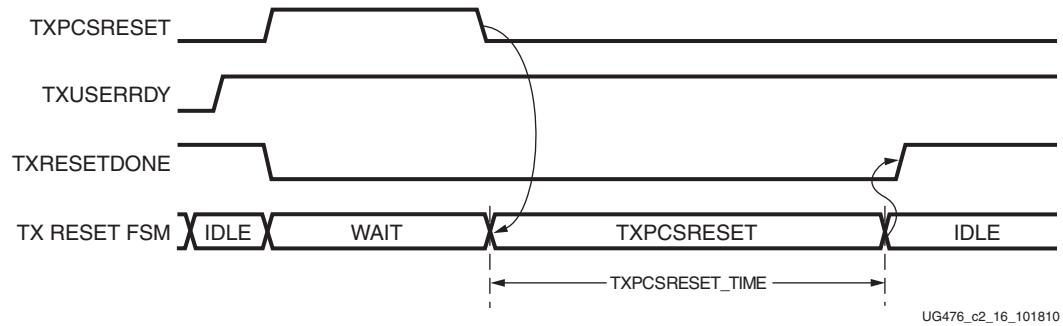


図 2-19：シーケンシャル モードの TXPCSRESET

表 2-26 では、シーケンシャル モードにおける GTX/GTH トランシーバー TX で利用できるすべてのリセットとそれらの対象となるコンポーネントを示します。シーケンシャル モードで TXPMARESET を使用した場合、TX リセット ステート マシン以外のすべてのコンポーネントがリセットされます。

表 2-26：TX 初期化リセットおよびコンポーネント リセットの範囲
(シーケンシャル モードの場合)

	ファンクション ブロック	GTTXRESET	TXPMARESET	TXPCSRESET
TX PCS	FPGA TX ファブリック インターフェイス	✓	✓	✓
	TX 8B/10B エンコーダー	✓	✓	✓
	TX ギアボックス	✓	✓	✓
	TX バッファ	✓	✓	✓
	TX パターン ジェネレーター	✓	✓	✓
	TX 極性制御	✓	✓	✓
	TX の OOB 信号	✓	✓	✓
	TX リセット FSM	✓		
TX PMA	TXコンフィギュレーション ドライバー	✓	✓	
	PCI Express デザイン用の TX レシーバー検出機能	✓	✓	
	TX PISO	✓	✓	

表 2-27 に、状況に応じたリセット方法を示します。

表 2-27：一般的な状況で推奨されるリセット方法

状況	リセットするコンポーネント	推奨リセット ⁽¹⁾
電源投入およびコンフィギュレーション後	TX 全体	GTTXRESET
使用されている CPLL/QPLL への基準クロックの電源投入後	TX 全体	GTTXRESET
使用されている CPLL/QPLL への基準クロック変更後	TX 全体	GTTXRESET
使用されている PLL に対する CPLLPD または QPLLPD のアサート/ディアサート後	TX 全体	GTTXRESET
TXPD[1:0] のアサート/ディアサート後	TX 全体	GTTXRESET
TX レートの変更	TX PMA および TX PCS	リセットが自動的に実行される
TX パラレル クロック ソースのリセット	TX PCS	TXPCSRESET
遠端 PMA ループバックへの、または遠端 PMA ループバックからの遷移	TX 全体	GTTXRESET
近端 PMA ループバックへの、または近端 PMA ループバックからの遷移	RX 全体	GTRXRESET

注記：

1. 推奨するリセット方法を使用すると、GTX/GTH トランシーバーのほかのコンポーネントへの影響が最小になります。

電源投入およびコンフィギュレーション後

コンフィギュレーション後、GTX/GTH TX 全体をリセットする必要があります。67 ページの「コンフィギュレーションの完了に回答する GTX/GTH トランシーバー TX のリセット」を参照してください。

使用されている CPLL/QPLL への基準クロックの電源投入後

コンフィギュレーション後に基準クロックが変更した、または GTX/GTH トランシーバーに電源が投入された場合、PLL のリセットが完全に終了した後に GTTXRESET をトグルする必要があります。

使用されている CPLL/QPLL への基準クロックの変更後

PLL への基準クロック入力の変更時には、新たな周波数に対して確実にロックするよう、PLL をリセットする必要があります。PLL のリセットが完全に終了したら、GTTXRESET をトグルする必要があります。

使用されている PLL に対する C/QPLLPD のアサート/ディアサート

電源切断後に使用されている CPLL または QPLL が通常動作に戻った場合、PLL をリセットする必要があります。PLL のリセットが完全に終了したら、GTTXRESET をトグルする必要があります。

TXPD[1:0] のアサート/ディアサート後

TXPD 信号がディアサートされたら、GTTXRESET をトグルする必要があります。

TX レートの変更

レートが変更されると、必要なリセット シーケンスが自動的に実行されます。レートの変更と必要なリセット シーケンスの両方が適用されて完了すると、TXRATEDONE がアサートされます。

TX バッファが有効の場合、レートの変更後に TX バッファが自動的にリセットするように TXBUF_RESET_ON_RATE_CHANGE 属性を TRUE に設定する必要があります。TX バッファをバイパスする場合は、TXRATEDONE のアサート後にアライメントを反復実行します。

TX パラレル クロック ソースのリセット

正常動作を行うには、TXUSRCLK および TXUSRCLK2 を駆動するクロックが安定している必要があります。これらのクロックは、位相および周波数要件を満たすため、FPGA の MMCM から駆動されることが多くあります。MMCM のロックが解除され、誤った値が出力され始めた場合、クロック ソースが再度ロックされた後に TXPCSRESET をトグルする必要があります。

TX バッファをバイパスする場合は、リセットの完了後にアライメントを反復実行します。

RX の初期化およびリセット

GTX/GTH トランシーバー RX は、リセット ステート マシンを使用してリセット プロセスを制御します。GTX/GTH トランシーバー RX は複雑なため、TX よりも多くのリセット領域があります。これらの領域が分割されることで、シーケンシャル モードまたはシングル モードのいずれかで RX の初期化およびリセットを実行できます (図 2-20 参照)。

1. シーケンシャル モードの RX

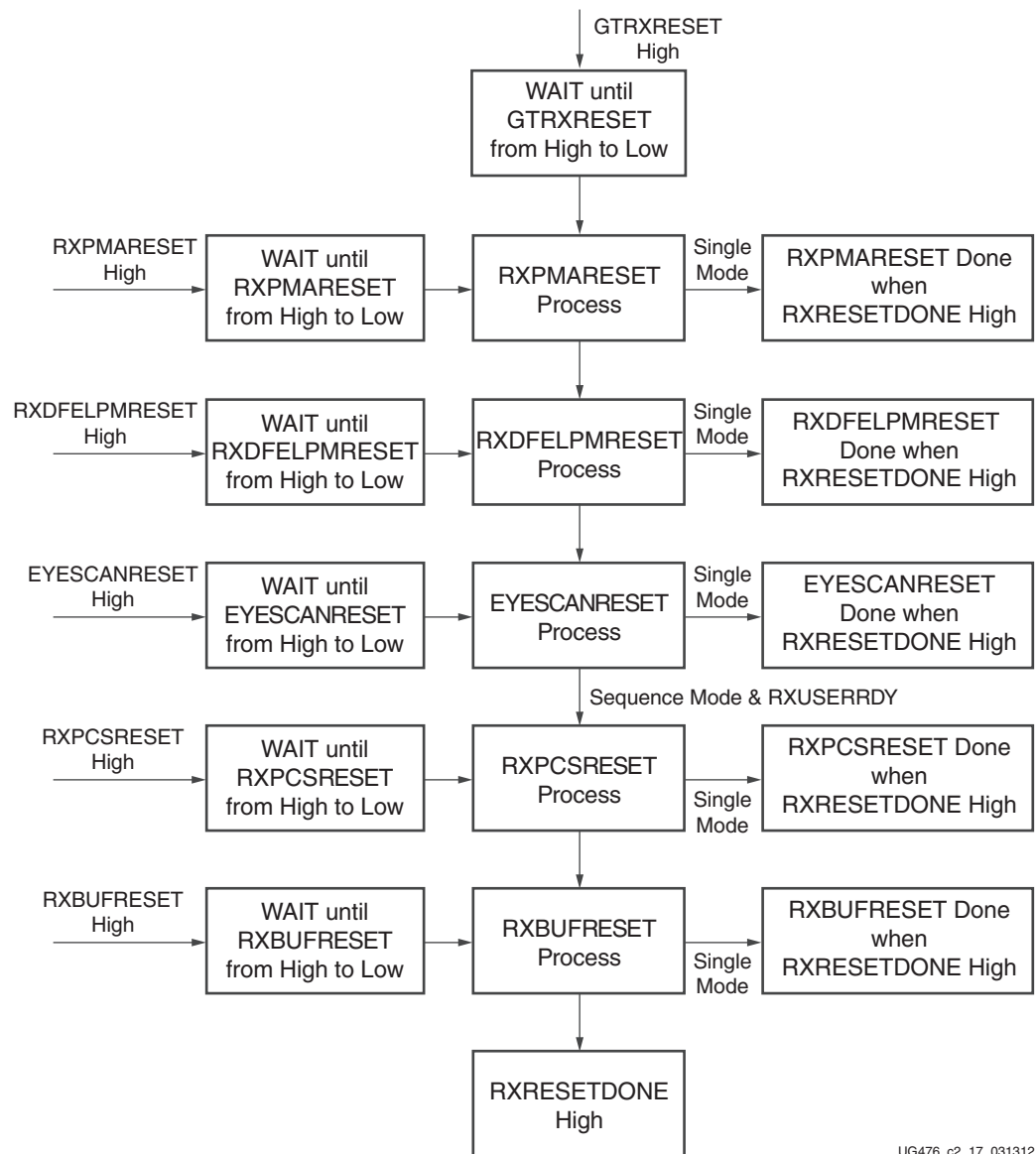
GTX/GTH トランシーバー RX を初期化する場合は、GTRXRESET をシーケンシャル モードで使用する必要があります。GTRXRESET 入力を High 駆動すると、完全非同期の RX リセットを自動的にトリガーできます。リセット ステート マシンは、図 2-20 に示すリセット シーケンスを実行して、RX PMA および RX PCS をすべてリセットします。標準動作中、シーケンシャル モードを使用することで RXPMARESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET、および RXBUFRESET のいずれかを High 駆動し、RXRESETDONE が Low から High へ遷移するまでリセット ステート マシンの遷移を続けてリセットできます。

2. シングル モードの RX

GTX/GTH トランシーバー RX がシングル モードの場合は、ほかのリセット領域へ影響を与えずにリセット シーケンスの RXPMARESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET、および RXBUFRESET を個別に実行できます。

シーケンシャル モードまたはシングル モードのいずれの場合でも、RXUSERRDY が High になるまで RX リセット ステート マシンは PCS をリセットしません。次に示す条件が満たされた後に、ユーザーが RXUSERRDY 信号を High 駆動する必要があります。

1. PLL または MMCM が使用されている場合、アプリケーション内の RXUSRCLK および RXUSRCLK2 を含むすべてのクロックが安定 (ロック) している。
2. ユーザー インターフェイスが GTX/GTH トランシーバーからデータを受信できる状態であること。



UG476_c2_17_031312

図 2-20 : GTX/GTH トランシーバー RX のリセット時のステート マシン シーケンス

ポートおよび属性

表 2-28 に、GTX/GTH トランシーバー RX の初期化プロセスに必要なポートを示します。

表 2-28 : RX の初期化およびリセット ポート

ポート	方向	クロック ドメイン	説明
GTRXRESET	入力	非同期	チャンネルの RX リセット シーケンスを開始するため、このポートは High 駆動された後ディアサートされます。
RXOSCALRESET	入力	非同期	GTH トランシーバー： 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RSOSINTDONE	出力	非同期	GTH トランシーバー： 予約
RXPMARESET	入力	非同期	RX PMA のリセット シーケンスを開始するため、このポートは High 駆動された後ディアサートされます。シングル モードの場合、RXPMARESET を High 駆動すると RX PMA ブロックのみがリセットされます (CDR および DFE はリセットされません)。シーケンシャル モードの場合、RXPMARESET を High 駆動すると、 図 2-20 の RX リセット プロセスが RXPMARESET から開始され、その後 RXCDRPHASERESSET、RXCDRFREQRESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET、RXBUFRESET という順でリセットが実行されます。シーケンシャル モードでリセット対象となる部分は、 表 2-30 を参照してください。
RXCDRRESET	入力	非同期	予約。Low に接続してください。
RXCDRFREQRESET	入力	非同期	予約。Low に接続してください。
RXDFELPMRESET	入力	非同期	DFE のリセット シーケンスを開始するため、このポートは High 駆動された後ディアサートされます。シングルモードの場合、RXDFELPMRESET を High 駆動すると RX DFE 回路のみがリセットされます。シーケンシャル モードの場合、RXDFELPMRESET を High 駆動すると、 図 2-20 の RX リセット プロセスが RXDFELPMRESET から開始され、その後 EYESCANRESET、RXPCSRESET、RXBUFRESET という順でリセットが実行されます。シーケンシャル モードでリセット対象となる部分は、 表 2-30 を参照してください。

表 2-28 : RX の初期化およびリセット ポート (続き)

ポート	方向	クロック ドメイン	説明
EYESCANRESET	入力	非同期	EYESCAN のリセット シーケンスを開始するため、このポートは High 駆動された後ディアサートされます。シングル モードの場合、EYESCANRESET を High 駆動すると RX アイ スキャン回路のみがリセットされます。シーケンシャル モードの場合、EYESCANRESET を High 駆動すると、図 2-20 の RX リセット プロセスが EYESCANRESET から開始され、その後 RXPCSRESET、RXBUFRESET という順でリセットが実行されます。シーケンシャル モードでリセット対象となる部分は、表 2-30 を参照してください。
RXPCSRESET	入力	非同期	PCS のリセット シーケンスを開始するため、このポートは High 駆動された後ディアサートされます。シングル モードの場合、RXPCSRESET を High 駆動すると RX PCS 回路のみがリセットされます。シーケンシャル モードの場合、RXPCSRESET を High 駆動すると、図 2-20 の RX リセット プロセスが RXPCSRESET から開始され、その後 RXBUFRESET が実行されます。シーケンシャル モードでリセット対象となる部分は、表 2-30 を参照してください。 いずれのモードの場合でも、RXPCSRESET は、RXUSERRDY が High に遷移するまでリセット プロセスを開始しません。
RXBUFRESET	入力	非同期	RX エラスティック バッファのリセット シーケンスを開始するため、このポートは High 駆動された後ディアサートされます。シングル モードまたはシーケンシャル モードのいずれかでこのポートを High 駆動すると RX エラスティック バッファのみがリセットされます。
RXUSERRDY	入力	非同期	このポートは、RXUSRCLK および RXUSRCLK2 が安定すると、ユーザー アプリケーションによって High 駆動されます。たとえば、MMCM を使用して RXUSRCLK および RXUSRCLK2 の両方を生成する場合は、MMCM ロック信号を使用できます。

表 2-28：RX の初期化およびリセット ポート (続き)

ポート	方向	クロック ドメイン	説明
RXRESETDONE	出力	RXUSRCLK2	アサートされると、GTX/GTH トランシーバー RX がリセットを完了して使用可能になったことを示す、アクティブ High になります。シーケンシャル モードでは、GTRXRESET が High の場合に Low 駆動します。また、RXUSERRDY が High に遷移するまで High 駆動しません。シングル モードでは、RX リセットがアサートされた場合に Low 駆動します。この信号は、すべての RX リセットがディアサートされ、RXUSERRDY がアサートされるまでアサートされません。
RXPMARESETDONE	出力	非同期	GTH トランシーバー： GTH RX PMA リセットが完了すると、アクティブ High になります。GTRXRESET または RXPMARESET がアサートされると、Low に駆動します。
RXOOBRESET	入力	非同期	OOB の個別リセットに使用します。OOB 機能を使用しない場合、つまり OOB 信号のリセットが不要な場合は Low に接続してください。 RXOOBRESET は、図 2-20 に示す GTX/GTH トランシーバー RX のリセット ステート マシンのシーケンスとは独立したものです。また、シーケンシャル モードやシングル モードは適用されません。 RXOOBRESET を実行した場合、RXRESETDONE の Low-High 遷移および High-Low 遷移はありません。

表 2-29 に、GTX/GTH トランシーバー RX の初期化プロセスに必要な属性を示します。通常、RX データパス上の各リセットに要する時間は、ライン レートやファンクションによって異なります。表 2-29 に示すユーザー指定の属性を使用して、各リセット時間を設定します。

表 2-29：RX の初期化およびリセット属性

属性	タイプ	説明
RXOSCALRESET_TIME	5 ビット バイナリ	GTH トランシーバー： 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。GTRXRESET を使用してリセット プロセスを開始する場合は、0 以外の値に設定してください。

表 2-29 : RX の初期化およびリセット属性 (続き)

属性	タイプ	説明
RXOSCALRESET_TIMEOUT	5 ビット バイナリ	GTH トランシーバー : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。標準動作には、0 を設定してください。
RXPMARESET_TIME	5 ビット バイナリ	予約。RX PMA リセットに適用される時間を示します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。GTRXRESET または RXPMARESET を使用してリセット プロセスを開始する場合は、0 以外の値に設定してください。
RXCDRPHRESET_TIME	5 ビット バイナリ	予約。RX CDR 位相リセットに適用される時間を示します。RXCDRRESET を使用してリセット プロセスを開始する場合は、0 以外の値に設定してください。
RXCDRFREQRESET_TIME	5 ビット バイナリ	予約。RX CDRFREQ リセットに適用される時間を示します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。RXCDRFREQRESET を使用してリセット プロセスを開始する場合は、0 以外の値に設定してください。
RXDFELPMRESET_TIME	7 ビット バイナリ	予約。RX DFE リセットに適用される時間を示します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。RXDFELPMRESET を使用してリセット プロセスを開始する場合は、0 以外の値に設定してください。
RXISCANRESET_TIME	5 ビット バイナリ	予約。RX EYESCAN リセットに適用される時間を示します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。RXISCANRESET_TIME を使用してリセット プロセスを開始する場合は、0 以外の値に設定してください。
RXPCSRESET_TIME	5 ビット バイナリ	予約。RX PCS リセットに適用される時間を示します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。RXPCSRESET を使用してリセット プロセスを開始する場合は、0 以外の値に設定してください。
RXBUFRESET_TIME	5 ビット バイナリ	予約。RX BUFFER リセットに適用される時間を示します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。RXBUFRESET を使用してリセット プロセスを開始する場合は、0 以外の値に設定してください。

コンフィギュレーションの完了に応答する GTX/GTH トランシーバー RX のリセット

図 2-20 に示す RX リセット シーケンスは、グローバル GSR 信号に続いて自動的に開始されることはありません。これは、次のトランシーバーおよびコンフィギュレーションについて適用されます。

- すべての GTX トランシーバー
- RXOUT_DIV = 1 および/あるいは RX_DATA_WIDTH = 16、32、または 64 に設定されている、GTH トランシーバー

次の条件を満たす必要があります。

1. シーケンシャル モードを使用するため、GTRESETSEL が Low 駆動している。
2. GTRXRESET が使用されている。
3. RXRESETDONE が High に遷移するまでのリセット プロセス全体で、RXPMARESET、RXCDRRESET、RXCDRFREQRESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET、および RXBUFRESET を含むすべてのシングル リセット入力に常に Low に維持されている。
4. 関連する PLL がロックされるまで、GTRXRESET は Low 駆動できない。

コンフィギュレーション時にリセット モードがデフォルトでシーケンシャル モードになると、コンフィギュレーションが完了してから少なくとも 500ns 間待機した後に、C/QPLLRESET および GTRXRESET をアサートできます。

リセット モードがデフォルトでシングル モードになると、ユーザーは次を実行する必要があります。

1. コンフィギュレーションの完了後、少なくとも 500ns 間待機します。
2. リセット モードをシーケンシャル モードに変更します。
3. さらに 300 ~ 500ns 間待機します。
4. C/QPLLRESET および GTTXRESET をアサートします。

図 2-21 で示すように、CPLL または QPLL のいずれかからの PLLLOCK 信号を使用して、GTRXRESET を High から Low へ遷移させることを推奨します。RX リセット ステート マシンは、GTRXRESET の High が検出されてリセット シーケンスを開始し、Low に遷移するまで待機します。

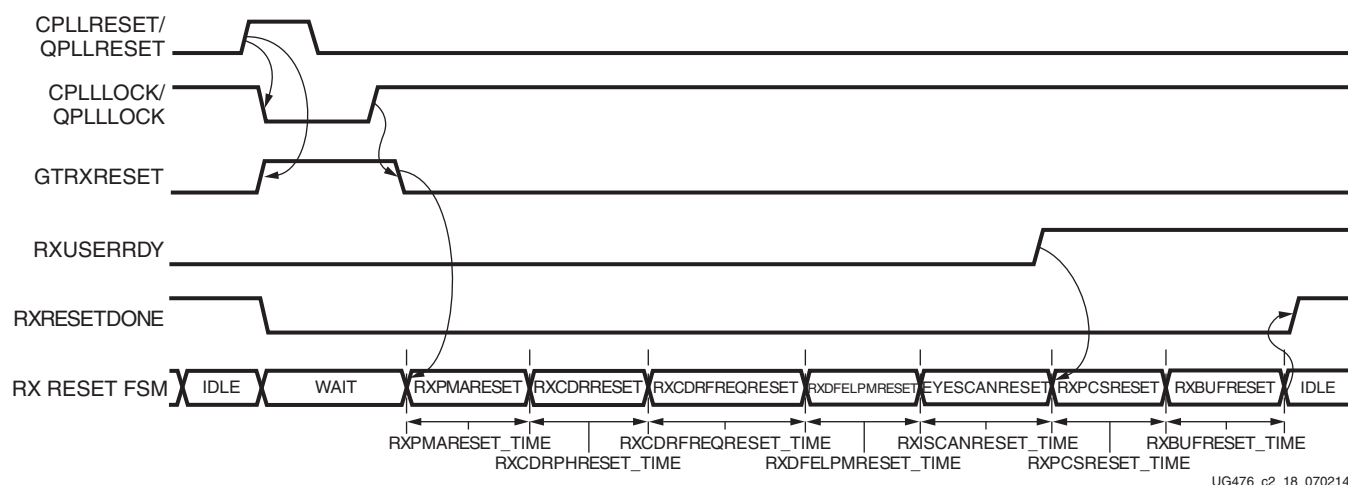


図 2-21 : FPGA コンフィギュレーション後の GTX/GTH レシーバー

ここでは、次のようにコンフィギュレーションされた GTH トランシーバーについて説明します。

- RXOUT_DIV != 1 および
- RX 内部データ幅が 20 ビットまたは 40 ビット (RX_DATA_WIDTH = 20、40、または 80)

次の条件を満たす必要があります。

1. シーケンシャル モードを使用するため、GTRESETSEL が Low 駆動している。
2. GTRXRESET が使用されている。
3. RXRESETDONE が High に遷移するまでのリセット プロセス全体で、RXPMARESET、RXCDRRESET、RXCDRFREQRESET、RXLPRESET、EYESCANRESET、RXPCRESET、および RXBUFRESET を含むすべてのシングル リセット入力が常に Low に維持されている。
4. 関連する PLL がロックされるまで、GTRXRESET は Low 駆動できない。

コンフィギュレーション時にリセット モードがデフォルトでシーケンシャル モードになると、コンフィギュレーションが完了してから少なくとも 500ns 間待機した後に、C/QPLLRESET および GTRXRESET をアサートできます。

リセット モードがデフォルトでシングル モードになると、ユーザーは次を実行する必要があります。

1. コンフィギュレーションの完了後、少なくとも 500ns 間待機します。
2. リセット モードをシーケンシャル モードに変更します。
3. さらに 300 ~ 500ns 間待機します。

コンフィギュレーション後に GTRXRESET を発行するには、図 2-22 に示す手順を実行する必要があります。

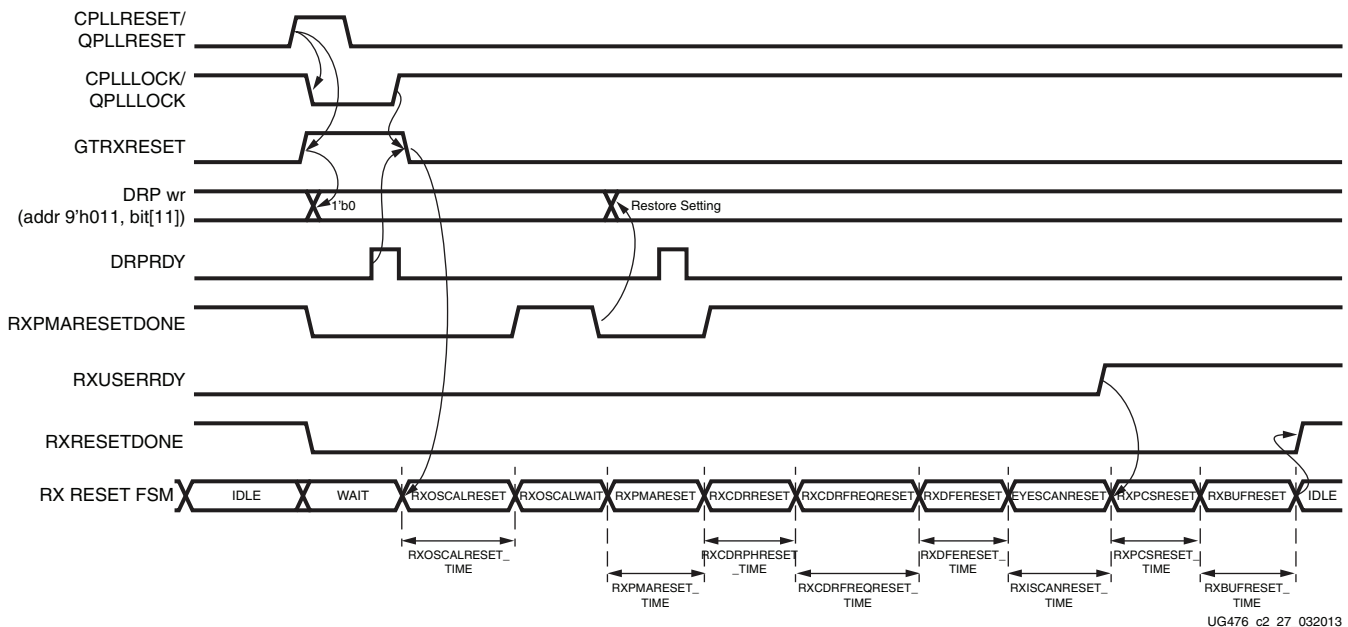


図 2-22 : FPGA コンフィギュレーション後の GTH レシーバー

図 2-22 について説明します。

1. DRP wr は、アドレス 9'h011 への DRP の書き込みを実行するファンクションです。正確な DRP トランザクションは表示されてません。
2. 図 2-22 はイベント シーケンスを表しており、正確な縮尺ではありません。
3. コンフィギュレーション後に RX リセットをトリガーするには、C/QPLLRESET をアサートして GTRXRESET がアサートされている間にリリースします。GTRXRESET がアサートされることによって RXPMARESETDONE が Low に遷移します。
4. DRP 書き込みは GTHE2_CHANNEL プリミティブ、DRPADDR 9'h011 に対して発行され、bit [11] が 1'b0 に設定されます。

DRPADDR 9'h011 の bit[11] のみを確実に変更するには、read-modify-write ファンクションを実行するのが最善です。

5. DRP 書き込みが完了したら、ユーザーは GTRXRESET を Low に設定し、必要に応じてその状態を維持させることができます。DRP 書き込みが完了するまで GTRXRESET を High に維持する限り、ユーザーは GTRXRESET のアサートを延長できます。

注記：図 2-19 で示すように、CPLL または QPLL のいずれかからの PLLLOCK 信号を使用して、GTRXRESET を High から Low へ遷移させることを推奨します。

6. ユーザーは RXPMARESETDONE の立ち下がりエッジを待機する必要があります。
7. DRP 書き込みは GTHE2_CHANNEL プリミティブ、DRPADDR 9'h011 に対して発行され、bit[11] を元の設定に戻します。この DRP 書き込みは、RXPMARESETDONE が Low から High に切り替わる前に完了させる必要があります。RXPMARESETDONE は、少なくとも 0.66μs 間 Low のままです。
8. グリッチを回避するため、GTRXRESET はレジスタの出力で駆動します。
9. RXPMARESET_TIME は 5'h3 に設定する必要があります。これをデフォルト設定とします。
10. SIM_RESET_SPEEDUP が FALSE に設定され、UniSims ライブラリにある GT 論理シミュレーション モデルが使用された場合、上記シーケンスでシミュレーションが正しく実行されます。SIM_RESET_SPEEDUP が TRUE に設定され、または unifast ライブラリの GT 論理シミュレーション モデルが使用された場合、上記シーケンスにはバイパスを使用する必要があります。

注記：RXOUT_DIV = 1 あるいは RX_DATA_WIDTH = 16、32、または 64 に設定されている GTH トランシーバーについては、上記手順の実行は可能ですが必要というわけではありません。要件については、図 2-23 を参照してください。

GTRXRESET パルスに応答する GTX/GTH トランシーバー RX のリセット

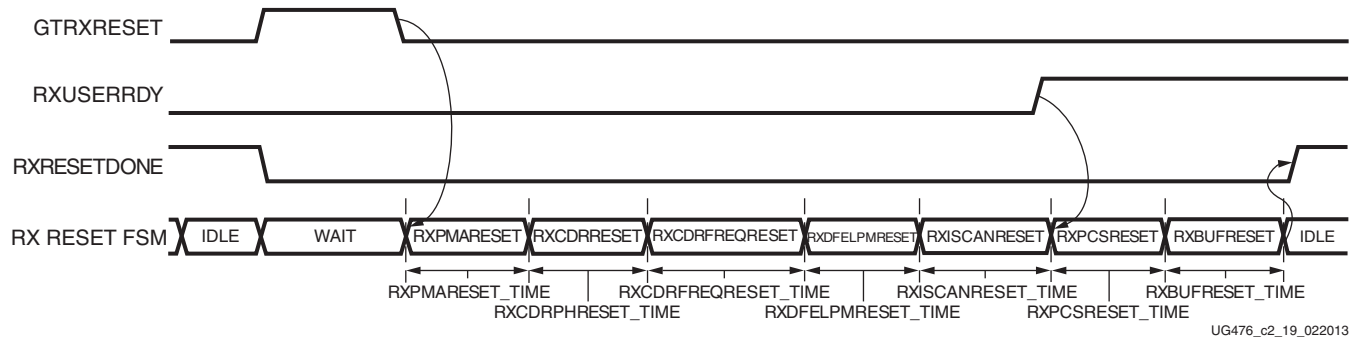
GTX/GTH トランシーバーでは、ユーザーが GTRXRESET 信号を High 駆動することで、RX 全体を随時リセットできます。表 2-28 にリストされたすべての RX リセット属性は、あらかじめ設定できますが、GTRXRESET を適用する前に DRP ポートを使用して適切なリセット時間に変更することも可能です。GTRXRESET を使用する際は、次の条件を満たす必要があります。

1. シーケンシャル モードを使用するため、GTRESETSEL が Low 駆動している。
2. RXRESETDONE が High に遷移するまでのリセット プロセス中は、RXPMARESET、RXCDRRESET、RXCDRFREQRESET、RXDFELPMRESET、EYESCANRESET、RXPCSRESET、および RXBUFRESET を含む図 2-20 の左側にあるすべてのリセット入力 が常に Low を保持している。
3. 関連する PLL がロックされている。

4. 次のトランシーバーおよびコンフィギュレーションについて適用される。

- すべての GTX トランシーバー
- RXOUT_DIV = 1 および/あるいは RX_DATA_WIDTH = 16、32、または 64 に設定されている GTX トランシーバー

非同期 GTRXRESET 信号のパルス幅のガイドラインは、基準クロックの 1 周期分である。



UG476_c2_19_022013

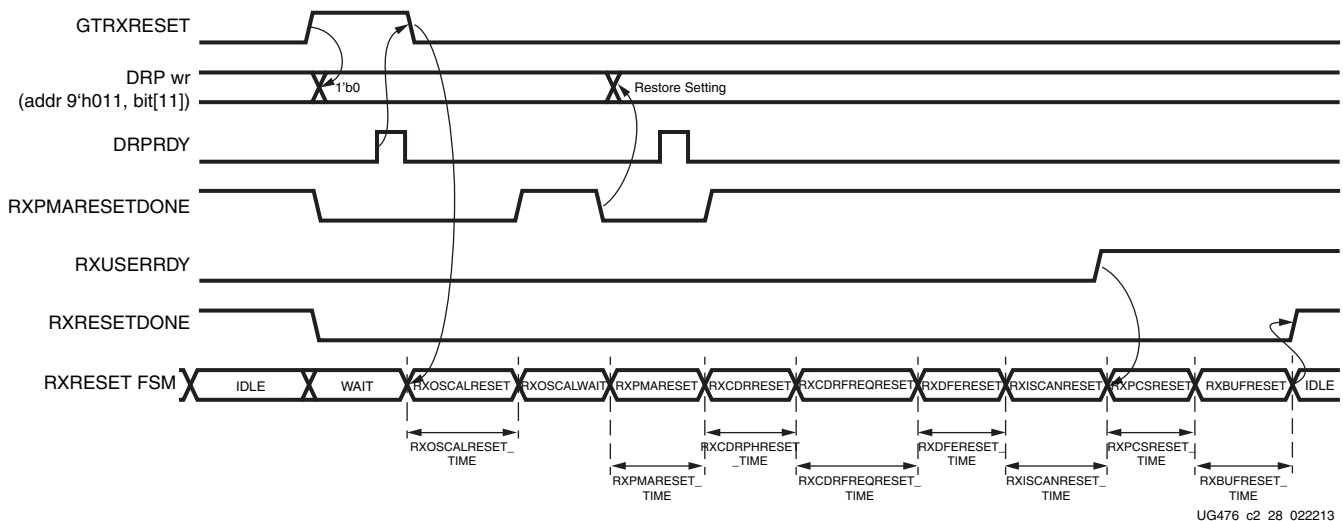
図 2-23 : GTRXRESET パルスによる GTX/GTH レシーバーのリセット

ここでは、次のようにコンフィギュレーションされた GTX トランシーバーについて説明します。

- RXOUT_DIV != 1 および
- RX 内部データ幅が 20 ビットまたは 40 ビット (RX_DATA_WIDTH = 20、40、または 80)

GTRXRESET を使用する際は、次の条件を満たす必要があります。

1. シーケンシャル モードを使用するため、GTRESETSEL が Low 駆動している。
2. RXRESETDONE が High に遷移するまでのリセットプロセス全体で、RXPMARESET、RXCDRRESET、RXCDRFREQRESET、RXDFELPMRESET、EYESCANRESET、RXPCSCRESET、および RXBUFRESET を含む 69 ページの図 2-18 の左側にあるすべてのリセット入力に常に Low を維持している。
3. 関連する PLL がロックされている。
4. 図 2-24 に、GTRXRESET を発行する手順を示します。



UG476_c2_28_022213

図 2-24 : GTRXRESET による GTX レシーバーのリセット

図 2-24 について説明します。

1. `DRP wr` は、アドレス `9'h011` への `DRP` の書き込みを実行するファンクションです。正確な `DRP` トランザクションは表示されてません。
 2. 図 2-24 はイベント シーケンスを表しており、正確な縮尺ではありません。
 3. `GTRXRESET` をトリガーするには、`GTRXRESET` を `High` に設定し、この状態を維持させる必要があります。これにより、`RXPMARESETDONE` が `Low` に遷移します。
 4. `DRP` 書き込みは `GTHE2_CHANNEL` プリミティブ、`DRPADDR 9'h011` に対して発行され、`bit[11]` を `1'b0` に設定する必要があります。
`DRPADDR 9'h011` の `bit[11]` のみを確実に変更するには、`read-modify-write` ファンクションを実行するのが最善です。
 5. `DRP` 書き込みが完了したら、`GTRXRESET` を `Low` に設定し、必要なだけその状態を維持させることができます。`DRP` 書き込みが完了するまで `GTRXRESET` を `High` に維持する限り、ユーザーは `GTRXRESET` のアサートを延長できます。
 6. ユーザーは `RXPMARESETDONE` の立ち下がりエッジを待機する必要があります。
 7. `DRP` 書き込みは `GTHE2_CHANNEL` プリミティブ、`DRPADDR 9'h011` に対して発行され、`bit[11]` を元の設定に戻します。この `DRP` 書き込みは、`RXPMARESETDONE` が `Low` から `High` に切り替わる前に完了させる必要があります。`RXPMARESETDONE` は、少なくとも `0.66μs` 間 `Low` のままです。
 8. グリッチを回避するため、`GTRXRESET` はレジスタの出力で駆動します。
 9. `RXPMARESET_TIME` は `5'h3` に設定する必要があります。これをデフォルト設定とします。
 10. `SIM_RESET_SPEEDUP` が `FALSE` に設定され、`UniSims` ライブラリにある `GT` 論理シミュレーション モデルが使用された場合、上記シーケンスでシミュレーションが正しく実行されます。`SIM_RESET_SPEEDUP` が `TRUE` に設定され、または `unifast` ライブラリの `GT` 論理シミュレーション モデルが使用された場合、上記シーケンスにはバイパスを使用する必要があります。
- 注記：`RXOUT_DIV = 1` あるいは `RX_DATA_WIDTH = 16, 32, または 64` に設定されている `GTH` トランシーバーについては、上記手順の実行は可能ですが必要というわけではありません。要件については、図 2-23 を参照してください。

GTH トランシーバー RX PMA リセット

次のようにコンフィギュレーションされた GTH トランシーバーについて説明します。

- RXOUT_DIV != 1 および
- RX 内部データ幅が 20 ビットまたは 40 ビット (RX_DATA_WIDTH = 20、40、または 80)

RXPMARESET を発行する場合は、図 2-25 の手順を実行する必要があります。

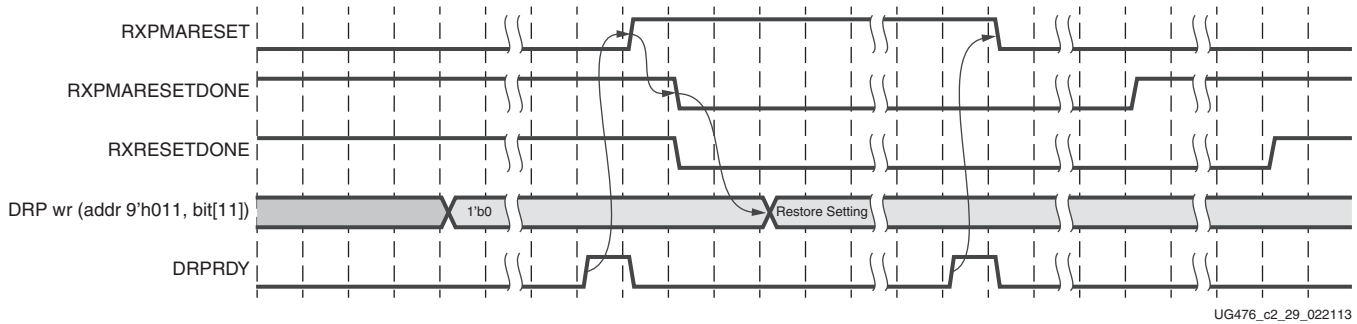


図 2-25 : GTH トランシーバー RXPMARESET シーケンス

図 2-25 について説明します。

1. DRP wr は、アドレス 9'h011 への DRP の書き込みを実行するファンクションです。正確な DRP トランザクションは表示されてません。
2. 図 2-25 はイベント シーケンスを表しており、正確な縮尺ではありません。
3. RXPMARESET をトリガーするには、DRP 書き込みを GTHE2_CHANNEL プリミティブ、DRPADDR 9'h011 に対して発行し、bit[11] を 1'b0 に設定する必要があります。
DRPADDR 9'h011 の bit[11] のみを確実に変更するには、read-modify-write ファンクションを実行するのが最善です。
4. DRP 書き込みが完了したら、RXPMARESET を High に設定してその状態を維持させる必要があります。
5. RXPMARESETDONE が Low に駆動されるまで待機してください。
6. DRP 書き込みは GTHE2_CHANNEL プリミティブ、DRPADDR 9'h011 に対して発行され、bit[11] を元の設定に戻します。
7. DRP 書き込みが完了したら、RXPMARESET を Low に設定し、必要なだけその状態を維持させることができます。DRP 書き込みが完了するまで RXPMARESET を High に維持する限り、ユーザーは RXPMARESET のアサートを延長できます。
8. グリッチを回避するため、RXPMARESET はレジスタの出力で駆動します。

注記 : RXOUT_DIV = 1 あるいは RX_DATA_WIDTH = 16、32、または 64 に設定されている GTH トランシーバーについては、上記手順の実行は可能ですが必要というわけではありません。

GTX/GTH トランシーバー RX コンポーネントのリセット

GTX/GTH トランシーバー RX コンポーネントのリセットには、シーケンシャル モードまたはシングル モードのいずれかを使用できます。これらのリセットは、主に特別な場合に使用され、特定のサブセクションのリセットが必要な場合にのみ実行します。表 2-30 および表 2-31 では、GTX/GTH トランシーバー RX で利用できるすべてのリセットとそれらの対象となるコンポーネントをモード別（シーケンシャル モード/シングル モード）に示します。これらのリセットはすべて非同期です。

表 2-30 : RX コンポーネント リセットの範囲 (シーケンシャル モードの場合)

	ファンクション ブロック	GTRX RESET	RXPMA RESET	RXDFF RESET	EYESCAN RESET	RXPCS RESET	RXBUF RESET
RX PCS	FPGA RX ファブリック インターフェイス	✓	✓	✓	✓	✓	
	RX ギアボックス	✓	✓	✓	✓	✓	
	RX ステータス制御	✓	✓	✓	✓	✓	
	RX エラスティック バッファの 遅延調整機能	✓	✓	✓	✓	✓	
	RX 8B/10B エンコーダー	✓	✓	✓	✓	✓	
	RX カンマ検出 およびアライメント	✓	✓	✓	✓	✓	
	RX 極性	✓	✓	✓	✓	✓	
	PRBS チェッカー	✓	✓	✓	✓	✓	
	RX エラスティック バッファ	✓	✓	✓	✓	✓	✓
	RX リセット FSM	✓					
RX PMA	RX アナログ フロント エンド	✓	✓				
	RX の OOB 信号	✓	✓				
	RX SIPO	✓	✓				
	RX CDR 位相パス	✓	✓				
	RX CDR 周波数パス	✓	✓				
	RX DFE	✓	✓	✓			
	RX EYESCAN	✓	✓	✓	✓		

表 2-31 : RX コンポーネント リセットの範囲 (シングル モードの場合)

	ファンクション ブロック	GTRX RESET	RXPMA RESET	RXDFE RESET	EYESCAN RESET	RXPCS RESET	RXBUF RESET	RXOOB RESET
RX PCS	FPGA RX ファブリック インターフェイス					✓		
	RX ギアボックス					✓		
	RX ステータス制御					✓		
	RX 遅延調整機能					✓		
	RX 8B/10B エンコーダー					✓		
	RX カンマ検出 およびアライメント					✓		
	RX 極性					✓		
	PRBS チェッカー					✓		
	RX エラスティック バッファ						✓	
	RX リセット FSM							
RX PMA	RX アナログ フロント エンド		✓					
	RX の OOB 信号		✓					✓
	RX SIPO		✓					
	RX CDR 位相パス							
	RX CDR 周波数パス							
	RX DFE			✓				
	RX EYESCAN				✓			

表 2-32 に、状況に応じたリセット方法を示します。

表 2-32 : 一般的な状況で推奨されるリセット方法

状況	リセットする コンポーネント	推奨リセット ⁽¹⁾
電源投入およびコンフィギュレーション後	RX 全体	GTRXRESET
使用されている CPLL/QPLL への基準ク ロックの電源投入後	RX 全体	GTRXRESET
使用されている CPLL/QPLL への基準ク ロック変更後	RX 全体	GTRXRESET
使用されている PLL に対する CPLLPD または QPLLPD のアサート/ディアサー ト後	RX 全体	GTRXRESET

表 2-32：一般的な状況で推奨されるリセット方法 (続き)

状況	リセットする コンポーネント	推奨リセット ⁽¹⁾
RXPD[1:0] のアサート/ディアサート後	RX 全体	GTRXRESET
RX レートの変更	RX PCS	リセットが自動的に実行される
RX パラレル クロック ソースのリセット	RX PCS	RXPCSRESET
リモート側の電源投入後	RX 全体	GTRXRESET
電氣的アイドル状態	RX 全体	適切な属性の設定で自動的に処理される
RXN/RXP の接続後 ⁽²⁾	RX 全体	GTRXRESET
リカバリ クロックの安定後	RX エラスティック バッファ	RXBUFRESET
RXBUFFER エラーの後	RX エラスティック バッファ	RXBUFRESET
リアルタイムでチャンネル ボンディング モードを変更後	RX エラスティック バッファ	RXBUF_RESET_ON_CB_CH ANGE を TRUE に設定し、チャ ネル ボンディング モードが変 更されると RX エラスティック バッファが自動的にリセット される
PRBS エラー後	PRBS エラー カウンタ	PRBSCNTRESET
カンマ リアライメント後	RX エラスティック バッファ (オプション)	RXBUF_RESET_ON_COMM AALIGN を TRUE に設定し、カン マ リアライメントが実行され ると RX エラスティック バッ ファが自動的にリセットされる

注記：

1. 推奨するリセット方法を使用すると、GTX トランシーバーのほかのコンポーネントへの影響が最小になります。
2. RXN/RXP の同時接続を前提としています。

電源投入およびコンフィギュレーション後

コンフィギュレーション後、GTX/GTH TX 全体をリセットする必要があります。78 ページの「[コンフィギュレーションの完了に回答する GTX/GTH トランシーバー RX のリセット](#)」を参照してください。

使用されている CPLL/QPLL への基準クロックの電源投入後

コンフィギュレーション後に基準クロックが変更した、または GTX/GTH トランシーバーに電源が投入された場合、PLL のリセットが完全に終了した後に GTRXRESET をトグルする必要があります。

使用されている CPLL/QPLL への基準クロックの変更後

PLL への基準クロック入力の変更時には、新たな周波数に対して確実にロックするよう、PLL をリセットする必要があります。PLL のリセットが完全に終了したら、GTRXRESET をトグルする必要があります。

使用されている PLL に対する CPLLD または QPLLPD のアサート/ディアサート後

電源切断後に使用されている CPLL または QPLL が標準動作に戻った場合、PLL をリセットする必要があります。PLL のリセットが完全に終了したら、GTRXRESET をトグルする必要があります。

RXPD[1:0] のアサート/ディアサート後

RXPD 信号がディアサートされた後は、GTRXRESET 信号をアサートされる必要があります。

RX レートの変更

レートが変更されると、必要なリセット シーケンスが自動的に実行されます。レートの変更および必要なリセット シーケンスの両方が適用されて完了すると、RXRATEDONE がアサートされます。

RX バッファが有効の場合、レートの変更後に RX バッファが自動的にリセットするように RXBUF_RESET_ON_RATE_CHANGE 属性を TRUE に設定する必要があります。RX バッファをバイパスする場合は、RXRATEDONE のアサート後にアライメントを反復実行します。

RX パラレル クロック ソースのリセット

適切な動作を実現するには、RXUSRCLK および RXUSRCLK2 を駆動するクロックが安定している必要があります。これらのクロックは、位相および周波数要件を満たすため、FPGA の MMCM から駆動されることが多くあります。MMCM のロックが解除され、誤った値が出力され始めた場合、クロック ソースが再度ロックされた後に RXPCSRESET をトグルする必要があります。RX バッファをバイパスする場合は、リセットの完了後にアライメントを反復実行します。

リモート側の電源投入後

入力データのソースの電源が、そのデータを受信して動作を開始した GTX/GTH トランシーバーより後に電源投入された場合は、RX 側をリセットし、入力データに対して確実にロックする必要があります。

電氣的アイドル リセット

OOB および電氣的アイドルをサポートするプロトコルについては、トランシーバーへの RX 入力の差動電圧が OOB または電氣的アイドルレベルまで降下するとき、電氣的アイドルに関連する属性が適切な値に設定されると RX CDR が自動的に制御されます。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

RXN/RXP の接続後

GTX/GTH トランシーバーへの RX データが接続および接続解除可能なコネクタから入力されている場合、データ ソースが接続されたときに入力データに対して適切にロックするよう、RX 側をリセットする必要があります。

リカバリ クロックの安定後

クロッキング手法の設計によっては、CDR が入力データに対してロックされる前に、RX のリセット シーケンスを完了させることができます。この場合、リカバリ クロックは、RXRESETDONE がアサートされると安定しなくなる可能性があります。

RX バッファの使用時は、リカバリ クロックが安定した後に RXBUFRESET をトリガーする必要があります。RX バッファのバイパス使用時は、リカバリ クロックが安定するまでアライメントを開始できません。

CDR のデータへのロックに関する基準については、『Kintex-7 FPGA データシート：DC 特性およびスイッチ特性』([DS182](#)) および『Virtex-7 FPGA データシート：DC 特性およびスイッチ特性』([DS183](#)) を参照してください。

RX バッファ エラー後

RX エラスティック バッファのオーバーフローまたはアンダーフローが発生した場合、適切に動作させるため、RXBUFRESET を使用して RX エラスティック バッファをリセットする必要があります。

実行中におけるチャネル ボンディング モードの変更後

RXBUF_RESET_ON_CB_CHANGE を TRUE に設定すると、RXCHANBONDMASTER、RXCHANBONDSLAVE、または RXCHANBONDLEVELRX が変更された後、エラスティック バッファが自動的にリセットされます。

PRBS エラー後

PRBSCNTRESET がアサートされると PRBS エラー カウンターがリセットされます。

カンマ リアライメント後

RXBUF_RESET_ON_COMMAALIGN を TRUE に設定すると、カンマ リアライメント中に RX エラスティック バッファを自動的にリセットできます。

パワーダウン

機能の説明

GTX/GTH トランシーバーは、さまざまなパワーダウン モードをサポートします。これらのモードでは、一般的なパワー マネージメント機能と PCI Express® および SATA 規格で定められたパワー マネージメント機能を使用できます。

GTX/GTH トランシーバーには異なるレベルの電力制御があります。各方向のチャネルは、それぞれ TXPD および RXPД を使用して個別に電源を切断できます。QPLLPD ポートが直接クワッド PLL へ接続されている場合は、CPLLPD ポートでチャネル PLL の電源を切断できます。

ポートおよび属性

表 2-33 に、パワーダウンのポートを示します。

表 2-33 : パワー ダウン用のポート

ポート	方向	クロック ドメイン	説明
CPLLPD	入力	非同期	アクティブ High の場合、チャネル PLL の電源を切断します。
QPLLPD	入力	非同期	アクティブ High の場合、クワッド PLL の電源を切断します。
RXPD[1:0]	入力	非同期	PCI Express PIPE プロトコル エンコードに応じて RX レーンの電源を切断します。 00 : P0 (通常動作) 01 : P0s (短いリカバリ時間の電源切断) 10 : P1 (長いリカバリ時間の電源切断) 11 : P2 (電力が最も低い状態)
TXPD[1:0]	入力	TXUSRCLK2 (TXPDELECIDLEMODE によって非同期になる)	PCI Express PIPE プロトコル エンコードに応じて TX レーンの電源を切断します。 00 : P0 (通常動作) 01 : P0s (短いリカバリ時間の電源切断) 10 : P1 (長いリカバリ時間の電源切断、受信検出はオンのまま) 11 : P2 (電力が最も低い状態) これらのパワーダウン ステート間の移行時間は属性で制御できます。
TXPDELECIDLEMODE	入力	非同期	TXELECIDLE および TXPD が同期信号または非同期信号のいずれで処理されるかを決定します。
TXPHDLYPD	入力	非同期	TX の位相および遅延調整回路の電源切断に使用します。TX バッファァー バイパス モードで 1'b0 に設定されます。 0 : TX の位相および遅延調整回路に電源を投入 1 : TX の位相および遅延調整回路の電源を切断

表 2-33：パワー ダウン用のポート (続き)

ポート	方向	クロック ドメイン	説明
RXPHDLYPD	入力	非同期	<p>RX の位相および遅延調整回路の電源切断に使用します。RX バッファ バイパス モードで 1'b0 に設定されます。</p> <p>0 : RX の位相および遅延調整回路に電源を投入</p> <p>1 : RX の位相および遅延調整回路の電源を切断</p>

表 2-34 に、パワーダウンの属性を示します。

表 2-34：パワーダウンの属性

属性	タイプ	説明
PD_TRANS_TIME_FROM_P2	12 ビットの 16 進数	PCIe 動作の P2 ステートから別のパワーダウン モードへの移行時間を設定します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
PD_TRANS_TIME_NONE_P2	8 ビットの 16 進数	PCIe 動作の P2 ステート以外のモード間の移行時間を設定します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
PD_TRANS_TIME_TO_P2	8 ビットの 16 進数	PCIe 動作の P2 ステートへの移行時間を設定します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TRANS_TIME_RATE	8 ビットの 16 進数	PCIe プロトコル (Gen2/Gen1 データ レート) を含むすべての規格において [TX/RX] RATE ピンを使用してライン レートを変更する際の移行時間 (変更完了までの時間) を指定します。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RX_CLKMUX_PD	1 ビット バイナリ	7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TX_CLKMUX_PD	1 ビット バイナリ	7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

一般的なパワーダウン機能

GTX/GTH トランシーバーは、多様なアプリケーションで使用可能なパワーダウン機能を提供します。表 2-35 に、これらの機能の基本概要を示します。

表 2-35：基本的なパワーダウン機能の概要

機能	制御ポート	影響
クワッド PLL の制御	QPLLDP	クワッド PLL への電力供給を切断します。
チャンネル PLL の制御	CPLLDP	チャンネル PLL への電力供給を切断します。
TX の電力制御	TXPD[1:0]	GTX/GTH トランシーバーの TX 側が影響を受けます。
RX の電力制御	RXPD[1:0]	GTX/GTH トランシーバーの RX 側が影響を受けます。

PLL のパワーダウン

PLL のパワーダウン モードをアクティブにするには、アクティブ High の QPLLDP 信号をアサートします。同様に、チャンネル PLL のパワーダウン モードをアクティブにするには、アクティブ High の CPLLDP 信号をアサートします。QPLLDP または CPLLDP のいずれかがアサートされると、対応する PLL の電力が切断されます。つまり、PLL から派生するすべてのクロックが停止します。最初のコンフィギュレーションおよび電源投入時、基準クロックのエッジが検出されるまで、CPLL の電力は、CPLLDP ポートを使用して切断しておく必要があります。基準クロックが停止した場合、CPLL の電源を切断する必要があります。CPLL ベースのデザインで QPLL を使用しない場合は、QPLLDP を High に接続できます。QPLL ベースのデザインでは、コンフィギュレーション後少なくとも 500ns 間は QPLLDP を High に駆動できません。

対応する PLL ロック信号 (クワッド PLL の QPLLLOCK 信号、クワッド PLL の GTX/GTH トランシーバーの CPLLLOCK 信号、または各チャンネルの CPLLLOCK 信号のいずれか) がアサートされると、この省電力モードから通常モードへ回復します。

TX および RX のパワーダウン

PCI Express を使用しないデザインで、TX および RX パワーダウン信号を使用する場合は、TXPD および RXPD を個別に使用できます。これらのインターフェイスが PCI Express 以外のアプリケーションで使用される場合、表 2-36 に示す 2 つの電力ステートのみがサポートされます。このパワーダウン方法を使用する場合は、次の要件を満たす必要があります。

- TXPD[1] と TXPD[0] が接続されている
- RXPD[1] と RXPD[0] が接続されている
- TXDETECTRX が Low に固定されている
- TXELECIDLE が TXPD[1] および TXPD[0] に固定されている

表 2-36 : PCI Express デザイン以外の動作における TX および RX 電力ステート

TXPD[1:0] または RXPD[1:0]	説明
00	通常モード。トランシーバーの TX または RX はデータの送信/受信が可能な状態です。
11	パワーダウン モード。トランシーバーの TX または RX はアイドル状態です。

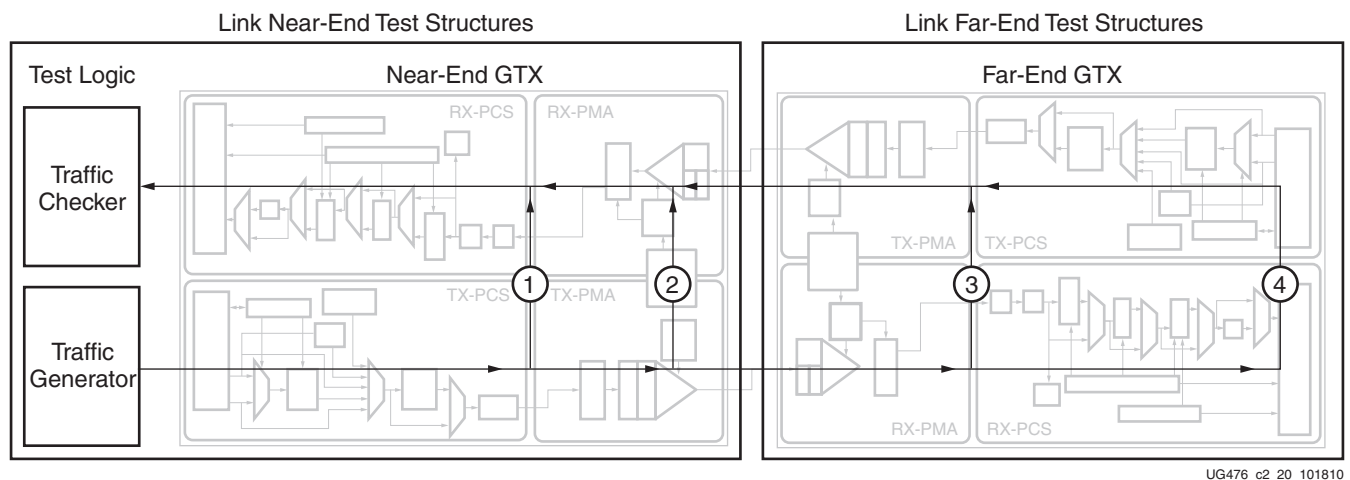
PCI Express 動作のパワーダウン機能

詳細は、339 ページの「PCI Express のパワー マネージメント」を参照してください。

ループバック

機能の説明

ループバック モードは、トラフィック ストリームが折り返してソースに戻るようデータパスを構成するものです。通常は、特定のトラフィック パターンが送信され、エラーがないかをチェックするために比較されます。図 2-26 に、4 つのループバック モードを備えたループバック テストのコンフィギュレーションを示します。



UG476_c2_20_101810

図 2-26 : ループバック テストの概略図

ループバック テスト モードは、大きく次の 2 つに分類されます。

- 近端ループバック モードの場合、送信データがトラフィック ジェネレーターに最も近接しているトランシーバーに戻ります。近端 PMA ループバックへ/からの遷移後に GTRXRESET が必要です。
- 遠端ループバック モードの場合、受信データがリンクの最も遠い位置にあるトランシーバーに戻ります。

ループバック テストは、開発段階またはシステム展開後に故障隔離のために実施できます。テストには、アプリケーション トラフィック パターンあるいは擬似ランダム ビット シーケンスのどちらのトラフィック パターンも使用可能です。各 GTX/GTH トランシーバーに PRBS ジェネレーターおよびチェッカーが内蔵されています。

GTX/GTH トランシーバーは、テスト用にいくつかのループバック モードを備えています。

- 近端 PCS ループバック (図 2-26 のパス ①)

近端 PCS ループバックが正しく機能するようにするには、RX エラスティック バッファを有効にし、RX_XCLK_SEL を RXREC に設定する必要があります。近端 PCS ループバックでは、RX XCLK ドメインには TX PMA パラレル クロック (TX XCLK) によってクロックが供給されます。FPGA ロジックにクロックを供給するために RXOUTCLK が用いられ、通常動作中に RXOUTCLKSEL が RXOUTCLKPMA に設定されている場合、GTX/GTH トランシーバーを近端 PCS ループバックに配置する際にこれら 2 つのうちの 1 つを変更する必要があります。

- RXOUTCLKPCS を選択するように RXOUTCLKSEL を設定する、または
- RXCDRHOLD = 1'b1 に設定する

- 近端 PMA ループバック (図 2-26 のパス ②)

- 遠端 PMA ループバック (図 2-26 のパス ③)

遠端 PMA ループバックが正しく機能するようにするには、TX バッファを有効にし、TX_XCLK_SEL を TXOUT に設定する必要があります。遠端 PMA ループバックでは、TX バッファの書き込み側には RX PMA パラレル クロック (RX XCLK) によってクロックが供給されます。遠端 PMA ループバックへからの遷移後に GTTXRESET が必要です。

- 遠端 PCS ループバック (図 2-26 のパス ④)

クロック コレクション機能を使用しない場合、遠端 PCS ループバックのトランシーバーは、ループバック データを供給するトランシーバーで使用されている同じ基準クロックを用いる必要があります。クロック コレクションの使用に関係なく、TXUSRCLK および RXUSRCLK ポートは同じクロック リソース (BUFG、BUFR、または BUFH) によって駆動されなければなりません。チャンネルの両方またはどちらか一方のギアボックスが有効の場合は、遠端 PCS ループバックはサポートされません。

ポートおよび属性

表 2-37 に、ループバック用のポートを示します。

表 2-37 : ループバック用のポート

ポート	方向	クロック ドメイン	説明
LOOPBACK[2:0]	入力	非同期	000: 通常動作 001: 近端 PCS ループバック 010: 近端 PMA ループバック 011: 予約 100: 遠端 PMA ループバック 101: 予約 110: 遠端 PCS ループバック

ループバック用の属性はありません。

ダイナミック リコンフィギュレーション ポート

機能の説明

ダイナミック リコンフィギュレーション ポート (DRP) を使用することで、動作中に GTXE2_CHANNEL/GTHE2_CHANNEL および GTXE2_COMMON/GTHE2_COMMON プリミティブのパラメーターを変更できます。DRP はプロセッサとの併用が容易な同期インターフェイスで、1 つのアドレス バス (DRPADDR) とプリミティブへのコンフィギュレーション データの読み出し (DRPDO) 用および書き込み (DRPDI) 用に別々のデータ バスを備えています。イネーブル信号 (DRPEN)、読み出し/書き込み信号 (DRPWE)、および Ready/Valid 信号 (DRPRDY) は、読み出しおよび書き込み動作の制御信号であり、処理の完了や有効なデータの有無を示します。

ポートおよび属性

表 2-38 に、GTXE2_CHANNEL/GTHE2_CHANNEL の DRP ポートを示します。

表 2-38 : GTXE2_CHANNEL/GTHE2_CHANNEL の DRP ポート

ポート	方向	クロック ドメイン	説明
DRPADDR[8:0]	入力	DRPCLK	DRP アドレス バス
DRPCLK	入力	N/A	DRP インターフェイス クロック
DRPEN	入力	DRPCLK	DRP のイネーブル信号 0 : 読み出しまたは書き込み処理が無効 1 : 読み出しまたは書き込み処理が有効 書き込み処理の場合、DRPWE および DRPEN を DRPCLK の 1 サイクル間のみ High に駆動する必要があります。正しい動作については、 図 2-27 を参照してください。読み出し処理の場合、DRPEN を DRPCLK の 1 サイクル間のみ High に駆動する必要があります。正しい動作については、 図 2-28 を参照してください。
DRPDI[15:0]	入力	DRPCLK	FPGA ロジックからトランシーバーへコンフィギュレーション データを書き込むためのデータバスです。
DRPRDY	出力	DRPCLK	DRP 書き込み処理が完了し、読み出しデータが有効であることを示します。
DRPDO[15:0]	出力	DRPCLK	GTX/GTH トランシーバーから FPGA ロジックリソースへコンフィギュレーション データを読み出すためのデータ バスです。

表 2-38 : GTXE2_CHANNEL/GTHE2_CHANNEL の DRP ポート (続き)

ポート	方向	クロック ドメイン	説明
DRPWE	入力	DRPCLK	DRP の書き込みイネーブル 0 : DRPEN が 1 のときに読み出し処理を実行 1 : DRPEN が 1 のときに書き込み処理を実行 書き込み処理の場合、DRPWE および DRPEN を DRPCLK の 1 サイクル間のみ High に駆動する必要があります。正しい動作 については、 図 2-27 を参照してください。

表 2-39 に、GTXE2_COMMON/GTHE2_COMMON の DRP ポートを示します。

表 2-39 : GTXE2_COMMON/GTHE2_COMMON の DRP ポート

ポート	方向	クロック ドメイン	説明
DRPADDR[7:0]	入力	DRPCLK	DRP アドレス バス
DRPCLK	入力	N/A	DRP インターフェイス クロック
DRPEN	入力	DRPCLK	DRP のイネーブル信号 0 : 読み出しまたは書き込み処理が無効 1 : 読み出しまたは書き込み処理が有効 書き込み処理の場合、DRPWE および DRPEN を DRPCLK の 1 サイクル間のみ High に駆動する必要があります。正しい動作 については、 図 2-27 を参照してください。
DRPDI[15:0]	入力	DRPCLK	FPGA ロジックからトランシーバーへコンフィ ギュレーション データを書き込むためのデータ バスです。
DRPRDY	出力	DRPCLK	DRP 書き込み処理が完了し、読み出しデータが 有効であることを示します。
DRPDO[15:0]	出力	DRPCLK	GTX/GTH トランシーバーから FPGA ロジッ ク リソースへコンフィギュレーション データ を読み出すためのデータ バスです。
DRPWE	入力	DRPCLK	DRP の書き込みイネーブル 0 : DRPEN が 1 のときに読み出し処理を実行 1 : DRPEN が 1 のときに書き込み処理を実行 書き込み処理の場合、DRPWE および DRPEN を DRPCLK の 1 サイクル間のみ High に駆動する必要があります。正しい動作 については、 図 2-27 を参照してください。

使用モデル

書き込み

図 2-27 に、DRP の書き込み処理のタイミングを示します。DRPRDY がアサートされると、新たな DRP 動作を開始できます。

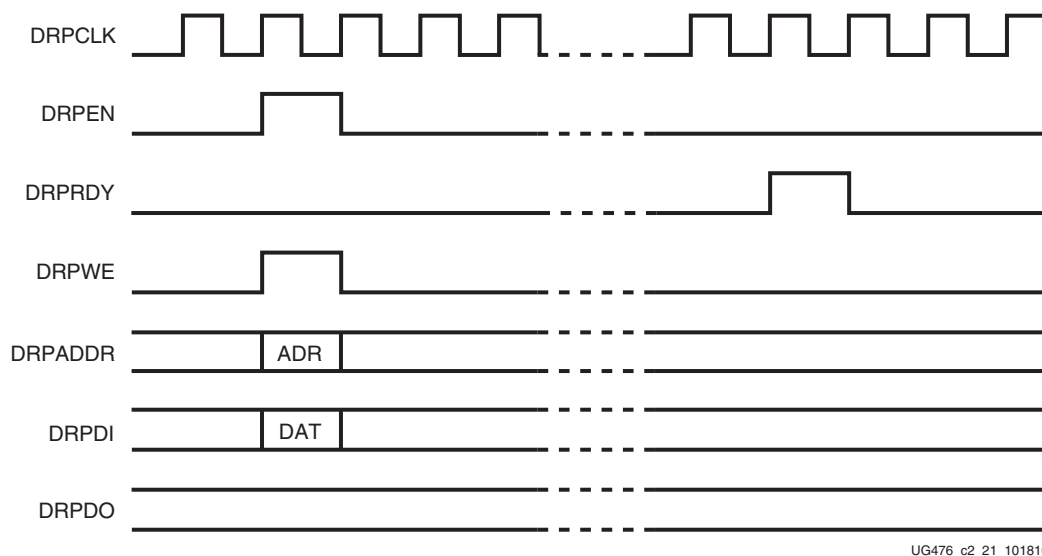


図 2-27 : DRP の書き込みタイミング

読み出し

図 2-28 に、DRP の読み出し処理のタイミングを示します。DRPRDY がアサートされると、新たな DRP 動作を開始できます。

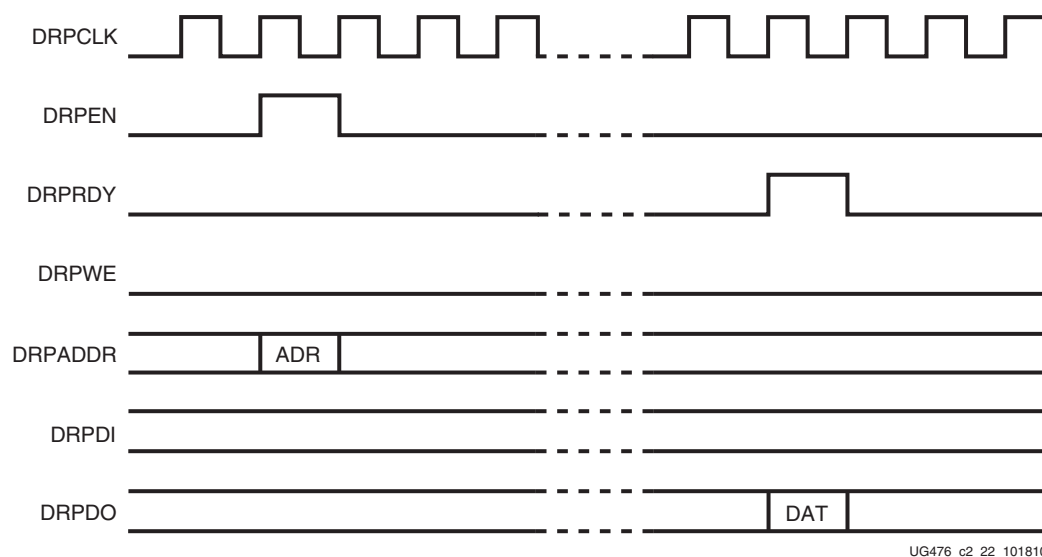


図 2-28 : DRP の読み出しタイミング

デジタル モニター

機能の説明

2つのレシーバー モード (LPM および DFE) は、リンクの最適化に適応アルゴリズムを使用します。デジタル モニターでは、これらの適応ループの現在のステートを視覚的に監視できます。デジタル モニターの動作にはフリーランニング クロックが必要です。これには DRPCLK または RXUSRCLK2 を使用できます。RX_DEBUG_CFG 属性で、DMONITOROUT ポートでモニターされる適応ループを選択します。選択したループの現在のコードは、出力ポート DMONITOROUT に含まれます。すべてのループは連続していますが、例外としてスライド TAP ループは単発です。1つの連続ループには、3つの可能な定常ステート (min、max、または dithering) があります。特定のループについては、コード変換はゲイン、電圧、または時間となります。

GTX のポートおよび属性

表 2-40 に、GTX のデジタル モニターのポートを示します。

表 2-40 : GTX のデジタル モニターのポート

ポート	方向	クロック ドメイン	説明
CLKRSVD[1]	入力	非同期	フリーランニング クロック
PCSRVDIN[0]	入力	DMONITORCLK	予約。GND に接続します。
DMONITOROUT[7:0]	出力	非同期/ ローカル クロック	デジタル モニター出力バス： [7] - 内部クロック 適応ループ： [6:0] - RXOS、RXDFEVP、RXDFEUT [5:0] - RXDFETAP2、RXDFETAP3 [4:0] - RXDFETAP4、RXDFETAP5、 RXDFEAGC [6:3] - RXDFELF (GTH トランシー バーのみ)、RXLPMHF、RXLPMLF

表 2-41 に、GTX のデジタル モニターの属性を示します。

表 2-41 : GTX のデジタル モニターの属性

属性	タイプ	説明			
PCS_RSVD_ATTR[6:4]	3 ビット バイナリ	予約。3'b100 に接続します。			
DMONITOR_CFG	24 ビット バイナリ	予約。24'h008101 に接続します。			
RX_DEBUG_CFG	12 ビット バイナリ	適応ループ選択のセレクト ラインを次に示します。			
		DRP アドレス	DRP DI	ループの説明	コード マッピングの範囲
		0x0A5	0x0004	RXOS - ベース ライン ワン ダーのキャンセレーション 2 つのニュートラルによる 7 ビット符号化	7'd0 - 最小 (負) 7'd63 - ニュートラル 7'd64 - ニュートラル 7'd127 - 最大 (正)
		0x0A5	0x0008	RXLPMKH - LPM 高周波 ゲイン	7'd0 - 最小 7'd127 - 最大
		0x0A5	0x000C	RXLPMKL - LPM 低周波 ゲイン	7'd0 - 最小 7'd127 - 最大
		0x0A5	0x0010	RXDFEKL - DFE 低周波 ゲイン	4'd0 - 最小 4'd15 - 最大
		0x0A5	0x0014	RXDFEVP - DFE 電圧 ピーク	7'd0 - 最小 7'd127 - 最大
		0x0A5	0x0018	RXDFEUT - DFE Tap1	7'd0 - 最小 7'd127 - 最大
		0x0A5	0x001C	RXDFETAP2 - DFE Tap2	6'd0 - 最小 6'd63 - 最大
		0x0A5	0x0020	RXDFETAP3 - DFE Tap3 2 つのニュートラルによる 6 ビット符号化	6'd0 - 最小 (負) 6'd31 - ニュートラル 6'd32 - ニュートラル 6'd63 - 最大 (正)
		0x0A5	0x0024	RXDFETAP4 - DFE Tap4 2 つのニュートラルによる 5 ビット符号化	5'd0 - 最小 (負) 5'd15 - ニュートラル 5'd16 - ニュートラル 5'd31 - 最大 (正)
		0x0A5	0x0028	RXDFETAP5 - DFE Tap5 2 つのニュートラルによる 5 ビット符号化	5'd0 - 最小 (負) 5'd15 - ニュートラル 5'd16 - ニュートラル 5'd31 - 最大 (正)
		0x0A5	0x002C	RXDFEAGC - DFE AGC 周波数ゲイン	5'd0 - 最小 5'd31 - 最大

GTH のポートおよび属性

表 2-42 に、GTH のデジタル モニターのポートを示します。

表 2-42 : GTH のデジタル モニターのポート

ポート	方向	クロック ドメイン	説明
DMONITORCLK	入力	非同期	フリーランニング クロック
DMONIFORESET	入力	DMONITORCLK	予約。GND に接続します。
DMONITOROUT[14:0]	出力	非同期/ ローカル クロック	デジタル モニター出力バス : [14] - 未使用 スライド TAP の位置 : [13:8] - RXDFESTLOC1、 RXDFESTLOC2、RXDFESTLOC3、 RXDFESTLOC4 [7] - 内部クロック 適応ループおよびスライド TAP の大 きさ : [6:0] - RXOS、RXDFEVP、RXDFEUT [5:0] - RXDFETAP2、RXDFETAP3 [4:0] - RXDFETAP4、RXDFETAP5、 RXDFETAP6、RXDFETAP7、 RXDFESTMAG1、RXDFESTMAG2、 RXDFESTMAG3、RXDFESTMAG4 [6:3] - RXLPMHF、RXLPMLF、 RXDFELF [4:1] - RXDFEAGC

表 2-43 に、GTH のデジタル モニターの属性を示します。

表 2-43 : GTH のデジタル モニターの属性

属性	タイプ	説明			
CFOK_CFG[41]	1 ビット バイナリ	予約。1'b1 に設定する。			
DMONITOR_CFG	24 ビット バイナリ	予約。24'h008101 に接続します。			
RX_DEBUG_CFG	14 ビット バイナリ	適応ループ選択のセレクト ラインを次に示します。			
		DRP アドレス	DRP DI	ループの説明	コード マッピングの範囲
		0x0A5	0x00C2	RXOS - ベース ライン ワン ダーのキャンセレーション 2つのニュートラルによる 7ビット符号化	7'd0 - 最小 (負) 7'd63 - ニュートラル 7'd64 - ニュートラル 7'd127 - 最大 (正)
		0x0A5	0x00C3	RXLPMKH - LPM 高周波 ゲイン	7'd0 - 最小 7'd127 - 最大
		0x0A5	0x00C4	RXLPMKL - LPM 低周波 ゲイン	7'd0 - 最小 7'd127 - 最大
		0x0A5	0x00C5	RXDFEKL - DFE 低周波 ゲイン	4'd0 - 最小 4'd15 - 最大
		0x0A5	0x00C7	RXDFEVP - DFE 電圧 ピーク	7'd0 - 最小 7'd127 - 最大
		0x0A5	0x00C8	RXDFEUT - DFE Tap1	7'd0 - 最小 7'd127 - 最大
		0x0A5	0x00C9	RXDFETAP2 - DFE Tap2	6'd0 - 最小 6'd63 - 最大
		0x0A5	0x00CA	RXDFETAP3 - DFE Tap3 2つのニュートラルによる 6ビット符号化	6'd0 - 最小 (負) 6'd31 - ニュートラル 6'd32 - ニュートラル 6'd63 - 最大 (正)
		0x0A5	0x00CB	RXDFETAP4 - DFE Tap4 2つのニュートラルによる 5ビット符号化	5'd0 - 最小 (負) 5'd15 - ニュートラル 5'd16 - ニュートラル 5'd31 - 最大 (正)
		0x0A5	0x00CC	RXDFETAP5 - DFE Tap5 2つのニュートラルによる 5ビット符号化	5'd0 - 最小 (負) 5'd15 - ニュートラル 5'd16 - ニュートラル 5'd31 - 最大 (正)
		0x0A5	0x00CD	RXDFETAP6 - DFE Tap6 2つのニュートラルによる 5ビット符号化	5'd0 - 最小 (負) 5'd15 - ニュートラル 5'd16 - ニュートラル 5'd31 - 最大 (正)

表 2-43 : GTH のデジタル モニターの属性 (続き)

属性	タイプ	説明			
RX_DEBUG_CFG (続き)	14 ビット バイナリ	適応ループ選択のセレクト ラインを次に示します。			
		DRP アドレス	DRP DI	ループの説明	コード マッピングの範囲
		0x0A5	0x00CE	RXDFETAP7 - DFE Tap7 2つのニュートラルによる 5ビット符号化	5'd0 - 最小 (負) 5'd15 - ニュートラル 5'd16 - ニュートラル 5'd31 - 最大 (正)
		0x0A5	0x00C6	RXDFEAGC - DFE AGC 周波数ゲイン	5'd0 - 最小 5'd31 - 最大
		0x0A5	0x00D0	RXDFESTMAG1 - DFE ST1 の大きさ 2つのニュートラルによる 5ビット符号化	5'd0 - 最小 (負) 5'd15 - ニュートラル 5'd16 - ニュートラル 5'd31 - 最大 (正)
		0x0A5	0x00D1	RXDFESTLOC1 - DFE ST1 の位置 UI の数 (ビット位置)	6'd0 - 最小 6'd63 - 最大
		0x0A5	0x00D2	RXDFESTMAG2 - DFE ST2 の大きさ 2つのニュートラルによる 5ビット符号化	5'd0 - 最小 (負) 5'd15 - ニュートラル 5'd16 - ニュートラル 5'd31 - 最大 (正)
		0x0A5	0x00D3	RXDFESTLOC2 - DFE ST2 の位置 UI の数 (ビット位置)	6'd0 - 最小 6'd63 - 最大
		0x0A5	0x00D4	RXDFESTMAG3 - DFE ST3 の大きさ 2つのニュートラルによる 5ビット符号化	5'd0 - 最小 (負) 5'd15 - ニュートラル 5'd16 - ニュートラル 5'd31 - 最大 (正)
		0x0A5	0x00D5	RXDFESTLOC3 - DFE ST3 の位置 UI の数 (ビット位置)	6'd0 - 最小 6'd63 - 最大
		0x0A5	0x00D6	RXDFESTMAG4 - DFE ST4 の大きさ 2つのニュートラルによる 5ビット符号化	5'd0 - 最小 (負) 5'd15 - ニュートラル 5'd16 - ニュートラル 5'd31 - 最大 (正)
		0x0A5	0x00D7	RXDFESTLOC4 - DFE ST4 の位置 UI の数 (ビット位置)	6'd0 - 最小 6'd63 - 最大

使用モード

DMONITOR からループ値を読み出すには DMONITORCLK 入力クロック ポートにクロックが必要となり、DRP を介して適応ループの選択を変更し、DMONITOROUT 出力をモニターします。モニター用に DRP ポートを介して DMONITOR_CFG 属性を適切なループに設定します。DMONITOR_CFG の DRP 位置は次のとおりです。

```
0x086[15:0] = DMONITOR_CFG[15:0]
0x087[7:0] = DMONITOR_CFG[23:16]
```

出力は、DMONITOROUT で確認できます。デジタル モニターからの信号は LSB に揃えられ、非同期です。

デジタル モニター出力のキャプチャ

DMONITOROUT 信号は、RXUSRCLK2 と比較すると緩やかに変化します。ここでは、Verilog コードで記述された DMONITOROUT のキャプチャ方法の 1 つを説明します。

```
reg [7:0] compare1, compare2, dmonitorout_sync;
always@ (posedge RXUSRCLK2)
begin
    if (reset)
    begin
        compare1 <= 8'd0;
        compare2 <= 8'd0;
        dmonitorout_sync <= 8'd0;
    end
    else
    begin
        compare1 <= DMONITOROUT;
        compare2 <= compare1;

        if (compare1 == compare2)
            dmonitorout_sync <= compare2;
        else
            dmonitorout_sync <= dmonitorout_sync;

    end //else
end //always
```

情報が正常にキャプチャされる方法はいずれも有効です。

ソフトウェアでのデジタル モニター出力のキャプチャ

上記セクションの Verilog コードで記述された dmonitorout_sync をホスト プロセッサ メモリにマップして、デジタル モニターの出力をキャプチャできます。チャネル DRP ポートをホスト プロセッサ メモリにマップすると、監視対象の適応ループを選択できます。

GTX と GTH の両トランシーバーについて、C コード例を次に示します。drpread ファンクションと drpwrite ファンクションは、96 ページの「使用モデル」で説明した DRP の動作です。captureDMON ファンクションは、上記の Verilog コードで記述されている dmonitorout_sync レジスタを読み出します。

```
////////////////////////////////////////
// Function Prototype
////////////////////////////////////////

void drpwrite(unsigned int drpaddress, unsigned int drpvalue);
```

```
unsigned int drpread(unsigned int drpaddress);

unsigned int capturedDMON(unsigned int msb, unsigned int lsb);

////////////////////////////////////////
// Initialize Digital Monitor
////////////////////////////////////////

// Read/Modify/Write PCS_RSVD_ATTR[6:4] Attribute
temp = drpread(0x06F);
drpwrite(0x06F, (temp & 0xFF8F) | 0x0040);

// Write DMONITOR_CFG[23:0]
drpwrite(0x087, 0x0000);
drpwrite(0x086, 0x8101);

////////////////////////////////////////
// Read Digital Monitor as often as required
////////////////////////////////////////

while(!done) {

    // RXOS
    drpwrite(0x0A5, 0x0004);
    capturedDMON(6, 0);

    //////////////////////////////////////////
    // LPM Mode Only
    //////////////////////////////////////////

    // LPM Mode Only:RXLPMHF
    drpwrite(0x0A5, 0x0008);
    capturedDMON(6, 0);

    // LPM Mode Only:RXLPMLF
    drpwrite(0x0A5, 0x000C);
    capturedDMON(6, 0);

    //////////////////////////////////////////
    // DFE Mode Only
    //////////////////////////////////////////

    // DFE Mode Only:RXDFEKL
    drpwrite(0x0A5, 0x0010);
    capturedDMON(6, 3);

    // DFE Mode Only:RXDFEVP
    drpwrite(0x0A5, 0x0014);
    capturedDMON(6, 0);

    // DFE Mode Only:RXDFEUT
    drpwrite(0x0A5, 0x0018);
    capturedDMON(6, 0);

    // DFE Mode Only:RXDFETAP2
    drpwrite(0x0A5, 0x001C);
    capturedDMON(5, 0);
```

```

// DFE Mode Only:RXDFETAP3
drpwrite(0x0A5, 0x0020);
captureDMON(5, 0);

// DFE Mode Only:RXDFETAP4
drpwrite(0x0A5, 0x0024);
captureDMON(4, 0);

// DFE Mode Only:RXDFETAP5
drpwrite(0x0A5, 0x0028);
captureDMON(4, 0);

// DFE Mode Only:RXDFEAGC
drpwrite(0x0A5, 0x002C);
captureDMON(4, 0);
} // Close While loop

////////////////////////////////////////
// Function Prototype
////////////////////////////////////////

void drpwrite(unsigned int drpaddress, unsigned int drpvalue);

unsigned int drpread(unsigned int drpaddress);

////////////////////////////////////////
// Initialize Digital Monitor
////////////////////////////////////////

// Write CFOX_CFG[41] Attribute
drpwrite(0x08B, 0x8248);

// Write DMONITOR_CFG[23:0]
drpwrite(0x087, 0x0000);
drpwrite(0x086, 0x8101);

////////////////////////////////////////
// Read Digital Monitor as often as required
////////////////////////////////////////

while(!done) {

    // RXOS
    drpwrite(0x0A5, 0x00C2);
    captureDMON(6, 0);

    //////////////////////////////////////
    // LPM Mode Only
    //////////////////////////////////////

    // LPM Mode Only:RXLPMHF
    drpwrite(0x0A5, 0x00C3);
    captureDMON(6, 3);

    // LPM Mode Only:RXLPMLF
    drpwrite(0x0A5, 0x00C4);
    captureDMON(6, 3);

```



```

////////////////////////////////////////
// DFE Mode Only
////////////////////////////////////////

// DFE Mode Only:RXDFEKL
drpwrite(0x0A5, 0x00C5);
captureDMON(6, 3);

// DFE Mode Only:RXDFEVP
drpwrite(0x0A5, 0x00C7);
captureDMON(6, 0);

// DFE Mode Only:RXDFEUT
drpwrite(0x0A5, 0x00C8);
captureDMON(6, 0);

// DFE Mode Only:RXDFETAP2
drpwrite(0x0A5, 0x00C9);
captureDMON(5, 0);

// DFE Mode Only:RXDFETAP3
drpwrite(0x0A5, 0x00CA);
captureDMON(5, 0);

// DFE Mode Only:RXDFETAP4
drpwrite(0x0A5, 0x00CB);
captureDMON(4, 0);

// DFE Mode Only:RXDFETAP5
drpwrite(0x0A5, 0x00CC);
captureDMON(4, 0);

// DFE Mode Only:RXDFETAP6
drpwrite(0x0A5, 0x00CD);
captureDMON(4, 0);

// DFE Mode Only:RXDFETAP7
drpwrite(0x0A5, 0x00CE);
captureDMON(4, 0);

// DFE Mode Only:RXDFEAGC
drpwrite(0x0A5, 0x00C6);
captureDMON(4, 1);

////////////////////////////////////////
// DFE Sliding Tap Mode Only
////////////////////////////////////////

// DFE ST Mode Only:RXDFESTMAG1
drpwrite(0x0A5, 0x00D0);
captureDMON(4, 0);

// DFE ST Mode Only:RXDFESTLOC1
drpwrite(0x0A5, 0x00D1);
captureDMON(13, 8);

// DFE ST Mode Only:RXDFESTMAG2
drpwrite(0x0A5, 0x00D2);
captureDMON(4, 0);

```

```
// DFE ST Mode Only:RXDFESTLOC2
drpwrite(0x0A5, 0x00D3);
captureDMON(13, 8);

// DFE ST Mode Only:RXDFESTMAG3
drpwrite(0x0A5, 0x00D4);
captureDMON(4, 0);

// DFE ST Mode Only:RXDFESTLOC3
drpwrite(0x0A5, 0x00D5);
captureDMON(13, 8);

// DFE ST Mode Only:RXDFESTMAG4
drpwrite(0x0A5, 0x00D6);
captureDMON(4, 0);

// DFE ST Mode Only:RXDFESTLOC4
drpwrite(0x0A5, 0x00D7);
captureDMON(13, 8);
} // Close While loop
```

デジタル モニター出力の解釈

このセクションでは、DMONITOR_CFG を選択するのに適切な DMONITOROUT バスのビットとその出力を解釈する方法を説明します。

- RXDFEOS[6:0] = DMONITOROUT[6:0]
 - 7'd0 = -Full scale
 - 7'd63、7'd64 = 0
 - 7'd127 = +Full scale
- RXLPMHF [6:0] = RXLPMLF [6:0] = DMONITOROUT[6:0]
 - 7'd0 = 0
 - 7'd127 = Full scale
- RXDFELF [3:0] = DMONITOROUT [6:3]
 - 4'd0 = 0
 - 4'd15 = Full Scale
- RXDFEVP [6:0] = DMONITOROUT[6:0]
 - 7'd0 = 0
 - 7'd127 = Full scale
- RXDFEUT [6:0] = DMONITOROUT[6:0]
 - 7'd0 = 0
 - 7'd127 = Full scale
- RXDFETAP2 [5:0] = DMONITOROUT[5:0]
 - 6'd0 = 0
 - 6'd63 = Full scale

- RXDFETAP3 [5:0] = DMONITOROUT[5:0]
6'd0 = -Full scale
6'd31, 6'd32 = 0
6'd63 = +Full scale
- RXDFETAP4 [4:0] = RXDFETAP5 [4:0] = DMONITOROUT[4:0]
5'd0 = -Full scale
5'd15, 5'd16 = 0
5'd31 = +Full scale
- GTX トランシーバー :
RXDFEAGC [3:0] = DMONITOROUT[4:1]
4'd0 = 0
4'd31 = Full scale
- GTH トランシーバー :
RXDFEAGC [3:0] = DMONITOROUT [4:1]
4'd0 = 0
4'd15 = Full scale
- GTH トランシーバー :
RXDFETAP6 [4:0] = RXDFETAP7 [4:0] = DMONITOROUT [4:0]
5'd0 = -Full scale
5'd15, 5'd16 = 0
5'd31 = +Full scale

トランスミッター

トランスミッター (TX) の概要

機能の説明

この章では、トランスミッター (TX) にある各ファンクションブロックのコンフィギュレーションおよび使用方法について説明します。各トランシーバーには、PCS と PMA で構成される独立したトランスミッターが含まれます。図 3-1 に、トランスミッターのブロック図を示します。PGA ロジックからの平行データは、FPGA TX インターフェイスを介して入力されて PCS および PMA を通り、高速シリアルデータとして TX ドライバーから出力されます。

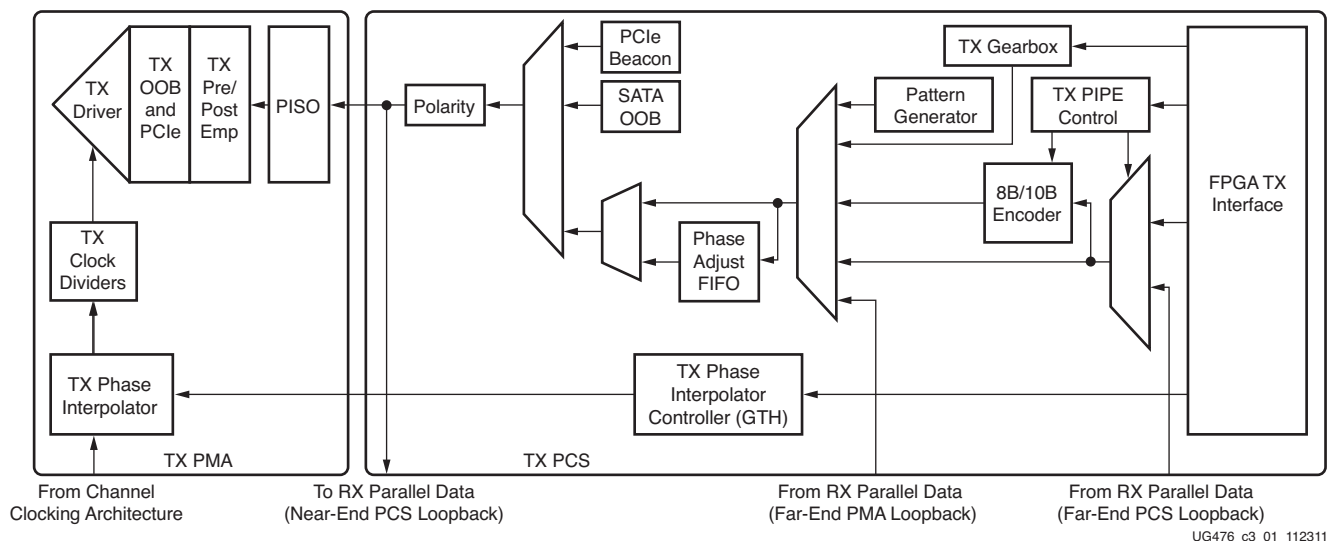


図 3-1 : GTX/GTH トランシーバー TX のブロック図

GTX/GTH トランシーバー TX は、次のエレメントで構成されています。

1. 110 ページの「FPGA TX インターフェイス」
2. 118 ページの「TX 8B/10B エンコーダー」
3. 122 ページの「TX ギアボックス」
4. 135 ページの「TX バッファ」
5. 138 ページの「TX バッファのバイパス」
6. 148 ページの「TX パターン ジェネレーター」
7. 152 ページの「TX 極性制御」

8. 152 ページの「TX のファブリック クロック出力制御」
9. 157 ページの「TX 位相インターポレーター PPM コントローラー」
10. 159 ページの「コンフィギュレーション可能な TX ドライバー」
11. 166 ページの「PCI Express デザイン用の TX レシーバー検出機能」
12. 169 ページの「TX の OOB 信号」

FPGA TX インターフェイス

機能の説明

FPGA TX インターフェイスは、GTX/GTH トランシーバーの TX データパスへの入り口です。アプリケーションは、TXUSRCLK2 の立ち上がりエッジで TXDATA ポートにデータを書き込むことで GTX/GTH トランシーバーにデータを送信します。ポート幅は、2、4、または 8 バイト幅から選択できます。実際のポート幅は、TX_DATA_WIDTH 属性と TX_INT_DATAWIDTH 属性そして TX8B10BEN ポートの設定に依存します。有効なポート幅は、16、20、32、40、64 および 80 ビットです。インターフェイスでのパラレル クロック (TXUSRCLK2) のレートは、TX ライン レート、TXDATA ポート幅、8B/10B エンコードが有効か無効かによって異なります。2 番目のパラレル クロック (TXUSRCLK) は、トランスミッターの内部 PCS ロジックに使用する必要があります。ここでは、パラレル クロックがどのように駆動されるかを示し、それらが正しく動作するための制約について説明します。最高速トランスミッター データ レートの場合、指定動作範囲内で TXUSRCLK2 レートを実現するには 8 バイト インターフェイスが必要です。

インターフェイス幅の設定

7 シリーズ FPGA GTX/GTH トランシーバーには、2 バイトと 4 バイトの内部データパスがあり、TX_INT_DATAWIDTH 属性で設定できます。FPGA インターフェイス幅は、TX_DATA_WIDTH 属性で設定できます。8B/10B エンコーダーが有効の場合、TX_DATA_WIDTH 属性は 20 ビット、40 ビット、または 80 ビットで設定される必要があります。この場合、FPGA TX インターフェイスは TXDATA ポートのみを使用します。たとえば、FPGA インターフェイス幅が 16 の場合、TXDATA[15:0] が使用されます。8B/10B エンコーダーをバイパスする場合、TX_DATA_WIDTH 属性は 16 ビット、20 ビット、32 ビット、40 ビット、64 ビットまたは 80 ビットで設定できます。

表 3-1 に、TX データパスのインターフェイス幅がどのように決定されるかを示します。8B/10B エンコードについては、118 ページの「TX 8B/10B エンコーダー」で詳しく説明します。

表 3-1 : FPGA TX インターフェイスのデータパス設定

TX8B10BEN	TX_DATA_WIDTH	TX_INT_DATAWIDTH	FPGA インターフェイス幅	内部データ幅
1	20	0	16	20
	40	0	32	20
	40	1	32	40
	80	1	64	40

表 3-1 : FPGA TX インターフェイスのデータパス設定 (続き)

TX8B10BEN	TX_DATA_WIDTH	TX_INT_DATAWIDTH	FPGA インターフェイス幅	内部データ幅
0	16	0	16	16
	20	0	20	20
	32	0	32	16
	32	1	32	32
	40	0	40	20
	40	1	40	40
	64	1	64	32
	80	1	80	40

8B/10B エンコーダーがバイパスされ、TX_DATA_WIDTH は 20、40、または 80 の場合、TXCHARDISPMODE および TXCHARDISPVAL ポートを使用して TXDATA ポートを 16 から 20 へ、32 から 40 へ、または 64 から 80 へ拡張します。表 3-2 に、8B/10B エンコーダーが無効の場合のデータ転送を示します。TX ギアボックスを使用する場合のデータ転送順は、122 ページの「TX ギアボックス」を参照してください。

表 3-2 : 8B/10B エンコーダーがバイパスされている場合の転送データ

		<<< 右から左ヘデータ転送 (LSB から MSB) <<<																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																				
		39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																													
データ転送	TXCHARDISPMODE[3]	TXCHARDISPVAL[3]		TXDATA[31:24]								TXCHARDISPMODE[2]		TXCHARDISPVAL[2]		TXDATA[23:16]								TXCHARDISPMODE[1]		TXCHARDISPVAL[1]		TXDATA[15:8]								TXCHARDISPMODE[0]		TXCHARDISPVAL[0]		TXDATA[7:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																														

TXUSRCLK および TXUSRCLK2 の生成

FPGA TX インターフェイスには、TXUSRCLK および TXUSRCLK2 の 2 つの平行 クロック があります。TXUSRCLK は、GTX/GTH トランスミッターの PCS ロジック用の内部クロックです。TXUSRCLK で必要なレートは、GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブの内部データパス幅および GTX/GTH トランスミッター のライン レートによって決まります。TXUSRCLK のレートは式 3-1 から求められます。

$$\text{TXUSRCLK Rate} = \frac{\text{Line Rate}}{\text{Internal Datapath Width}} \quad \text{式 3-1}$$

TXUSRCLK2 は、GTX/GTH トランシーバーの TX 側に入る信号すべてを同期化するためのプライマリ クロックです。GTX/GTH トランシーバーの TX 側に入力されるほとんどの信号は、TXUSRCLK2 の立ち上がりエッジで取り込まれます。TXUSRCLK2 と TXUSRCLK は、TX_DATA_WIDTH と TX_INT_DATAWIDTH の設定に基づく固定されたレート関係があります。表 3-3 に、TX_DATA_WIDTH と TX_INT_DATAWIDTH 値に対する TXUSRCLK2 と TXUSRCLK の関係を示します。ライン レートが 6.6Gb/s よりも高い場合は、TX_INT_DATAWIDTH を 1 に設定して、4 バイトの内部データパスが必要です。

表 3-3 : TXUSRCLK2 と TXUSRCLK の周波数関係

FPGA インターフェイス幅	TX_DATA_WIDTH	TX_INT_DATAWIDTH	TXUSRCLK2 の周波数
2 バイト	16、20	0	$F_{\text{TXUSRCLK2}} = F_{\text{TXUSRCLK}}$
4 バイト	32、40	0	$F_{\text{TXUSRCLK2}} = F_{\text{TXUSRCLK}}/2$
4 バイト	32、40	1	$F_{\text{TXUSRCLK2}} = F_{\text{TXUSRCLK}}$
8 バイト	64、80	1	$F_{\text{TXUSRCLK2}} = F_{\text{TXUSRCLK}}/2$

TXUSRCLK と TXUSRCLK2 の関係には、次のような規則があります。

- TXUSRCLK および TXUSRCLK2 は、クロック スキューを可能な限り最小限に抑えた状態で、立ち上がりエッジで揃える必要があります。そのため、スキューが小さいクロック リソース (BUFG および BUFR) を使用して TXUSRCLK および TXUSRCLK2 を駆動する必要があります。
- TXUSRCLK、TXUSRCLK2、およびトランスミッターの基準クロック周波数が異なる場合でも、同じオシレーターをクロック ソースとして使用する必要があります。つまり、TXUSRCLK および TXUSRCLK2 は、トランスミッターの基準クロックを通倍または分周した周波数クロックにする必要があります。

ポートおよび属性

表 3-4 に、FPGA TX インターフェイスのポートを示します。

表 3-4 : FPGA TX インターフェイスのポート

ポート	方向	クロック ドメイン	説明
TXCHARDISPMODE[7:0]	入力	TXUSRCLK2	8B/10B エンコードが無効のときは、20、40、または 80 ビット TX インターフェイスのデータ バスの拡張に使用されます。
TXCHARDISPVAL[7:0]	入力	TXUSRCLK2	8B/10B エンコードが無効のときは、20、40、または 80 ビット TX インターフェイスのデータ バスの拡張に使用されます。

表 3-4 : FPGA TX インターフェイスのポート (続き)

ポート	方向	クロック ドメイン	説明
TXDATA[63:0]	入力	TXUSRCLK2	<p>データ送信用のバスです。ポート幅は TX_DATA_WIDTH によって決定します。</p> <p>TX_DATA_WIDTH = 16、20 : TXDATA[15:0] = 16 ビット幅</p> <p>TX_DATA_WIDTH = 32、40 : TXDATA[31:0] = 32 ビット幅</p> <p>TX_DATA_WIDTH = 64、80 : TXDATA[63:0] = 64 ビット幅</p> <p>20 ビット、40 ビットまたは 80 ビットのバスが必要な場合は、8B/10B エンコーダーの TXCHARDISPVAL および TXCHARDISPMODE ポートと TXDATA ポートを結合します。111 ページの表 3-2 を参照してください。</p>
TXUSRCLK	入力	クロック	内部 TX PCS データバスのクロックの提供に使用します。
TXUSRCLK2	入力	クロック	FPGA ロジックと TX インターフェイスの同期に使用します。ユーザーが TXUSRCLK を提供する場合、このクロックは TXUSRCLK の立ち上がりエッジに揃う必要があります。

表 3-5 に、FPGA TX インターフェイスの属性を示します。

表 3-5 : FPGA TX インターフェイスの属性

属性	タイプ	説明
TX_DATA_WIDTH	整数	TXDATA ポートのビット幅を設定します。8B/10B エンコーダーが有効の場合、TX_DATA_WIDTH は 20 ビット、40 ビット、または 80 ビットに設定される必要があります。有効な値は、16、20、32、40、64、および 80 です。詳細は、 110 ページの「インターフェイス幅の設定」 を参照してください。
TX_INT_DATAWIDTH	整数	<p>内部データバス幅を指定します。</p> <p>0 : 2 バイトの内部データバス</p> <p>1 : 4 バイトの内部データバス。ライン レートが 6.6Gb/s よりも高い場合は 1 に設定</p>

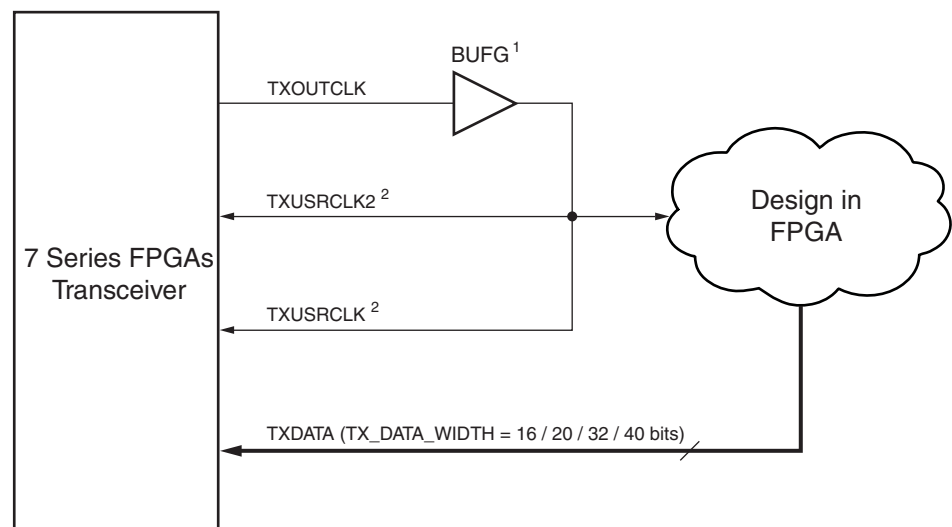
TXOUTCLK を使用して TX インターフェイスを駆動

TXUSRCLK および TXUSRCLK2 の周波数によって、FPGA のクロック リソースを使用して TX インターフェイスの平行 クロックを駆動する方法は異なります。図 3-2 ～図 3-5 に、TX インターフェイスの平行 クロックの駆動に使用するいくつかの FPGA クロック リソースを示します。これらの例では、153 ページの図 3-28 に示すとおり、TXOUTCLK が MGTREFCLK0[P/N] または MGTREFCLK1[P/N] から派生しており、TXOUTCLKSEL = 011 と設定することで TXPLLREFCLK_DIV1 パスを選択しています。

- 入力基準クロック周波数および必要なライン レートに応じて、MMCM および適切な TXOUTCLKSEL ポート設定が必要です。CORE Generator™ ツールは、通常異なるデザイン要件に基づいてサンプル デザインを作成します。
- TX バッファがバイパスされる使用モデルの場合、クロック リソースに制約が追加されます。詳細は、138 ページの「TX バッファのバイパス」を参照してください。

2 バイトまたは 4 バイト モードで TXOUTCLK を使用して GTX/GTH トランシーバー TX を駆動

シングル レーンのコンフィギュレーションで 2 バイト モード (TX_DATA_WIDTH = 16 または 20 および TX_INT_DATWIDTH = 0) または 4 バイト モード (TX_DATA_WIDTH = 32 または 40 および TX_INT_DATWIDTH = 1) の場合、TXOUTCLK を使用して TXUSRCLK および TXUSRCLK2 を駆動します (図 3-2 参照)。いずれの場合も、TXUSRCLK2 の周波数は TXUSRCLK と同じ値です。



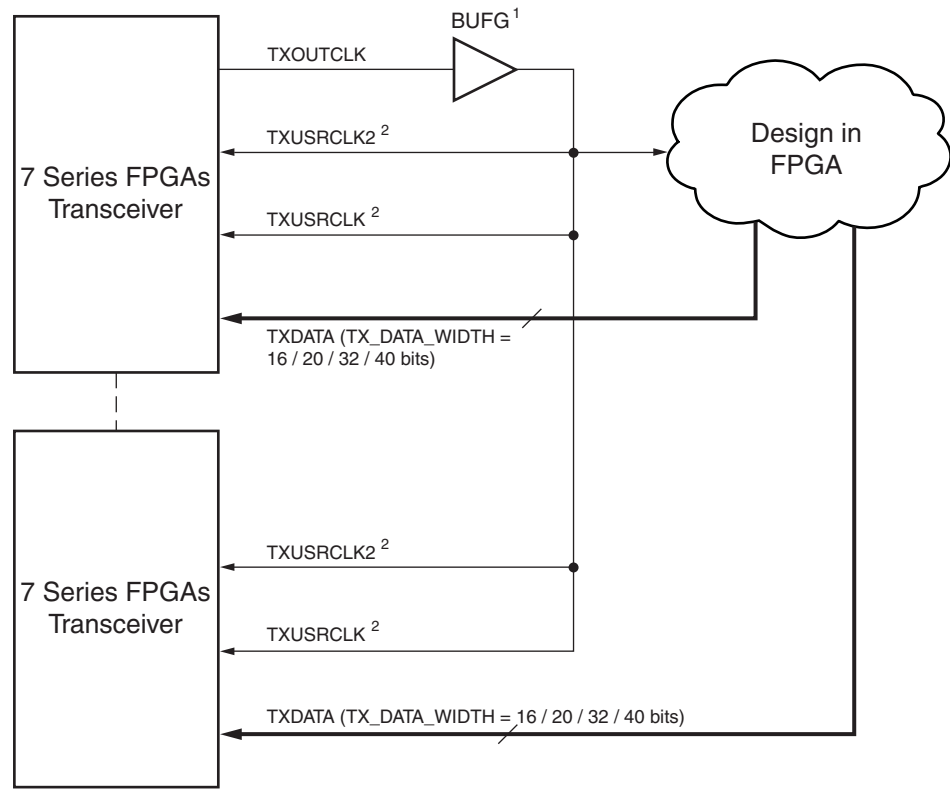
UG476_c3_30_060311

図 3-2: シングル レーン - TXOUTCLK を使用して TXUSRCLK2 を駆動
(2 バイトまたは 4 バイト モード)

図 3-2 について説明します。

1. Virtex®-7 デバイスの場合、BUFR を介した BUFR の使用に特定の制約が伴います。クロック リソース (MMCM、BUFR、BUFG など) の配置制約および制限の詳細は、『7 シリーズ FPGA クロッキング リソース ユーザー ガイド』(UG472) を参照してください。
2. $F_{TXUSRCLK2} = F_{TXUSRCLK}$ です。

図 3-3 に、同じ設定を適用したマルチレーンのコンフィギュレーションを示します。



UG476_c3_31_062011

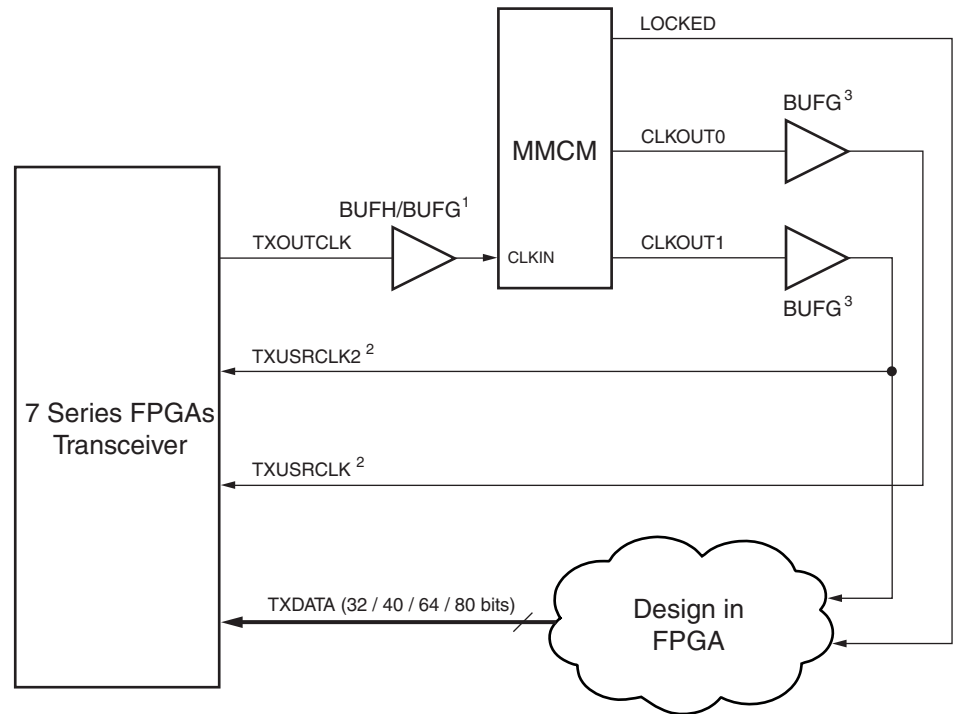
図 3-3 : マルチレーン - TXOUTCLK を使用して TXUSRCLK2 を駆動
(2 バイトまたは 4 バイト モード)

図 3-3 について説明します。

1. Virtex-7 デバイスの場合、BUFMR を介した BUFR の使用に特定の制約が伴います。クロックリソース (MMCM、BUFR、BUFG など) の配置制約および制限の詳細は、『7 シリーズ FPGA クロッキング リソース ユーザー ガイド』([UG472](#)) を参照してください。
2. $F_{TXUSRCLK2} = F_{TXUSRCLK}$ です。

4 バイトまたは 8 バイト モードで TXOUTCLK を使用して GTX/GTH トランシーバー TX を駆動

4 バイト モード (TX_DATA_WIDTH = 32 または 40 および TX_INT_DATWIDTH = 0) または 8 バイト モード (TX_DATA_WIDTH = 64 または 80 および TX_INT_DATWIDTH = 1) の場合、TXOUTCLK を使用して TXUSRCLK2 を駆動します (図 3-4 参照)。いずれの場合も、TXUSRCLK2 の周波数は TXUSRCLK の半分です。デバイスの上半分にあるクロック マネージメント タイル (CMT) の一部である MMCM は、同じ側の BUFG しか駆動できません。同様に、デバイスの下半分にある BUFG を駆動できるのは、同じ側にある MMCM のみです。



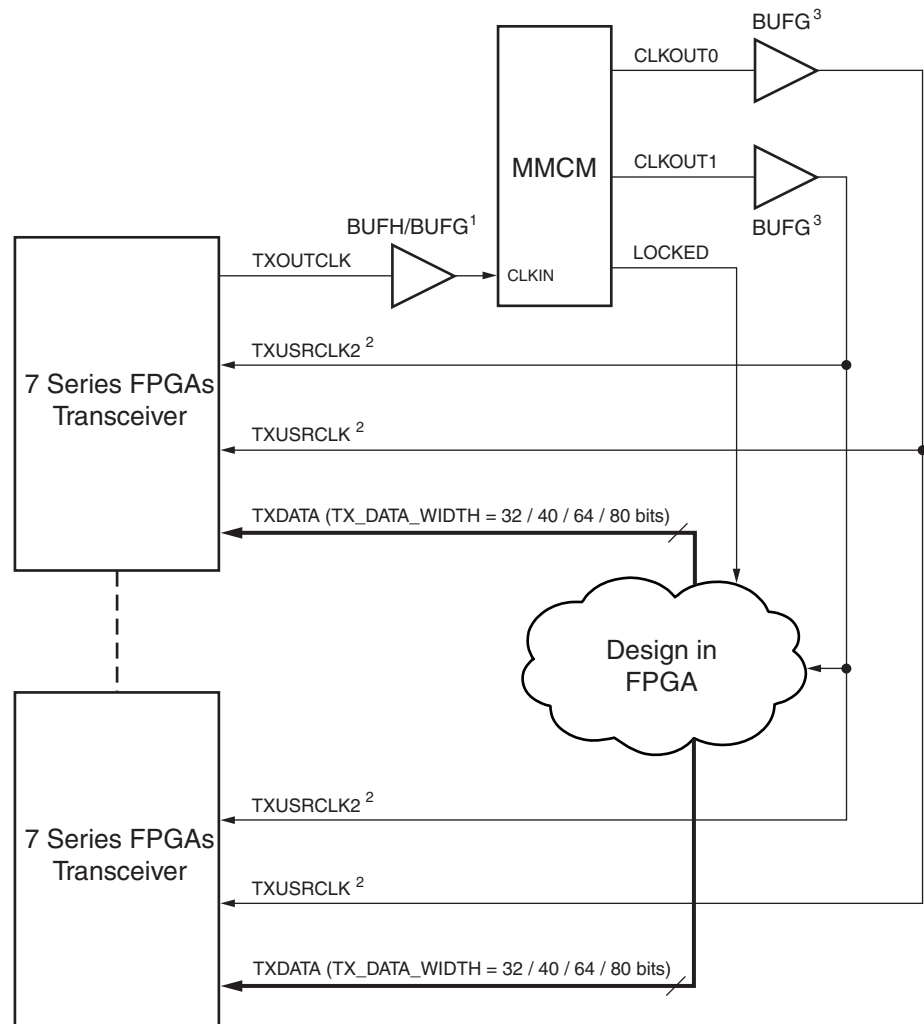
UG476_c3_32_120711

図 3-4 : シングル レーン - TXOUTCLK を使用して TXUSRCLK2 を駆動
(4 バイトまたは 8 バイト モード)

図 3-4 について説明します。

1. Kintex™-7 デバイスの場合、BUFH/BUFG が必要です。Virtex-7 デバイスでは BUFG/BUFG は必要ありません。
2. $F_{TXUSRCLK2} = F_{TXUSRCLK}/2$ です。
3. Virtex-7 デバイスの場合、BUFR の使用に特定の制約が伴います。クロック リソース (MMCM、BUFR、BUFG など) の配置制約および制限の詳細は、『7 シリーズ FPGA クロッキング リソース ユーザー ガイド』(UG472) を参照してください。

図 3-5 に、同じ設定を適用したマルチ レーンのコンフィギュレーションを示します。



UG476_c3_33_120711

図 3-5 : マルチ レーン - TXOUTCLK を使用して TXUSRCLK2 を駆動
(4 バイトまたは 8 バイト モード)

図 3-5 について説明します。

1. Kintex-7 デバイスの場合、BUFH/BUFG が必要です。Virtex-7 デバイスでは BUFH/BUFG は必要ありません。
2. $F_{TXUSRCLK2} = F_{TXUSRCLK} / 2$ です。
3. Virtex-7 デバイスの場合、BUFR の使用に特定の制約が伴います。クロック リソース (MMCM、BUFR、BUFG など) の配置制約および制限の詳細は、『7 シリーズ FPGA クロッキング リソース ユーザー ガイド』(UG472) を参照してください。

TX 8B/10B エンコーダー

機能の説明

多数のプロトコルが出力されるデータに 8B/10B エンコーダーを使用します。8B/10B は業界標準のエンコード方式で、DC バランスおよび確かなディスペリティを達成するために 1 バイトごとに 2 ビットを付加することでクロックを回復できます。GTX/GTH トランシーバーは 8B/10B エンコーダーを備えており、FPGA のリソースを使用することなく TX データをエンコードします。8B/10B エンコーダーを有効にした場合は、TX パスのレイテンシが増加します。エンコードが不要な場合は、8B/10B エンコーダーを無効に (バイパス) できます。

8B/10B のビットおよびバイト順序

8B/10B エンコードではビット a0 を最初に送信する必要があり、GTX/GTH トランシーバーでは常に最も右にあるビットが最初に送信されます。このため、8B/10B エンコーダーを通過したビット順序は、付録 C 「8B/10B の符号」に示す順序の逆になります。GTX/GTH トランシーバーの 8B/10B エンコーダーは、8B/10B と一致するよう自動的にビット順序を反転します。図 3-6 に、TX_DATA_WIDTH = 20、40、および 80 の場合の GTX/GTH トランシーバーによるデータ転送を示します。TXDATA で使用されるビットの数と対応するバイトの順序は、TX_DATA_WIDTH によって異なります。

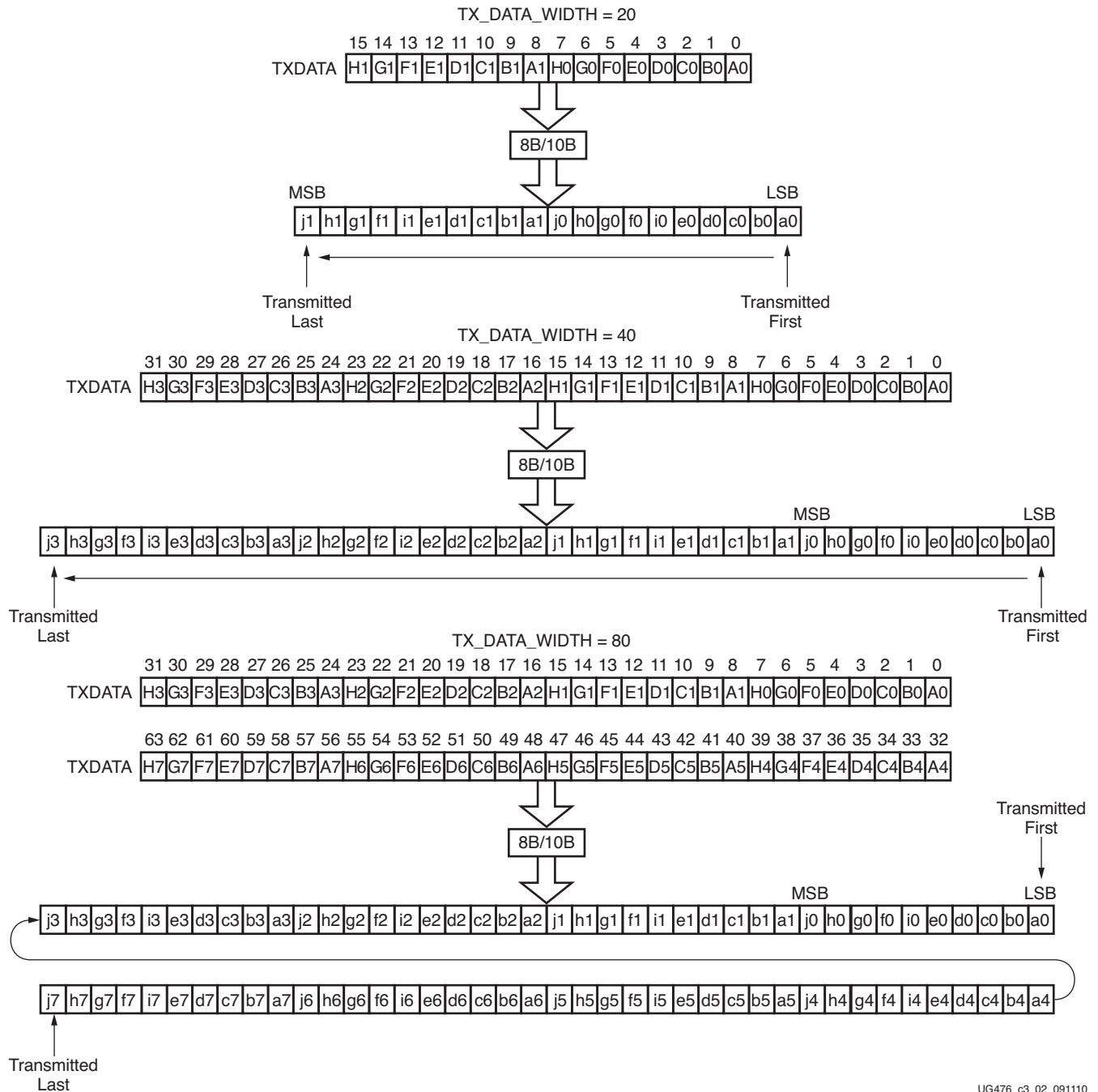
- TX_DATA_WIDTH = 20 の場合は、TXDATA[15:0] のみを使用
- TX_DATA_WIDTH = 40 の場合は、TXDATA[31:0] のみを使用
- TX_DATA_WIDTH = 80 の場合は、すべての TXDATA[63:0] を使用

8B/10B エンコーダーがバイパスされ、TX_DATA_WIDTH が 10 の倍数に設定されている場合は、次のフォーマットで 10 ビットのキャラクターが TX データ インターフェイスへ送られます。

- 対応する TXCHARDISPMODE は 9 番目のビットを示す
- 対応する TXCHARDISPVAL は 8 番目のビットを示す
- 対応する TXDATA バイトは [7:0] ビットを示す

K 符号

8B/10B テーブルには、機能制御で頻繁に使用される特殊文字 (K 符号) が含まれます。TXCHARISK ポートを使用して、TXDATA 上のデータが K 符号か通常データかを判断します。TXCHARISK ビットが High に遷移すると、8B/10B エンコーダーは K 符号の有効性を確認するため、受信した TXDATA バイトを確認します。



UG476_c3_02_091110

図 3-6 : 8B/10B のビットおよびバイト順序

ランニング ディスパリティ

8B/10B コーディングは DC バランスを保つための手法です。つまり、送信された 1 と 0 の割合を長期間にわたって正確に 50% にする必要があります。このため、エンコーダーは送信された -1 と 0 の数の差を常に計算し、送信した各キャラクターの最後で +1 または -1 の差を算出します。この差をランニング ディスパリティといいます。

ディスパリティを使用して制御情報を送信するプロトコルに対応するために、ランニング ディスパリティは 8B/10B エンコーダーで生成されるだけでなく、TXCHARDISPMODE および TXCHARDISPVAL (表 3-6 参照) で直接制御することも可能です。たとえば、反転したディスパリティと共に送信されたアイドル キャラクターを使用し、クロック コレクションを開始する場合があります。

表 3-6 : TXCHARDISPMODE と TXCHARDISPVAL および出力されるディスパリティ値

TXCHARDISPMODE	TXCHARDISPVAL	出力されるディスパリティ値
0	0	8B/10B エンコーダーで計算されます。
0	1	TXDATA のエンコード時に、ランニング ディスパリティを反転します。
1	0	TXDATA のエンコード時に、強制的に負のランニング ディスパリティを送信します。
1	1	TXDATA のエンコード時に、強制的に正のランニング ディスパリティを送信します。

ポートおよび属性

表 3-7 に、TX 8B/10B エンコーダーに必要なポートを示します。

注記：TX エンコーダーの属性はありません。

表 3-7 : TX 8B/10B エンコーダーのポート

ポート	方向	クロック ドメイン	説明
TX8B10BBYPASS[7:0]	入力	TXUSRCLK2	このアクティブ High ポートは、バイト インターリーブされたデータがバイト単位で 8B/10B をバイパスできるようにします。このバイト単位のバイパス モードを使用するには、TX8B10BEN を High にします。 TX8B10BBYPASS [7] は TXDATA[63:56] に対応 TX8B10BBYPASS [6] は TXDATA[55:48] に対応 TX8B10BBYPASS [5] は TXDATA[47:40] に対応 TX8B10BBYPASS [4] は TXDATA[39:32] に対応 TX8B10BBYPASS [3] は TXDATA[31:24] に対応 TX8B10BBYPASS [2] は TXDATA[23:16] に対応 TX8B10BBYPASS [1] は TXDATA[15:8] に対応 TX8B10BBYPASS [0] は TXDATA[7:0] に対応 TXBYPASS8B10B[x] = 1、バイト x のエンコーダーをバイパスする TXBYPASS8B10B[x] = 0、バイト x のエンコーダーを使用する
TX8B10BEN	入力	TXUSRCLK2	8B/10B エンコーダーを有効にするには、TX8B10BEN を High に設定します。8B/10B エンコーダーが有効の場合、TX_DATA_WIDTH は 20、40、または 80 に設定されます。 0 : 8B/10B エンコーダーをバイパス。このオプションでレイテンシが削減される 1 : 8B/10B エンコーダーを使用

表 3-7: TX 8B/10B エンコーダーのポート (続き)

ポート	方向	クロック ドメイン	説明
TXCHARDISPMODE[7:0]	入力	TXUSRCLK2	<p>TXDATA のエンコード時、TXCHARDISPVAL を使用して強制的に正または負のランニング ディスパリティを送信する場合は、このポートを High に設定します。通常のランニング ディスパリティを使用する場合は、Low に設定します。詳細は、表 3-6 を参照してください。</p> <p>TXCHARDISPMODE[7] は TXDATA[63:56] に対応 TXCHARDISPMODE[6] は TXDATA[55:48] に対応 TXCHARDISPMODE[5] は TXDATA[47:40] に対応 TXCHARDISPMODE[4] は TXDATA[39:32] に対応 TXCHARDISPMODE[3] は TXDATA[31:24] に対応 TXCHARDISPMODE[2] は TXDATA[23:16] に対応 TXCHARDISPMODE[1] は TXDATA[15:8] に対応 TXCHARDISPMODE[0] は TXDATA[7:0] に対応</p>
TXCHARDISPVAL[7:0]	入力	TXUSRCLK2	<p>TXCHARDISPMODE と共に使用してランニング ディスパリティを制御します。詳細は、表 3-6 を参照してください。</p> <p>TXCHARDISPVAL[7] は TXDATA[63:56] に対応 TXCHARDISPVAL[6] は TXDATA[55:48] に対応 TXCHARDISPVAL[5] は TXDATA[47:40] に対応 TXCHARDISPVAL[4] は TXDATA[39:32] に対応 TXCHARDISPVAL[3] は TXDATA[31:24] に対応 TXCHARDISPVAL[2] は TXDATA[23:16] に対応 TXCHARDISPVAL[1] は TXDATA[15:8] に対応 TXCHARDISPVAL[0] は TXDATA[7:0] に対応</p>
TXCHARISK[7:0]	入力	TXUSRCLK2	<p>TXDATA の対応するデータ バイトが有効な K 符号である場合、High になります。</p> <p>TXCHARISK[7] は TXDATA[63:56] に対応 TXCHARISK[6] は TXDATA[55:48] に対応 TXCHARISK[5] は TXDATA[47:40] に対応 TXCHARISK[4] は TXDATA[39:32] に対応 TXCHARISK[3] は TXDATA[31:24] に対応 TXCHARISK[2] は TXDATA[23:16] に対応 TXCHARISK[1] は TXDATA[15:8] に対応 TXCHARISK[0] は TXDATA[7:0] に対応</p> <p>TXDATA からの対応するデータ バイトが 8B/10B エンコーダーをバイパスするように設定されている場合は、Low 駆動します。</p>

8B/10B エンコーダーの有効/無効

8B/10B エンコーダーを有効にするには TX8B10BEN を High に駆動する必要があります。TX 8B/10B エンコーダーは、バイト インターリーブされたデータがバイト単位でエンコーダーをバイパスできるようにします。TX8B10BEN が Low 駆動の場合、すべてのエンコーダーが無効となり、TXDATA からのデータがエンコードされません。TX8B10BEN が High の場合、TX8B10BBYPASS からのビットを High 駆動することで、TXDATA からの対応バイト チャンネルが 8B/10B エンコードをバイパスできます。エンコーダーを無効にしたときの TXDATA ポートの動作は、FPGA TX インターフェイスで説明しています。

TX ギアボックス

機能の説明

一部の高速データレート プロトコルは、64B/66B エンコードを使用して 8B/10B エンコードのオーバーヘッドを削減しながらエンコード手法の利点を利用します。TX ギアボックスが、64B/66B と 64B/67B のヘッダーおよびペイロードの結合をサポートします。Interlaken インターフェイス プロトコルの仕様書では、64B/67B エンコード手法を使用しています。詳細は、Interlaken の仕様書を参照してください。

TX ギアボックスは、2 バイト、4 バイト、および 8 バイトのインターフェイスをサポートします。データのスクランブルは FPGA ロジックで実行されます。GTH トランシーバーでは、一般的なギアボックス モードに加えて CAUI インターフェイス モードもサポートされます。

ポートおよび属性

表 3-8 に、TX ギアボックスのポートを示します。

表 3-8 : TX ギアボックスのポート

ポート名	方向	クロック ドメイン	説明
TXGEARBOXREADY	出力	TXUSRCLK2	ギアボックスを使用するように GEARBOX_MODE が設定されている場合、64B/66B または 64B/67B ギアボックスヘッダーが適用されるかを示します。 0 : データは適用されない 1 : データは適用される
TXHEADER[2:0]	入力	TXUSRCLK2	ヘッダー入力用ポート。64B/66B ギアボックスには [1:0] が使用され、64B/67B ギアボックスには [2:0] が使用されます。 GTH トランシーバー : TXHEADER[2:0] は、通常モードではヘッダー用に使用され、CAUI インターフェイス モードではデータ ストリーム A 用に使用されます。
TXCHARISK[2:0] (GTH トランシーバーのみ)	入力	TXUSRCLK2	CAUI インターフェイス モードではデータ ストリーム B 用に TXHEADER [2:0] として使用されます。

表 3-8 : TX ギアボックスのポート (続き)

ポート名	方向	クロックドメイン	説明
TXSEQUENCE[6:0]	入力	TXUSRCLK2	TX ギアボックスが使用される際、ファブリックのシーケンス カウンター用に使用される入力です。64B/66B ギアボックスには [5:0] が使用され、64B/67B ギアボックスには [6:0] が使用されます。GTH トランシーバーでは、このポートは CAUI インターフェイス モードにおいて両方の PCS レーン (PCSL) で共有されます。
TXSTARTSEQ	入力	TXUSRCLK2	64B/66B または 64B/67B ギアボックスのリセット後に適用される最後のワードを示します。内部シーケンス カウンターは、GEARBOX_MODE で有効に設定します。GTH トランシーバーでは、このポートは CAUI インターフェイス モードにおいて両方の PCSL で共有されます。

表 3-9 に、TX ギアボックスの属性を示します。

表 3-9 : TX ギアボックスの属性

属性	タイプ	説明
GEARBOX_MODE	3 ビット バイナリ	<p>TX および RX ギアボックス モードを示します。</p> <ul style="list-style-type: none"> ビット 2 : GTX トランシーバーでは未使用かつ 0 に設定、GTH トランシーバーでは通常モード。 CAUI インターフェイスが GTH トランシーバーに関与する場合、1 に設定。 ビット 1 : 0 : 外部シーケンス カウンターを使用し、TXSEQUENCE へ入力を適用する 1 : 内部シーケンス カウンターを使用し、TXGEARBOXREADY 出力に基づいて入力ヘッダーとデータを制御する GTH トランシーバー : 未使用かつ 1 に設定。内部シーケンス カウンターはサポートされない。 ビット 0 : 0 : Interlaken 用の 64B/67B ギアボックス モード 1 : 64B/66B ギアボックス
TXGEARBOX_EN	ブール型	TRUE の場合、TX ギアボックスが有効になります。

TX ギアボックスの有効化

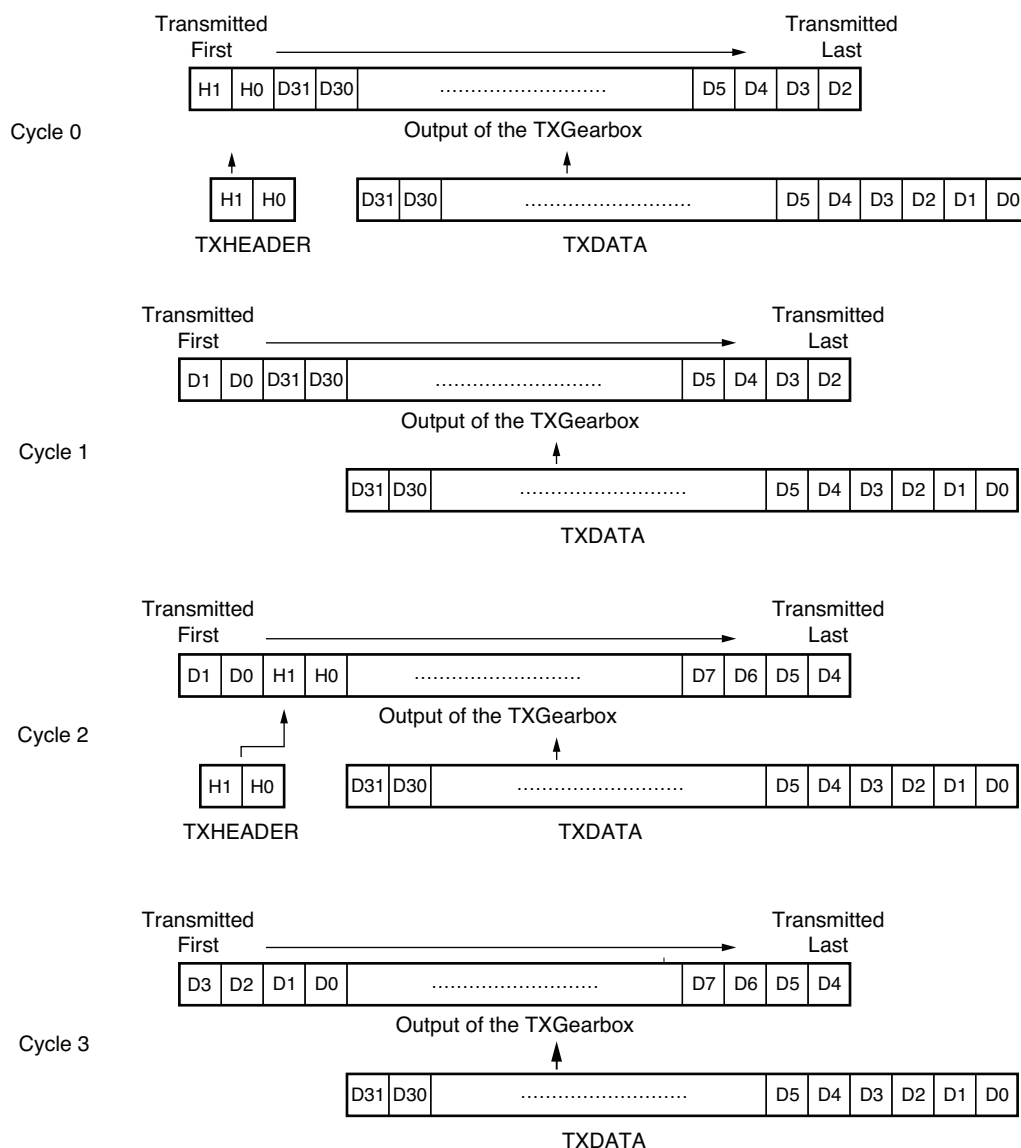
GTX/GTH トランシーバーの TX ギアボックスを有効にする場合は、TXGEARBOX_EN 属性を TRUE に設定する必要があります。

GEARBOX_MODE の Bit 2 は、GTX トランシーバーでは未使用かつ 0 に設定されなければなりません。標準動作モードの GTH トランシーバーにおいても同様です。GTH トランシーバーで

CAUI インターフェイスを使用する場合は 1 に設定します。GTX/GTH トランシーバーの TX ギアボックスと RX ギアボックスは同じモードを使用します。

TX ギアボックスのビットおよびバイト順序

図 3-7 に、4 バイト インターフェイス (TX_DATA_WIDTH=32 (4 バイト)、TX_INT_DATAWIDTH = 1 (4 バイト)) を通常モード (GEARBOX_MODE[2] = 1'b0) で使用した場合の 64B/66B エンコードで、TX ギアボックスへ入力されるデータおよび TX ギアボックスから出力されるデータの最初の 4 サイクルを例示します。入力は 2 ビットのヘッダーと 32 ビットのデータで構成されています。最初のサイクルで、ヘッダーと 30 ビットのデータが TX ギアボックスから出力されます。2 番目のサイクルでは、前のサイクルの TXDATA で残った 2 ビットのデータが、現在の TXDATA からの 30 ビット データと共に TX ギアボックスから出力されます。3 番目のサイクルでは、TX ギアボックスの出力に、最初の 66 ビット ブロックからの残りの 2 ビット データ、2 番目の 66 ビット ブロックのヘッダー、および 2 番目の 66 ビット ブロックからの 28 ビット データが含まれます。



UG476_c3_34_052111

図 3-7：通常モードにおける TX ギアボックスのビット順 (GEARBOX_MODE[2] = 1'b0)

図 3-7 について説明します。

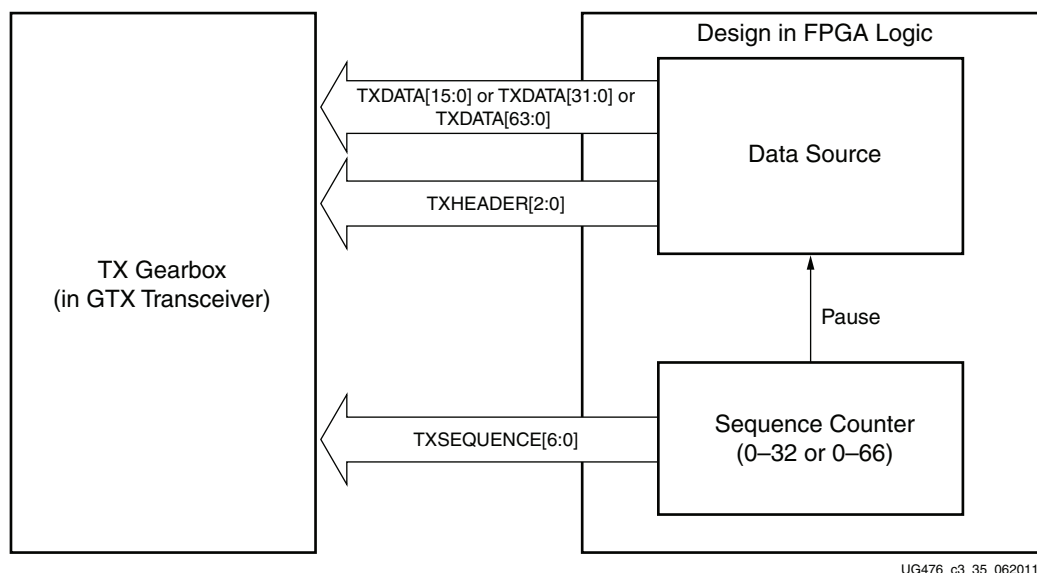
1. IEEE802.3ae の命名規則に従って、H1、H0 はそれぞれ TxB0、TxB1 に対応し、以降も同様です。

TX ギアボックスの動作モード

TX ギアボックスには 2 つの動作モードがあります。1 つ目は、ユーザー ロジックにインプリメントされる外部シーケンス カウンター モードです。2 つ目は、内部シーケンス カウンター モードです。内部シーケンス カウンター モードは、GTH トランシーバーではサポートされていません。TX ギアボックスは、FPGA ロジックに対して 2 バイト、4 バイト、8 バイトのインターフェイスをサポートします。

外部シーケンス カウンター動作モード

外部シーケンス カウンター動作 (図 3-8) は、通常モード (GEARBOX_MODE[2] = 1'b0) では TXSEQUENCE[6:0]、TXDATA[63:0]、および TXHEADER[2:0] 入力を使用します。(GTH トランシーバーで CAUI インターフェイスが使用されている場合 (GEARBOX_MODE[2] = 1'b1) は TXCHARISK[2:0] も使用されます。) TXSEQUENCE 入力ポートを駆動するには、ユーザー ロジックにバイナリ カウンターが必要です。64B/66B エンコードの場合、カウンタは 0 から 32 までインクリメントし、また 0 から開始します。64B/67B エンコードの場合、カウンタは 0 から 66 までインクリメントし、また 0 から開始します。64B/66B エンコードを使用する場合は、TXSEQUENCE [6] をロジック 0 に接続し、未接続の TXHEADER [2] をロジック 0 へ接続します。(GEARBOX_MODE[2] = 1'b1 に設定して GTH トランシーバーで CAUI インターフェイスを使用する場合、未使用の TXCHARISK[2] をロジック 0 に接続する必要があります。) シーケンス カウンターのインクリメント範囲 ({0 ~ 32}、{0 ~ 66}) は、2 バイト、4 バイト、8 バイトのインターフェイスのいずれの場合も同じです。ただし、TX_DATA_WIDTH が TX_INT_DATAWIDTH と同じ場合 (たとえば、4 バイト ファブリック インターフェイス (TX_DATA_WIDTH = 32) と 4 バイト内部データ幅 (TX_INT_DATAWIDTH=1) のモードを使用するとき)、カウンタは TXUSRCLK2 の 2 サイクルに 1 回のみインクリメントします。



UG476_c3_35_062011

図 3-8 : 外部シーケンス カウンター動作モードの TX ギアボックス、
通常モード (GEARBOX_MODE[2] = 1'b0)

64B/66B および 64B/67B エンコードの特性によって、さまざまなシーケンス カウンター値でユーザー データが保留 (ポーズ) されます。TX_DATA_WIDTH および TX_INT_DATAWIDTH が同じモードでは、データは TXUSRCLK2 の 2 サイクル間保留され、TX_DATA_WIDTH 値が TX_INT_DATAWIDTH の 2 倍のモードでは TXUSRCLK2 の 1 サイクル間保留されます。そして次の TXUSRCLK2 サイクルでデータ転送が再開されます。データ保留は、TXDATA にのみ適用され、TXHEADER には適用されません。表 3-10 および表 3-11 に、TXSEQUENCE のデータ保留位置をモード別に示します。

表 3-10：通常モード (GEARBOX_MODE[2] = 1'b0) での 64B/66B エンコード使用時における TXSEQUENCE のデータ保留サイクルとその位置

TX_DATA_WIDTH	TX_INT_DATAWIDTH	TXSEQUENCE の データ保留サイクル	TXSEQUENCE の データ保留位置
64 (8 バイト)	1 (4 バイト)	1 X TXUSRCLK2	32
32 (4 バイト)	1 (4 バイト)	2 X TXUSRCLK2	32
32 (4 バイト)	0 (2 バイト)	1 X TXUSRCLK2	31
16 (2 バイト)	0 (2 バイト)	2 X TXUSRCLK2	31

表 3-11：通常モード (GEARBOX_MODE[2] = 1'b0) での 64B/67B エンコード使用時における TXSEQUENCE のデータ保留サイクルとその位置

TX_DATA_WIDTH	TX_INT_DATAWIDTH	TXSEQUENCE の データ保留サイクル	TXSEQUENCE の データ保留位置
64 (8 バイト)	1 (4 バイト)	1 X TXUSRCLK2	22、44、66
32 (4 バイト)	1 (4 バイト)	2 X TXUSRCLK2	22、44、66
32 (4 バイト)	0 (2 バイト)	1 X TXUSRCLK2	21、44、65
16 (2 バイト)	0 (2 バイト)	2 X TXUSRCLK2	21、44、65

図 3-9 に、通常モード (GEARBOX_MODE[2] = 1'b0) で 64B/66B エンコードを実行する際に外部シーケンス カウンター モードでカウンタ値が 32 のときにデータ保留が生じるプロセスを示します。ここでは、4 バイトの内部データ幅で 8 バイト ファブリック インターフェイスを使用しています。

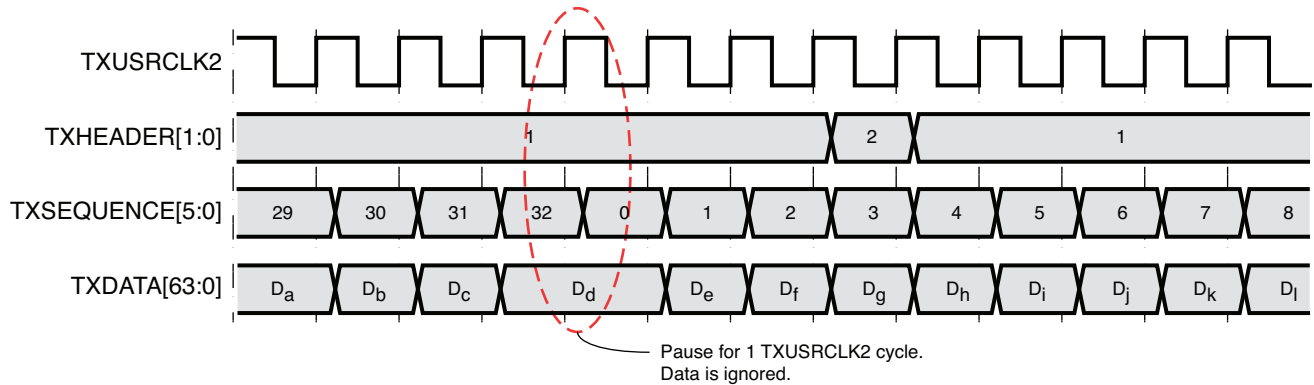


図 3-9 : 通常モード (GEARBOX_MODE[2] = 1'b0)、シーケンス カウンタ値が 32 でデータを保留

図 3-10 に、通常モード (GEARBOX_MODE[2] = 1'b0) で 64B/67B エンコードを実行する際に外部シーケンス カウンター モードでカウンタ値が 44 のときにデータ保留が生じるプロセスを示します。ここでは、2 バイトの内部データ幅で 2 バイト ファブリック インターフェイスを使用しています。

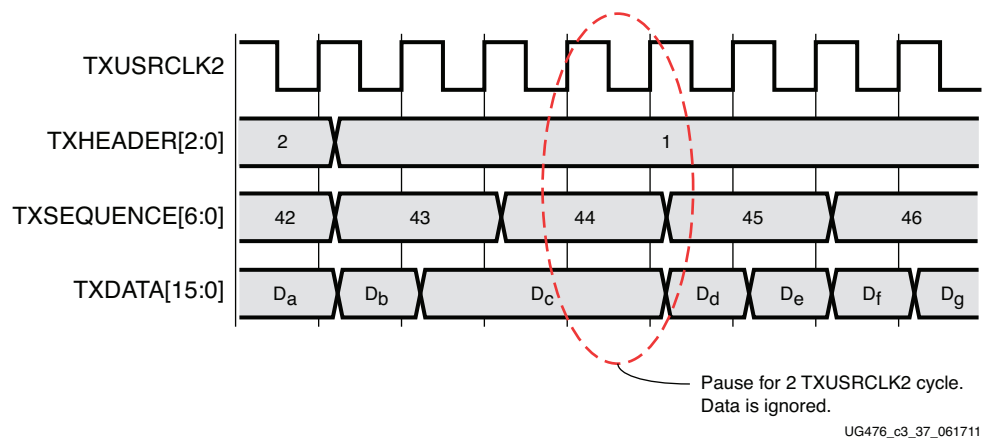


図 3-10 : 通常モード (GEARBOX_MODE[2] = 1'b0)、シーケンス カウンタ値が 44 でデータを保留

通常モード (GEARBOX_MODE[2] = 1'b0) で 2 バイトの内部データ幅 (TX_INT_DATAWIDTH = 0) を使用する場合、外部シーケンス カウンター モードの 64/67 データ転送シーケンスは次のとおりです。

1. GTTXRESET を適用し、リセット サイクルが完了するまで待機します。
2. リセット中、TXSEQUENCE に 7'h00 を、TXHEADER にヘッダー情報を、TXDATA に初期データを適用します。データ転送可能な状態になるまでこのステートは無限に保持できます。

3. カウント 0 のとき、TXDATA にデータを、TXHEADER にヘッダー情報を適用します。2 バイト インターフェイス (TX_DATA_WIDTH = 16) の場合、カウント 0 が保持されているため、TXDATA に 2 つ目の 2 バイト データを提供します。
4. TXDATA でデータが駆動されると、シーケンス カウンターは 1 にインクリメントします。
5. 4 バイト データの適用後、カウンタは 2 にインクリメントします。TXDATA にデータを、TXHEADER にヘッダー情報を適用します。
6. カウント値が 21 のとき、データ パイプラインが停止します。
7. カウント値が 22 のとき、TXDATA にデータを駆動します。
8. カウント値が 44 のとき、データ パイプラインが停止します。
9. カウント値が 45 のとき、TXDATA にデータを駆動します。
10. カウント値が 65 のとき、データ パイプラインが停止します。
11. カウント値が 66 のとき、TXDATA にデータを駆動します。

通常モード (GEARBOX_MODE[2] = 1'b0) で 4 バイトの内部データ幅 (TX_INT_DATAWIDTH = 1) を使用する場合、外部シーケンス カウンター モードで 64/67 データ転送シーケンスは次のように実行されます。

1. GTTXRESET を適用し、リセット サイクルが完了するまで待機します。
2. リセット中、TXSEQUENCE に 7'h00 を、TXHEADER にヘッダー情報を、TXDATA に初期データを適用します。データ転送可能な状態になるまでこのステートは無限に保持できます。
3. カウント 0 のとき、TXDATA にデータを、TXHEADER にヘッダー情報を適用します。4 バイト インターフェイス (TX_DATA_WIDTH = 32) の場合、カウント 0 が保持されているため、TXDATA に 4 つ目の 2 バイト データを提供します。
4. TXDATA でデータが駆動されると、シーケンス カウンターは 1 にインクリメントします。
5. 8 バイト データの適用後、カウンタは 2 にインクリメントします。TXDATA にデータを、TXHEADER にヘッダー情報を駆動します。
6. カウント値が 22 のとき、データ パイプラインが停止します。
7. カウント値が 23 のとき、TXDATA にデータを駆動します。
8. カウント値が 44 のとき、データ パイプラインが停止します。
9. カウント値が 45 のとき、TXDATA にデータを駆動します。
10. カウント値が 66 のとき、データ パイプラインが停止します。

通常モード (GEARBOX_MODE[2] = 0'b0) で 2 バイトの内部データ幅 (TX_INT_DATAWIDTH = 1) を使用する場合、外部シーケンス カウンター モードで 64/66 データ転送シーケンスは次のように実行されます。

1. GTTXRESET を適用し、リセット サイクルが完了するまで待機します。
2. リセット中、TXSEQUENCE に 6'h00 を、TXHEADER[2:0] に適切なヘッダー データを、TXDATA に初期データを適用します。データ転送可能な状態になるまでこのステートは無限に保持できます。
3. カウント 0 のとき、TXDATA にデータを、TXHEADER にヘッダー情報を適用します。2 バイト インターフェイス (TX_DATA_WIDTH = 16) の場合、カウント 0 が保持されているため、TXDATA に 2 つ目の 2 バイト データを提供します。
4. TXDATA でデータが駆動されると、シーケンス カウンターは 1 にインクリメントします。

5. 4 バイト データの適用後、カウンタは 2 にインクリメントします。TXDATA にデータを、TXHEADER にヘッダー情報を駆動します。
6. カウント値が 31 のとき、データ パイプラインが停止します。
7. カウント値が 32 のとき、TXDATA にデータを駆動します。

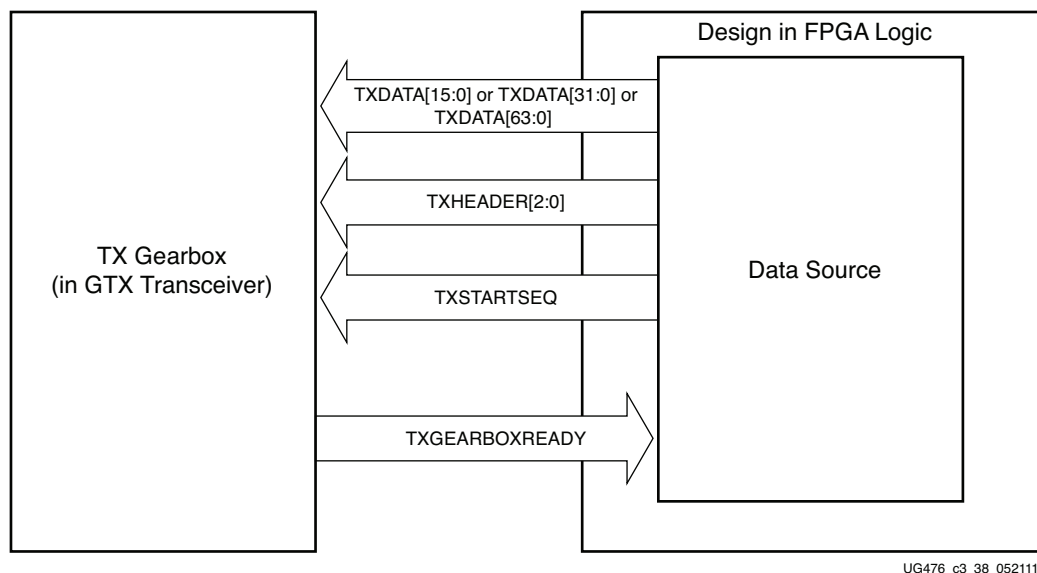
通常モード (GEARBOX_MODE[2] = 1'b0) で 4 バイトの内部データ幅 (TX_INT_DATAWIDTH = 1) を使用する場合、外部シーケンス カウンタ モードの 64/66 データ転送シーケンスは次のとおりです。

1. GTTXRESET を適用し、リセット サイクルが完了するまで待機します。
2. リセット中、TXSEQUENCE に 6'h00 を、TXHEADER[2:0] に適切なヘッダー データを、TXDATA に初期データを適用します。データ転送可能な状態になるまでこのステートは無限に保持できます。
3. カウント 0 のとき、TXDATA にデータを、TXHEADER にヘッダー情報を駆動します。4 バイト インターフェイス (TX_DATA_WIDTH = 32) の場合、カウント 0 が保持されているため、TXDATA に 4 つ目の 2 バイト データを提供します。
4. TXDATA でデータが駆動されると、シーケンス カウンタは 1 にインクリメントします。
5. 8 バイト データの適用後、カウンタは 2 にインクリメントします。TXDATA にデータを、TXHEADER にヘッダー情報を駆動します。
6. カウント値が 32 のとき、データ パイプラインが停止します。

内部シーケンス カウンタ動作モード (GTX トランシーバーのみ)

図 3-11 に示すように、内部シーケンス カウンタ動作モードの場合、TXDATA データ入力および TXHEADER ヘッダー情報入力のほかに、GTX トランシーバーに TXSTARTSEQ 入力と TXGEARBOXREADY 出力があります。この使用モデルでは TXSEQUENCE 入力を使用しません。このモデルは TXGEARBOXREADY 出力を使用しますが、それ以外は前のモデルと同じです。

注記：このモードは GTH トランシーバーではサポートされません。このため、GTH トランシーバーでのみ使用される CAUI インターフェイス モード (GEARBOX_MODE[2] = 1'b1) でもサポートされません。



UG476_c3_38_052111

図 3-11 : GTX トランシーバーにおける内部シーケンス カウンタ モードの TX ギアボックス

TXSTARTSEQ は、リセット後に最初のバイト データが有効になるタイミングを TX ギアボックスへ伝達します。つまり、リセット後に有効なデータの最初のバイトが適用されるとき、TXSTARTSEQ がアサートされます。リセット後、TXDATA 入力と TXHEADER 入力はそのまま保持され、データ転送可能になるまで TXSTARTSEQ は Low を保持する必要があります。データ転送の再開までのユーザー待機時間に関する特定要件はありません。TXSTARTSEQ は、最初の 2、4、または 8 バイト データが有効になると同時に High にアサートされます (データの有効より前ではない)。データの最初のバイトが送信された後、TXSTARTSEQ は任意の値で保持できます。

データ駆動後、TXGEARBOXREADY は、TX_DATA_WIDTH および TX_INT_DATAWIDTH に応じて TXUSRCLK2 の 2 または 3 サイクル間 Low にディアサートされます。TXGEARBOXREADY は、TX_DATA_WIDTH が TX_INT_DATAWIDTH の 2 倍となるモードで、TXUSRCLK2 の 2 サイクル間ディアサートされます。TX_DATA_WIDTH および TX_INT_DATAWIDTH が同じモードでは、TXUSRCLK2 の 3 サイクル間ディアサートされます。図 3-12 および図 3-13 に、GTX トランシーバーにおける 8 バイト ファブリック インターフェイスと 2 バイト ファブリック インターフェイスの TXGEARBOXREADY の動作をそれぞれ示します。TXGEARBOXREADY が Low にディアサートされると、データ パイプラインが停止するまでの時間はわずか TXUSRCLK2 の 1 サイクル分となります。1 サイクルのレイテンシは固定されており変更できません。1 クロック レイテンシ経過後、TXGEARBOXREADY が High へ遷移して新しいデータが駆動されるまで、データを保持する必要があります。この動作モードでのホールド ポイント数は、64B/67B および 64B/66B の外部シーケンス カウンター モードを使用する場合と同じです。

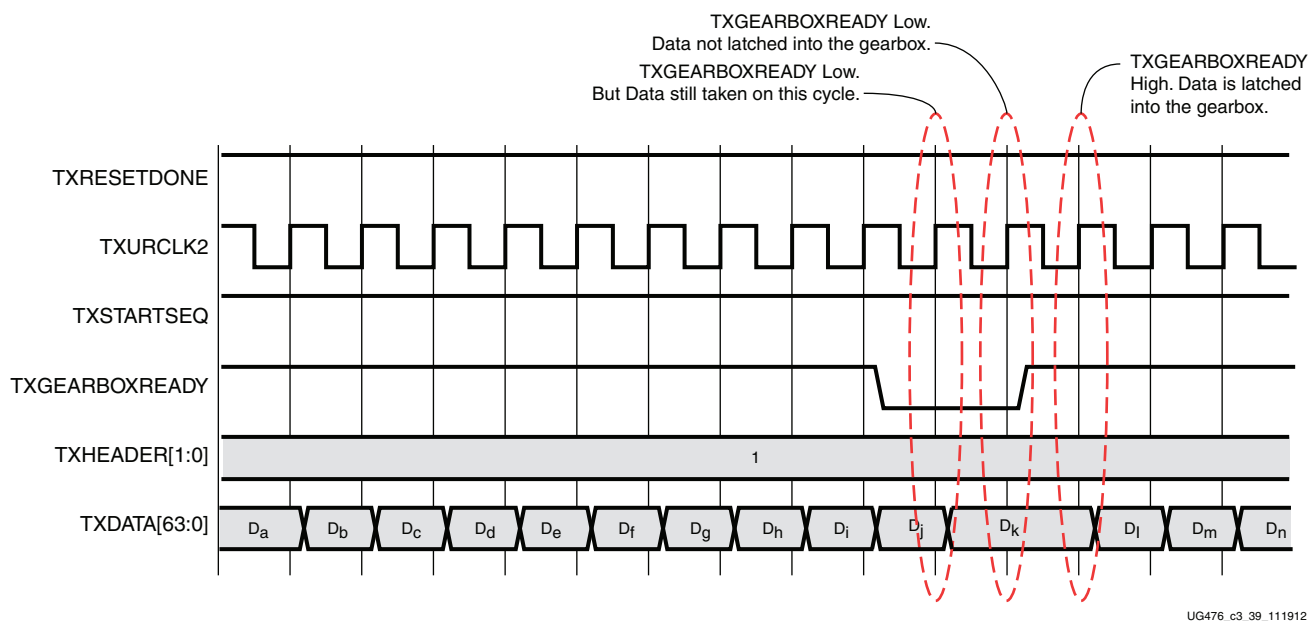


図 3-12 : GTX トランシーバーでの TX ギアボックス内部シーケンス モード、TX_DATA_WIDTH = 64 (8 バイト)、TX_INT_DATAWIDTH = 1 (4 バイト)、64B/66B

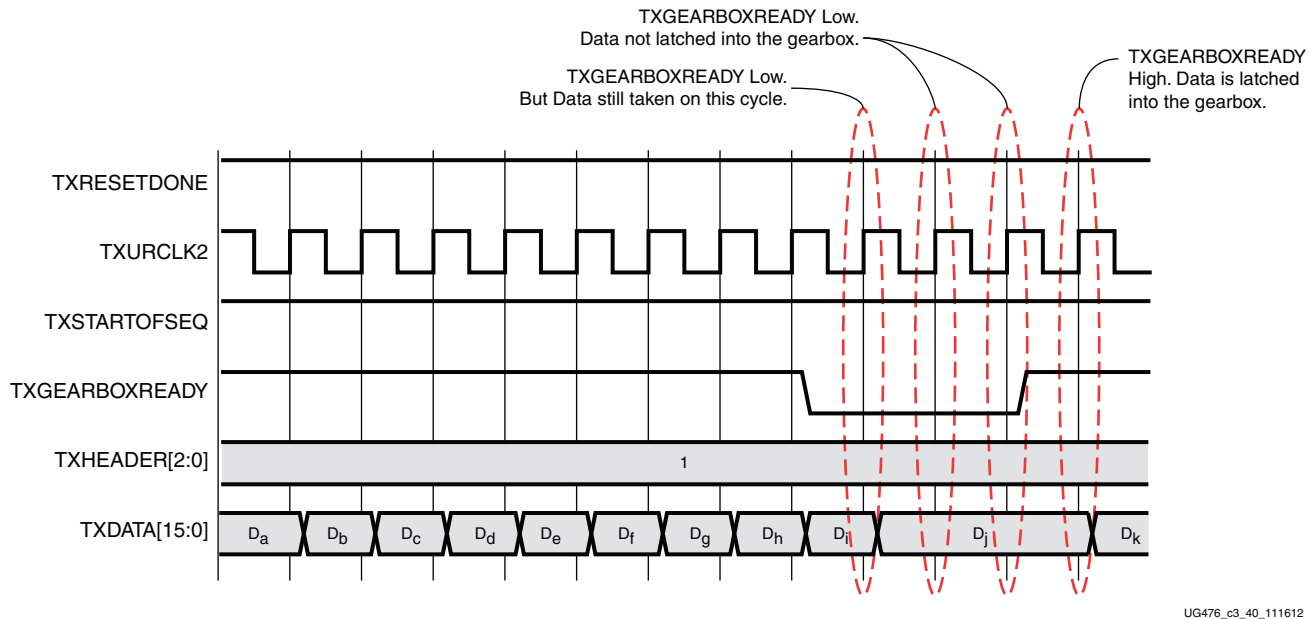


図 3-13 : GTX トランシーバーでの TX ギアボックス内部シーケンス モード、TX_DATA_WIDTH = 16 (2 バイト)、TX_INT_DATAWIDTH = 0 (2 バイト)、64B/67B

GTX トランシーバーでの内部シーケンス カウンター モードのデータ転送シーケンスは次のとおりです。

1. TXSTARTSEQ を Low に保持します。
2. GTTRESET をアサートし、リセット サイクルが完了するまで待機します。
3. TXGEARBOXREADY が High に遷移します。
4. リセット中、TXHEADER に適切なヘッダー データを配置し、TXDATA に初期データを配置します。データ転送の準備が整った状態のリセット ステートは無限に保持できます。
5. TXSTARTSEQ が High 駆動し、TXHEADER に有効なヘッダー情報が配置され、TXDATA にデータが配置されます。
6. TXGEARBOXREADY が Low に遷移するまで、ヘッダー情報とデータを駆動し続けます。
7. TXGEARBOXREADY が Low になると、データおよびヘッダー情報の最後の 2、4、または 8 バイトを駆動します。
8. データ パイプラインは、TX_DATA_WIDTH および TX_INT_DATAWIDTH の設定に応じて TXUSRCLK2 の 1 または 2 サイクル間保持します。
9. 次の TXUSRCLK2 サイクルで、TXDATA 入力にデータを駆動します。TXGEARBOXREADY は、前の TXUSRCLK2 サイクルで High にアサートされています。

CAUI インターフェイス (GTH トランシーバー)

CAUI インターフェイスには、トランシーバーに 2 つのデータ インターフェイスが必要です。このセクションでは、GTH トランシーバーにインプリメントされている TX の CAUI インターフェイス ブロックのデザインについて説明します。これにより、64B/66B および 64B/67B モード (データ ストリーム A およびデータ ストリーム B) でのデュアル データ インターフェイスがサポートされます。CAUI インターフェイス モードは、GEARBOX_MODE[2] 属性を 1'b1 に設定することで選択可能です。CAUI インターフェイス モードでは、TX_INT_DATAWIDTH = 1 (4 バイト) および TX_DATA_WIDTH = 64 (8 バイト) または 32 (4 バイト) の設定のみが認められています。

使用例

2 つの PCSL が、CAUI インターフェイスを介して各 PCS ヘデータを供給するとされています。各 PCSL は TXDATA ポートの半分に接続されます。図 3-14 に、2 つの PCSL と PCS 間の接続を示します。

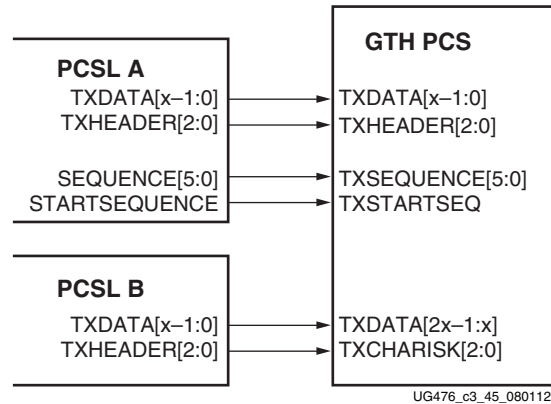


図 3-14 : CAUI インターフェイス - TX 使用例

図 3-14 では、x は PCSL データ バスの幅を示しています。設定可能な値は 16 および 32 です。TXSEQUENCE および TXSTARTSEQ は 2 つの PCSL で共有されます。

TX ギアボックス ブロック (GTH トランシーバー)

GTX トランシーバーの TX ギアボックスの最上位には、これら各コンポーネントのインスタンスが 1 つあります。

- 64B/66B 4 バイト ギアボックス
- 64B/66B 2 バイト ギアボックス
- 64B/67B 4 バイト ギアボックス
- 64B/67B 2 バイト ギアボックス
- シーケンス カウンター

CAUI インターフェイスをサポートするために、GTH トランシーバーには各 2 バイト ギアボックスのインスタンスが追加されています。2 つのデータ ストリームを結合するために、Bit Mux ブロックの 2 つのインスタンス (64B/66B モードおよび 64B/67B モードそれぞれに 1 つずつ) も追加されています。入力 TXHEADER[2:0] はデータ ストリーム A のヘッダー ビットに使用されます。入力信号 TXCHARISK[2:0] はデータ ストリーム B のヘッダー ビットに使用されます。

図 3-15 に、GTH トランシーバーの CAUI インターフェイス (TX パス) を示します。

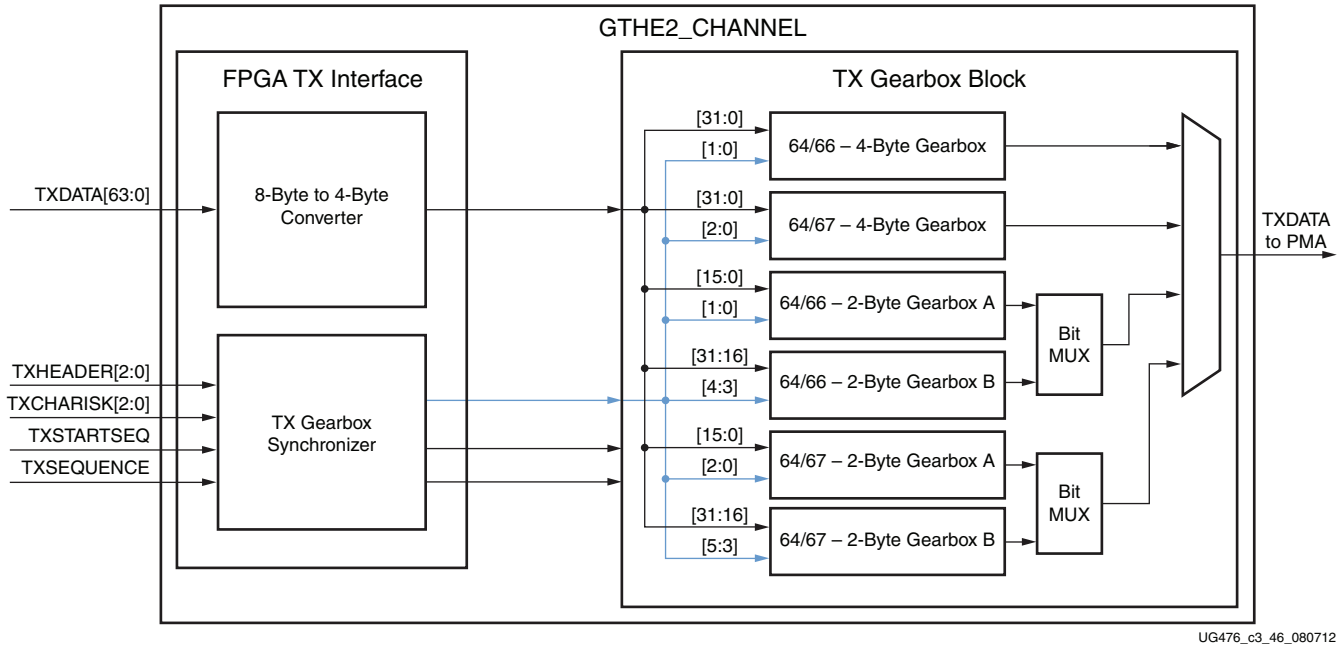


図 3-15 : CAUI インターフェイス (TX データパス)

CAUI モードであり、かつ PCSL データ幅がそれぞれ 32 ビットの場合 (TX_DATA_WIDTH = 64 (8 バイト)), データ ストリーム A およびデータ ストリーム B がそれぞれ対応するギアボックスに達するように、データは 8-4 バイト コンバーターによって分割されます (図 3-16 および図 3-17 参照)。

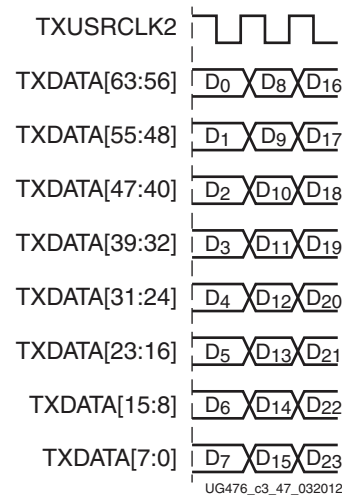


図 3-16 : 8-4 バイト コンバーター (TX_DATA_WIDTH = 64 (8 バイト)、TX_INT_DATAWIDTH = 1 (4 バイト)、GEARBOX_MODE[2] = 1'b1) への入力

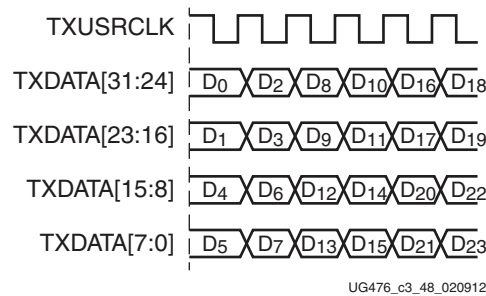


図 3-17：8-4 バイト コンバーター (TX_DATA_WIDTH = 64 (8 バイト)、TX_INT_DATAWIDTH = 1 (4 バイト)、GEARBOX_MODE[2] = 1'b1) の出力

Bit Mux ブロックは 2 つのビットストリーム (2 つの 16 ビット入力) をインターリーブして 2 倍の幅となる結合ビットストリームを 1 つ作成します。Bit Mux 機能は、IEEE 規格 802.3ba-2010 の 83.5.2 節で記述されています。

TX_INT_DATAWIDTH = 1 (4 バイト) が CAUI インターフェイス モードで使用されていますが、2 つの 2 バイト ギャボックスを使用してその機能性を実現します (図 3-15 参照)。これら 2 バイト ギャボックスの機能性は、125 ページの「外部シーケンス カウンター動作モード」で説明した、TX_INT_DATAWIDTH = 0 (2 バイト) の場合と同じです。内部シーケンス カウンター モードは、GTH トランシーバーではサポートされていません。表 3-12 および表 3-13 に、外部シーケンス カウンター モード使用時の、TXSEQUENCE のデータ保留位置をモード別に示します。

表 3-12：64B/66B エンコード使用時の TXSEQUENCE のデータ保留サイクルとその位置、GTH トランシーバーで CAUI インターフェイス モードを使用 (GEARBOX_MODE[2] = 1'b1)

TX_DATA_WIDTH	TX_INT_DATAWIDTH	TXSEQUENCE のデータ保留サイクル	TXSEQUENCE のデータ保留位置 ⁽¹⁾
64 (8 バイト)	1 (4 バイト)	1 x TXUSCLK2	31
32 (4 バイト)	1 (4 バイト)	2 x TXUSCLK2	31

注記：

1. TX シーケンスのデータ保留位置は 31 ですが、TX_INT_DATAWIDTH = 0 (2 バイト) の場合の 64B/66B エンコードに対応する外部シーケンス カウンター動作のシーケンスについて 128 ページで説明されているとおり正しく動作するように、外部シーケンス カウンターは 0 ~ 32 サイクル間を周期的に繰り返す必要があります。

表 3-13：64B/67B エンコード使用時の TXSEQUENCE のデータ保留サイクルとその位置、GTH トランシーバーで CAUI インターフェイス モードを使用 (GEARBOX_MODE[2] = 1'b1)

TX_DATA_WIDTH	TX_INT_DATAWIDTH	TXSEQUENCE のデータ保留サイクル	TXSEQUENCE のデータ保留位置 ⁽¹⁾
64 (8 バイト)	1 (4 バイト)	1 x TXUSCLK2	21、44、65
32 (4 バイト)	1 (4 バイト)	2 x TXUSCLK2	21、44、65

注記：

1. TX シーケンスのデータ保留位置は 65 ですが、TX_INT_DATAWIDTH = 0 (2 バイト) の場合の 64B/67B エンコードに対応する外部シーケンス カウンター動作のシーケンスについて 127 ページで説明されているとおり正しく動作するように、外部シーケンス カウンターは 0 ~ 66 サイクル間を周期的に繰り返す必要があります。

機能が追加されているため、ギアボックス ブロックを通る際に生じるレイテンシは、GTX トランシーバーと比較した場合 GTH トランシーバーでより長くなることが予想されます。

TX バッファ

機能の説明

GTX/GTH トランシーバー TX のデータパスには、PCS で使用される 2 つの内部パラレル クロックドメイン (PMA パラレル クロック (XCLK) ドメインおよび TXUSRCLK ドメイン) があります。データ送信する場合、XCLK と TXUSRCLK のレートを一致させ、2 つのドメイン間の位相差をなくす必要があります。図 3-18 に、XCLK ドメインおよび TXUSRCLK ドメインを示します。

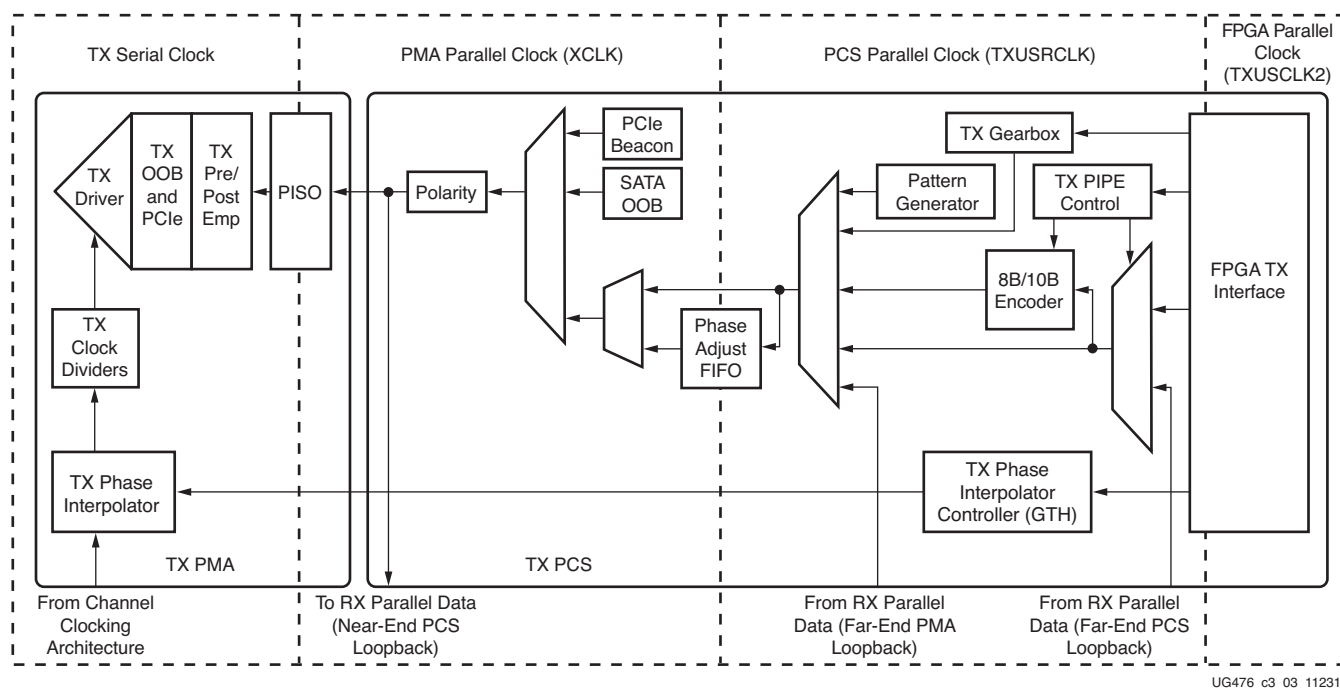


図 3-18 : TX クロック ドメイン

GTX/GTH トランスミッターには TX バッファおよび TX 位相アライメント回路が含まれ、XCLK および TXUSRCLK ドメイン間の位相差を調整します。TX 位相アライメント回路は、TX バッファがバイパスされる場合に使用します (138 ページの「TX バッファのバイパス」参照)。すべての TX データパスは、TX バッファまたは TX 位相アライメント回路のいずれかを使用する必要があります。表 3-14 に、バッファと位相アライメントの比較を示します。

表 3-14 : TX バッファと位相アライメントの比較

	TX バッファ	TX 位相アライメント
使いやすさ	可能な限り TX バッファをデフォルトで使用することを推奨。動作が堅牢で扱いやすい。	追加ロジックやクロック ソースに追加制約が必要なアドバンス機能。TXUSRCLK を駆動するための TXOUTCLK のソースとして、TXOUTCLKSEL が GTX/GTH トランシーバーの基準クロックを選択する必要がある。
レイテンシ	低いレイテンシが求められる場合は、TX バッファをバイパスする必要がある。	位相アライメント回路では、TX データパス上で使用するレジスタ数が少ないため、より低く確定的なレイテンシとなる。
TX レーン間のスキュー調整		位相アライメント回路を使用して GTX/GTH トランシーバー間のレーン スキューを削減できる。関連するすべての GTX/GTH トランシーバー間のライン レートを同一にする必要がある。

ポートおよび属性

表 3-15 に、TX バッファのポートを示します。

表 3-15 : TX バッファのポート

ポート	方向	クロックドメイン	説明
TXBUFSTATUS[1:0]	出力	TXUSRCLK2	<p>TX バッファのステータスです。</p> <p>TXBUFSTATUS[1] : TX バッファのオーバーフロー / アンダーフローを示します。</p> <p>TXBUFSTATUS[1] は High になると、TX バッファがリセットされるまで High が保持されます。</p> <p>1 : TX FIFO のオーバーフロー / アンダーフロー</p> <p>0 : TX FIFO のオーバーフロー / アンダーフロー エラーなし</p> <p>TXBUFSTATUS[0] : TX バッファのフルの程度を示します。</p> <p>1 : TX FIFO は 1/2 以上</p> <p>0 : TX FIFO は 1/2 未満</p>

表 3-16 に、TX バッファの属性を示します。

表 3-16 : TX バッファの属性

属性	タイプ	説明
TXBUF_EN	ブール型	TX バッファの使用の有無を示します。 TRUE : TX バッファを使用 (デフォルト) FALSE : TX バッファをバイパス (アドバンス機能)
TX_XCLK_SEL	文字列	PMA パラレルクロックドメイン (XCLK) を駆動するクロックを選択します。 TXOUT : XCLK のソースとして TXOUTCLK を選択。TX バッファ を使用する場合に指定。 TXUSR : XCLK のソースとして TXUSRCLK を選択。TX バッファ をバイパスする場合に指定。
TXBUF_RESET_ON_RATE_CHANGE	ブール型	レート変更時に GTX/GTH トランシー バー内部で生成される TX バッファの リセット機能を示します。 TRUE : レート変更時の自動 TX バッ ファ リセット機能は有効 FALSE : レート変更時の自動 TX バッ ファ リセット機能は無効

TX バッファの使用

TXBUFSTATUS がオーバーフローまたはアンダーフローを示した場合は、必ず TX バッファをリセットする必要があります。TX バッファのリセットには、GTTXRESET や TXPCSRESET を使用する方法、または XBUF_RESET_ON_RATE_CHANGE = TRUE のときにレートを変更する際の GTX/GTH トランシーバーで内部生成される TX バッファ リセットを使用する方法があります (65 ページの「TX の初期化およびリセット」参照)。GTTXRESET をアサートすることで、GTX/GTH トランシーバーのトランスミッター全体をリセットするシーケンスがトリガーされます。XCLK および TXUSRCLK ドメイン間の位相差を調整する TX バッファを有効にするために、次の設定を使用します。

- TXBUF_EN = TRUE
- TX_XCLK_SEL = TXOUT

TX バッファのバイパス

機能の説明

TX バッファのバイパスは、7 シリーズ FPGA GTX/GTH トランシーバーのアドバンス機能です。PCS から PISO へのデータ転送を可能にするために、TX 位相アライメント回路を使用して PISO パラレル クロック ドメイン (XCLK) と TX XCLK ドメイン間の位相差調整を行います。また、温度や電圧の変化に対応するために TXUSRCLK を継続的に調整して、TX 遅延の調整も行います。TX の位相と遅延の調整は、GTX トランシーバーで自動実行できますが、ユーザーが手動で制御することも可能です。GTH トランシーバー の場合、この機能はユーザーが手動で管理する必要があります。XCLK および TXUSRCLK ドメインについては、135 ページの図 3-18 を参照し、TX バッファと位相アライメント回路の比較については、136 ページの表 3-14 を参照してください。

ポートおよび属性

表 3-17 に、TX バッファをバイパスする場合のポートを示します。

表 3-17：TX バッファをバイパスする場合のポート

ポート	方向	クロック ドメイン	説明
TXPHDLYRESET	入力	非同期	TXOUTCLK を遅延調整タップの中央に強制的に配置するための、TX 位相アライメントのハード リセットです。遅延調整タップは、全範囲が $\pm 4\text{ns}$ 、低範囲が $\pm 2\text{ns}$ です。このハード リセットは、その他すべての TX バッファ バイパス入力ポートが Low に設定されている場合に、GTX トランシーバーが TX の位相および遅延調整を自動的に開始するために使用されます。位相および遅延の調整にのみ TXDLYSRESET を使用することを推奨します。
TXPHALIGN	入力	非同期	TX 位相アライメントを設定します。自動調整モードを使用する場合は Low に設定します。
TXPHALIGNEN	入力	非同期	手動モードの TX 位相アライメントを有効にします。自動モードを使用する場合は Low に設定します。

表 3-17: TX バッファをバイパスする場合のポート (続き)

ポート	方向	クロック ドメイン	説明
TXPHDLYPD	入力	非同期	<p>TX の位相および遅延調整回路の電源切断に使用します。a) TX バッファ バイパスが使用されていない場合、b) TXPD がアサートされている場合、あるいは c) TXOUTCLKSEL が 3'b011 または 3'b100 に設定されているにもかかわらず基準クロックが接続されていない場合は、High に接続してください。TX バッファをバイパスする場合の通常動作中は Low に接続してください。</p> <p>0: TX の位相および遅延調整回路に電源を投入</p> <p>1: TX の位相および遅延調整回路の電源を切断</p>
TXPHINIT	入力	非同期	<p>TX の位相アライメントを初期化します。予約。自動調整モードを使用する場合は Low に設定します。</p>
TXPHOVRDEN	入力	非同期	<p>TX の位相アライメント カウンターのオーバーライドを有効にします。使用しない場合は Low に設定します。</p> <p>0: 通常動作</p> <p>1: TXPH_CFG[10:0] の値で TX 位相アライメント カウンターをオーバーライド</p>
TXDLYSRESET	入力	非同期	<p>TXOUTCLK を遅延調整タップの中央に徐々にシフトさせるための TX 遅延調整ソフト リセットです。遅延調整タップは、全範囲が $\pm 4\text{ns}$、低範囲が $\pm 2\text{ns}$ です。このソフト リセットは、その他すべての TX バッファ バイパス入力ポートが Low に設定されている場合に、GTX トランシーバーが TX の位相および遅延調整を自動的に開始するために使用されます。TXPHDLYRESET と GTTXRESET によって TXOUTCLK が遅延調整タップの中央に強制的にシフトされ、1 クロック サイクル間で急激に位相シフトする可能性があります。TXOUTCLK を急激に位相シフトさせることなく位相調整を再開させるには、TXPMARESET の後に TXDLYSRESET を使用して TX をリセットする必要があります。</p>

表 3-17：TX バッファをバイパスする場合のポート (続き)

ポート	方向	クロックドメイン	説明
TXDLYBYPASS	入力	非同期	TX の遅延調整をバイパスする場合に使用します。 0：TX の遅延調整回路を使用 1：TX の遅延調整回路をバイパス
TXDLYEN	入力	非同期	手動モードの TX 遅延調整を有効にします。自動モードを使用する場合は Low に設定します。
TXDLYOVRDEN	入力	非同期	TX の遅延調整カウンターのオーバーライドを有効にします。使用しない場合は Low に設定します。 0：通常動作 1：TXDLY_CFG[14:6] の値で TX 遅延調整カウンターのオーバーライド
TXPHDLYTSTCLK	入力	非同期	TX の位相および遅延調整回路のテストクロックです。TXDLYHOLD および TXDLYUPDOWN と共に使用されます。
TXDLYHOLD	入力	TXPHDLYTSTCLK	TX の遅延調整をホールドします。 TXPHDLY_CFG[1] = 1 に設定して TX 位相および遅延調整機能をバイパスする場合に、ホールド オーバーライドとして使用します。使用しない場合は Low に設定します。
TXDLYUPDOWN	入力	TXPHDLYTSTCLK	TX 遅延調整のアップ/ダウンを行います。TXPHDLY_CFG[1] = 1 に設定して TX 位相および遅延調整機能をバイパスする場合に、アップ/ダウン オーバーライドとして使用します。使用しない場合は Low に設定します。
TXPHALIGNDONE	出力	非同期	TX の位相アライメント完了を示します。TX の自動位相および遅延調整が実行されている場合、TXDLYSRESETDONE がアサートされた後に TXPHALIGNDONE の 2 番目の立ち上がりエッジが検出されると、TX の位相および遅延調整が完了したことを示します。
TXPHINITDONE	出力	非同期	TX の位相アライメント初期化が完了したことを示します。
TXDLYSRESETDONE	出力	非同期	TX の遅延調整ソフトリセットが完了したことを示します。
TXSYNCMODE	入力	非同期	予約。Don't Care
TXSYNCALLIN	入力	非同期	予約。Don't Care

表 3-17 : TX バッファをバイパスする場合のポート (続き)

ポート	方向	クロック ドメイン	説明
TXSYNCIN	入力	非同期	予約。Don't Care
TXSYNCOUT	出力	非同期	予約
TXSYNCDONE	出力	非同期	予約

表 3-18 : TX バッファ バイパス属性

属性	タイプ	説明
TXBUF_EN	ブール型	TX バッファの使用の有無を示します。 TRUE : TX バッファを使用 (デフォルト) FALSE : TX バッファをバイパス (アドバンス機能)
TX_XCLK_SEL	文字列	PMA パラレル クロック ドメイン (XCLK) を駆動するクロックを選択します。 TXOUT : XCLK のソースとして TXOUTCLK を選択。TX バッファを使用するときに使用。 TXUSR : XCLK のソースとして TXUSRCLK を選択。TX バッファをバイパスする場合に指定。
TXPH_CFG	16 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TXPH_MONITOR_SEL	5 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TXPHDLY_CFG	24 ビット バイナリ	TX の位相および遅延調整回路のコンフィギュレーションです。TX の遅延調整タブを全範囲の $\pm 4\text{ns}$ に設定する場合は、TXPHDLY_CFG[19] = 1 を使用します。TX の遅延調整タブを低範囲の $\pm 2\text{ns}$ に設定する場合は、TXPHDLY_CFG[19] = 0 を使用します。 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TXDLY_CFG	16 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TXDLY_LCFG	9 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TXDLY_TAP_CFG	16 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TXSYNC_MULTILANE	1 ビット バイナリ	予約。1'b0 に接続されています。
TXSYNC_SKIP_DA	1 ビット バイナリ	予約。1'b0 に接続されています。

表 3-18：TX バッファ バイパス属性 (続き)

属性	タイプ	説明
TXSYNC_OVRD	1 ビット バイナリ	予約。1'b1 に接続されています。
LOOPBACK_CFG	1 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

TX バッファ バイパスの使用モード

TX 位相アライメントは、1 つのチャネル (シングル レーン) または 1 つの TXOUTCLK (マルチ レーン) を共有するチャネル グループに対して実行可能です。GTX トランシーバーの場合、TX バッファ バイパスはシングル レーン自動モードおよびマルチ レーン手動モードをサポートします。GTH トランシーバーの場合、TX バッファ バイパスはシングル レーンおよびマルチ レーンの両アプリケーションについて手動モードをサポートします (表 3-19 参照)。

表 3-19：TX バッファ バイパスの使用モード

TX バッファのバイパス	GTX トランシーバー	GTH トランシーバー
シングル レーン	自動または手動	手動
マルチ レーン ⁽¹⁾	手動	手動

注記：

1. スタックド シリコン インターコネクト (SSI) テクノロジの場合、SLR 境界をまたぐマルチ レーン TX バッファには、ユーザー仕様に従ったクロッキング トポロジと特性評価が必要になります。この場合、通常はサポートと保証の対象外となります。

シングル レーン自動モードでの TX バッファ バイパスの使用 (GTX トランシーバーのみ)

TX バッファをバイパスするには、GTX トランシーバーを次のように設定する必要があります。

- TXBUF_EN = FALSE
- TX_XCLK_SEL = TXUSR
- TXOUTCLKSEL = 011b または 100b — TXOUTCLK のソースとして GTX トランシーバーの基準クロックを選択します。
- PCS_RSVD_ATTR[1] = 0b

GTX トランシーバーの基準クロック選択で、TXOUTCLK を TXUSRCLK のソースとして使用します。TXOUTCLK および選択した GTX トランシーバーの基準クロックを、確実に必要な周波数で動作させる必要があります。TX バッファをバイパスする場合は、次の条件の後に必ず TX 位相アライメント プロセスを実行します。

- GTX トランシーバー TX のリセットまたは電源投入
- CPLL/QPLL のリセットまたは電源投入
- GTX トランシーバーの基準クロック ソースまたは周波数の変更
- TX ライン レートの変更

図 3-19 に、温度や電圧の変化に対応して TXUSRCLK を調整するのに必要な、自動 TX 位相アライメントと TX 遅延調整を示します。

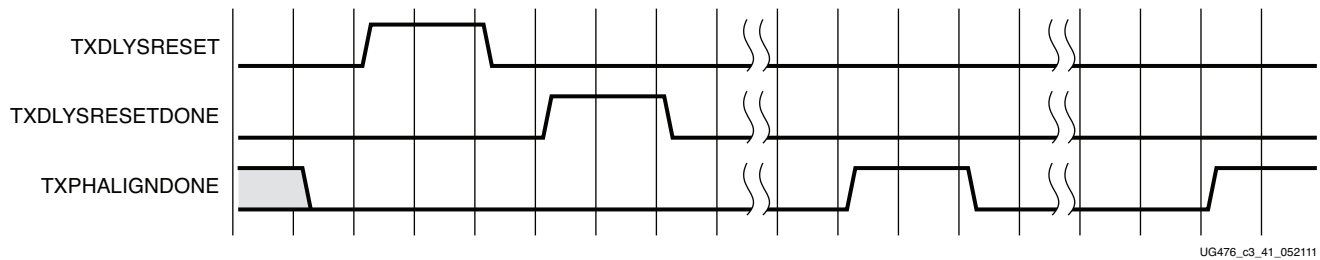


図 3-19 : TX バッファ バイパス — シングル レーン自動モード (GTX トランシーバーのみ)

図 3-19 について説明します。

1. 図 3-19 はイベント シーケンスを表しており、正確な縮尺ではありません。
2. GTX トランスミッターのリセットや TX のレート変更などが行われた後、XCLK と TXUSRCLKTX の位相を揃えるために、TX 位相アライメントが実行される必要があります。TX 位相および遅延調整は、TXDLYSRESET のアサートで開始されます。TXDLYSRESET のアサートは 50ns 未満とする必要があります。
3. TXDLYSRESETDONE が High になるまで待機します。TXDLYSRESETDONE は少なくとも 100ns 間アサートされたままとなります。
4. TXPHALIGNDONE の 2 番目の立ち上がりエッジが検出されると、TX 位相アライメントが完了したことを示します。TXPHALIGNDONE の最初のアサートでは、最小パルス幅は 100ns です。TXPHALIGNDONE の 2 番目の立ち上がりエッジでは、この信号は、別のアライメントが開始されるまでアサートされた状態を維持する必要があります。
5. GTTXRESET のアサート/ディアサートは、TXPHALIGNDONE が図 3-19 に示すシーケンスに従わない場合に必要です。
6. 温度や電圧の変化に対応するために TXUSRCLK を継続的に調整して、TX 遅延を調整します。

シングル レーン手動モードでの TX バッファ バイパスの使用

TX バッファをバイパスするには、トランシーバーを次のように設定する必要があります。

- TXBUF_EN = FALSE
- TX_XCLK_SEL = TXUSR
- TXOUTCLKSEL = 011b または 100b — TXOUTCLK のソースとしてトランシーバーの基準クロックを選択します。

トランシーバーの基準クロック選択で、TXOUTCLK を TXUSRCLK のソースとして使用します。TXOUTCLK および選択したトランシーバーの基準クロックを、確実に必要な周波数で動作させる必要があります。TX バッファをバイパスする場合は、次の条件の後に必ず TX 位相アライメント プロセスを実行します。

- トランシーバー TX のリセットまたは電源投入
- CPLL/QPLL のリセットまたは電源投入
- トランシーバーの基準クロック ソースまたは周波数の変更
- TX ライン レートの変更

図 3-20 に、温度や電圧の変化に対応して TXUSRCLK を調整するのに必要な、手動 TX 位相アライメントと TX 遅延調整を示します。

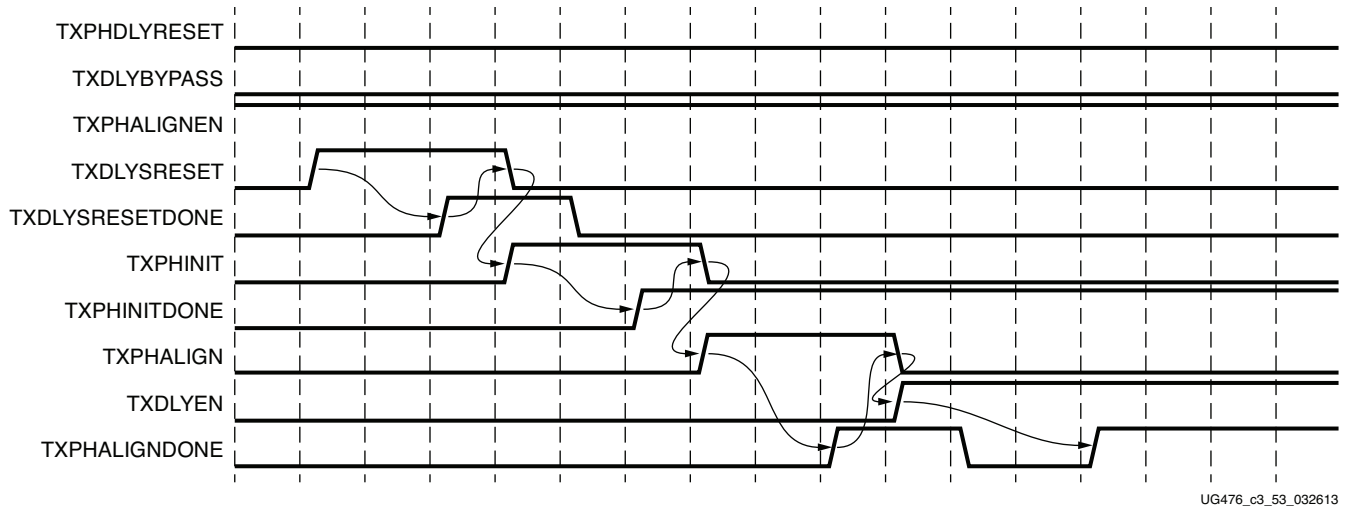


図 3-20 : TX バッファ バイパス例 — シングル レーン手動モード

図 3-20 について説明します。

1. 図 3-20 はイベント シーケンスを表しており、正確な縮尺ではありません。
2. TXSYNC_OVRD 属性を 1'b1 に設定します。
3. すべてのレーンの TXPHDLYRESET および TXDLYBYPASS を Low に設定します。
4. TXPHALIGNNEN を High に設定します。
5. TXDLYSRESET をアサートします。TXDLYSRESETDONE がアサートされるまでこの信号を High に保持します。
6. TXDLYSRESETDONE がアサートされた後に TXDLYSRESET をディアサートします。
7. TXDLYSRESET がディアサートされたら、TXPHINIT をアサートします。TXPHINITDONE の立ち上がりエッジが確認されるまでこの信号を High に保持します。
8. TXPHINIT をディアサートします。
9. TXPHALIGN をアサートします。TXPHALIGNDONE の立ち上がりエッジが確認されるまでこの信号を High に保持します。
10. TXPHALIGN をディアサートします。
11. TXDLYEN をアサートします。これにより、TXPHALIGNDONE がディアサートされます。
12. TXPHALIGNDONE の立ち上がりエッジが確認されるまで TXDLYEN を保持します。
13. 温度や電圧の変化に対応するために TXUSRCLK を継続的に調整して、TX 遅延を調整します。

TX 位相アライメント回路を使用した TX レーン間スキューの最小化

TX 位相アライメント回路は、GTX/GTH トランシーバー間のレーン スキューの削減もできます。図 3-21 に、複数の GTX/GTH トランシーバーの XCLK ドメインを共通クロック ソースに揃えることによって、TX 位相アライメント回路がレーン スキューを削減する方法を示します。また、図 3-21 では、共通クロックへの TX 位相アライメント前後の GTX/GTH トランシーバー レーンを複数示しています。TX 位相アライメント前は、すべての XCLK に任意の位相差があります。ただし、調整後の位相差は共通クロックのスキューのみであるため、データパスのレイテンシが一致している限り、すべてのデータが同時に送信されます。TX 位相アライメント回路を有効にする際は、すべての GTX/GTH トランシーバーの TXUSRCLK および TXUSRCLK2 のソースが同一であり、このクロックが BUFG などの低スキュー クロック リソースを使用して配線されている必要があります。

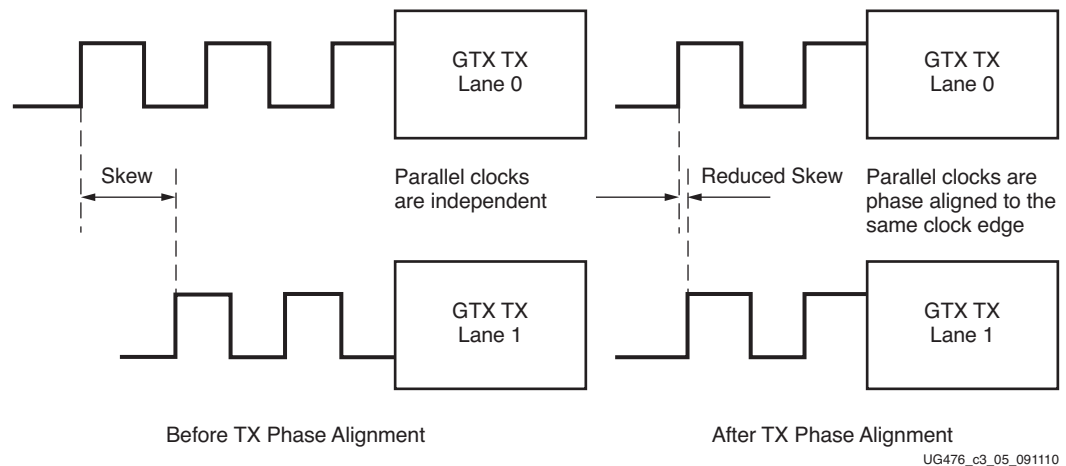


図 3-21 : TX 位相アライメント回路を使用した TX レーン間スキューの最小化

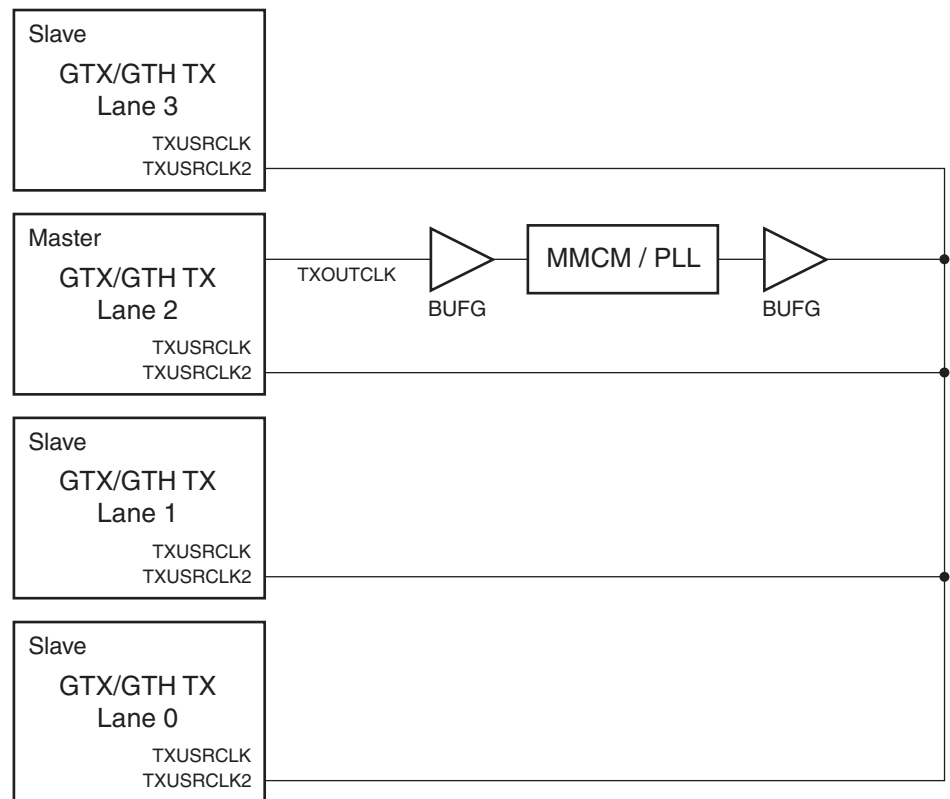
マルチ レーン手動モードでの TX バッファ バイパスの使用 (GTX および GTH トランシーバー)

SSIT デバイスの SLR 境界を越えることをサポートするマルチ レーン TX バッファ バイパスは高度な機能であるため、標準動作での使用は推奨されていません。この機能の動作は、特定のシステム レベルの条件下およびデータ レートでのみ保証されます。

GTX および GTH トランシーバーでは、マルチ レーンのアプリケーションで TX バッファのバイパスが必要な場合は、位相アライメントを手動で実行する必要があります。このセクションでは、マルチ レーン TX バッファ バイパスのアライメントを手動で実行するために必要な手順を説明します。

- マスター：マルチ レーンのアプリケーションでは、バッファ バイパス マスターは TXOUTCLK をソースとするレーンです。
- スレーブ：バッファ バイパス マスターの TXOUTCLK から生成される同じ TXUSRCLK/ TXUSRCLK2 を共有するすべてのレーンです。

図 3-22 に、バッファ バイパス マスターおよびスレーブ レーンの例を示します。



UG476_c3_42_032513

図 3-22：バッファ バイパス マスターおよびスレーブ レーンの例

TX バッファをバイパスする際は、GTX/GTH トランシーバーを次のように設定します。

- TXBUF_EN = FALSE
- TX_XCLK_SEL = TXUSR
- TXOUTCLKSEL = 3'b011 または 3'b100 — TXOUTCLK のソースとして GTX/GTH トランシーバーの基準クロックを選択します。

GTX/GTH トランシーバーの基準クロック選択で、TXOUTCLK を TXUSRCLK のソースとして使用します。TXOUTCLK および選択した GTX/GTH トランシーバーの基準クロックを、確実に必要な周波数で動作させる必要があります。TX バッファをバイパスする場合は、次の条件の後に必ず TX 位相アライメント プロセスを実行します。

- GTX/GTH トランスミッターのリセットまたは電源投入
- CPLL、QPLL、あるいはその両方のリセットまたは電源投入
- GTX/GTH トランシーバーの基準クロック ソースまたは周波数の変更
- TX ライン レートの変更

図 3-23 に、手動による TX の位相および遅延調整を示します。

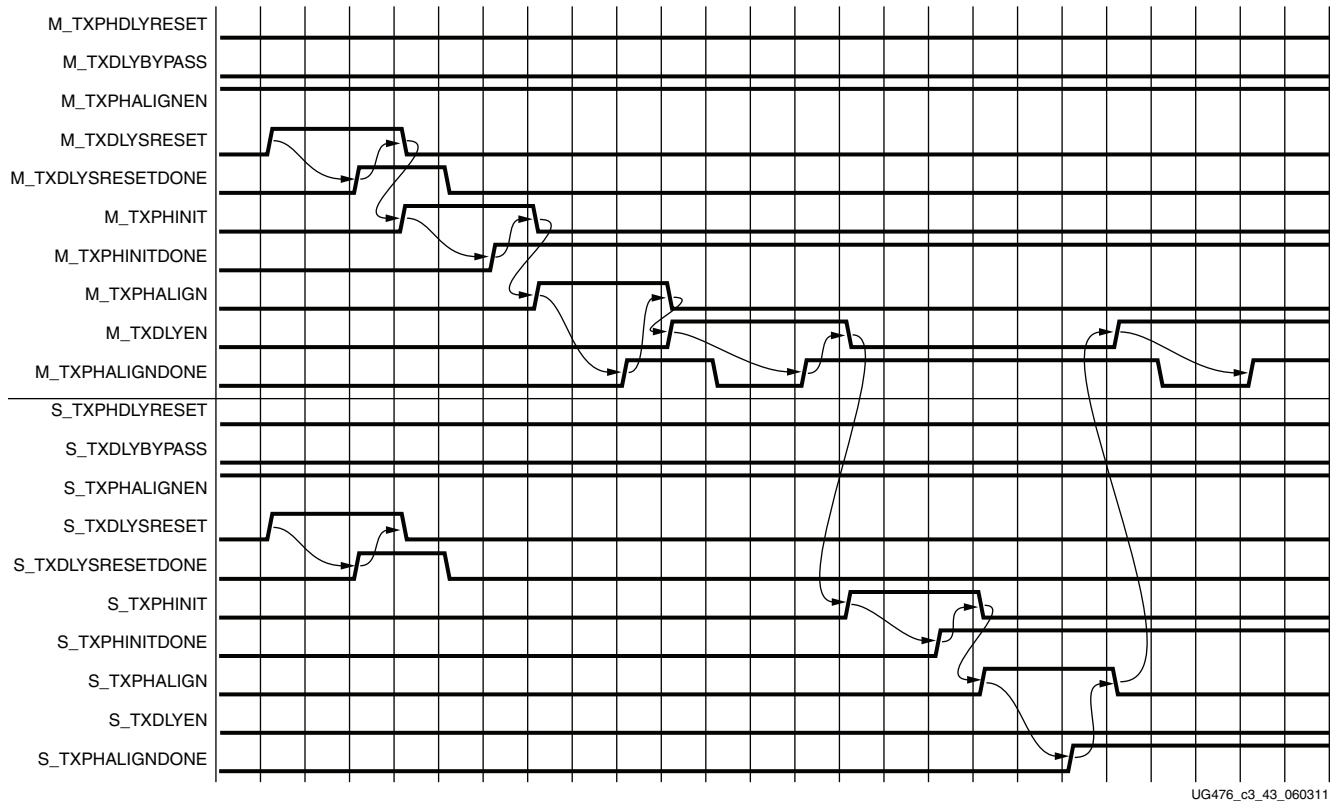


図 3-23 : 手動モードでの TX の位相および遅延調整

図 3-23 について説明します。

1. 図 3-23 はイベント シーケンスを表しており、正確な縮尺ではありません。
2. M_* はマスター レーンに関連するポートを示します。
3. S_* はスレーブ レーンに関連するポートを示します。
4. GTX トランシーバー : PCS_RSVD_ATTR[1] 属性を 1'b1 に設定します。
GTH トランシーバー : TXSYNC_OVRD 属性を 1'b1 に設定します。
5. すべてのレーンの TXPHDLYRESET および TXDLYBYPASS を Low に設定します。
6. すべてのレーンの TXPHALIGNEN を High に設定します。
7. すべてのレーンの TXDLYSRESET をアサートします。各レーンの TXDLYSRESETDONE がアサートされるまでこの信号を High に保持します。
8. TXDLYSRESETDONE がアサートされるレーンの TXDLYSRESET をディアサートします。
9. すべてのレーンの TXDLYSRESET がディアサートされる場合、マスター レーンの TXPHINIT をアサートします。マスター レーンの TXPHINITDONE の立ち上がりエッジが確認されるまでこの信号を High に保持します。
10. シーケンスが既に一度完了したために TXPHINITDONE が High になっている場合は、TXPHINIT のアサートで TXPHINITDONE がディアサートされます。TXPHINITDONE は、少なくとも TXUSRCLK の 1 サイクル間 Low のままになります。
11. マスター レーンの TXPHINIT をディアサートします。

12. マスター レーンの TXPHALIGN をアサートします。マスター レーンの TXPHALIGNDONE の立ち上がりエッジが確認されるまでこの信号を High に保持します。
13. マスター レーンの TXPHALIGN をディアサートします。
14. マスター レーンの TXDLYEN をアサートします。これにより、TXPHALIGNDONE がディアサートされます。
15. マスター レーンの TXPHALIGNDONE の立ち上がりエッジが確認されるまでこのレーンの TXDLYEN を High に保持します。
16. マスター レーンの TXDLYEN をディアサートします。
17. すべてのスレーブ レーンの TXPHINIT をアサートします。各スレーブ レーンの TXPHINITDONE の立ち上がりエッジが確認されるまでこの信号を High に保持します。
18. TXPHINITDONE がアサートされるレーンの TXPHINIT をディアサートします。
19. すべてのスレーブ レーンの TXPHINIT がディアサートされる場合、これらのレーンの TXPHALIGN をアサートします。各スレーブ レーンの TXPHALIGNDONE の立ち上がりエッジが確認されるまでこの信号を High に保持します。
20. TXPHALIGNDONE がアサートされるレーンの TXPHALIGN をディアサートします。
21. すべてのスレーブ レーンの TXPHALIGN がディアサートされる場合、マスター レーンの TXDLYEN をアサートします。これにより、マスター レーンの TXPHALIGNDONE がディアサートされます。
22. マスター レーンの TXPHALIGNDONE が再度アサートされるまで待機します。マルチ レン インターフェイスの位相および遅延調整が完了します。温度および電圧の変化に対応するため、マスター レーンの TXDLYEN を引き続き High に保持します。

TX パターン ジェネレーター

機能の説明

擬似乱数ビット シーケンス (PRBS) は、一般に、高速リンクにおけるシグナル インテグリティの検証に使用されます。これらのシーケンスには規則性がないように見えますが、リンク品質の計測に使用される特定のプロパティがあります。GTX/GTH トランシーバーのパターン ジェネレーター ブロックは、表 3-20 に示す業界標準規格の PRBS パターンを生成できます。

表 3-20：サポートされる PRBS パターン

属性名	多項式	シーケンス長	説明
PRBS-7	$1 + X^6 + X^7$	$2^7 - 1$ ビット	8B/10B を使用するチャネルの検証に使用します。
PRBS-15	$1 + X^{14} + X^{15}$	$2^{15} - 1$ ビット	「ITU-T Recommendation O.150、Section 5.3」主にジッター測定に使用されるパターンであり、Agilent 社の DCA-J サンプルング オシロスコープが処理できる最長パターンです。
PRBS-23	$1 + X^{18} + X^{23}$	$2^{23} - 1$ ビット	「ITU-T Recommendation O.150、Section 5.6」8B/10B 以外のエンコード方式に使用され、SONET 仕様で推奨されているテスト パターンの 1 つです。

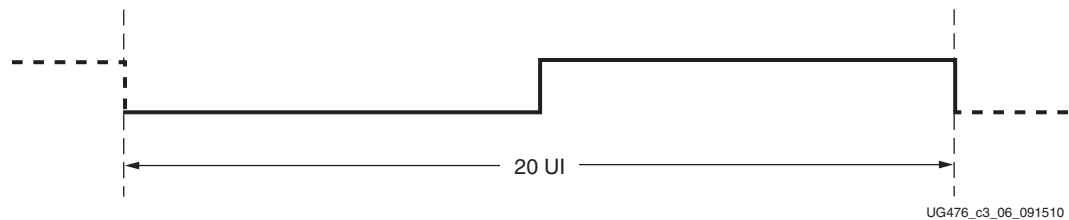
表 3-20 : サポートされる PRBS パターン (続き)

属性名	多項式	シーケンス長	説明
PRBS-31	$1 + X^{28} + X^{31}$	$2^{31} - 1$ ビット	「ITU-T Recommendation O.150、Section 5.8」 8B/10B 以外のエンコード方式に使用され、10 ギガ ビット イーサネットに推奨されている PRBS テス ト パターンです。「IEEE 802.3ae-2002」を参照し てください。

PRBS パターンのほかに、GTX/GTH トランシーバーは、データ幅に応じた 16-UI、20-UI、32-UI、または 40-UI 方形波のテスト パターンや 2-UI 方形波のテスト パターンおよび PCI Express 準拠のテスト パターンもサポートしています。クロッキング パターンは、スペクトラム解析でよく実行される PLL ランダム ジッターの測定に使用されます。

表 3-21 : PCI Express 準拠パターン

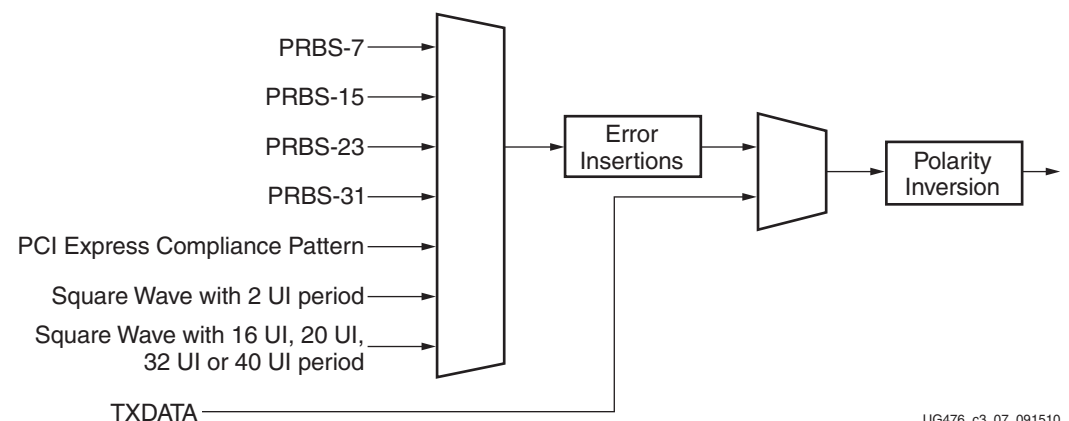
シンボル	K28.5	D21.5	K28.5	D10.2
ディスパリティ	0	1	1	0
パターン	0011111010	1010101010	1100000101	0101010101



UG476_c3_06_091510

図 3-24 : 20-UI 方形波

リンク接続の検証やジッター耐性テスト用にエラー挿入ブロックがあります。PRBS パターンの反転バージョンが必要な場合は、TXPOLARITY 信号を使用して極性を制御します。



UG476_c3_07_091510

図 3-25 : TX パターン ジェネレーター ブロック

ポートおよび属性

表 3-22 に、パターン ジェネレーターのポートを示します。

表 3-22：パターン ジェネレーターのポート

ポート名	方向	クロック ドメイン	説明
TXPRBSSEL[2:0]	入力	TXUSRCLK2	トランスミッター PRBS ジェネレーターのテスト パターンを制御します。 000：通常動作モード (テスト パターン生成はオフ) 001：PRBS-7 010：PRBS-15 011：PRBS-23 100：PRBS-31 101：PCI Express 準拠パターン。20 ビットおよび 40 ビット モードの場合のみ 110：2UI の方形波 (0 と 1 を交互に配列) 111：16-UI、20-UI、32-UI、または 40-UI の方形波 (データ幅に基づく)
TXPRBSFORCEERR	入力	TXUSRCLK2	High に駆動されると、PRBS トランスミッターでエラー挿入が有効になります。アサート中は、出力データ パターンにエラーが挿入されます。TXPRBSSEL が 000 に設定されている場合は、TXDATA への影響はありません。

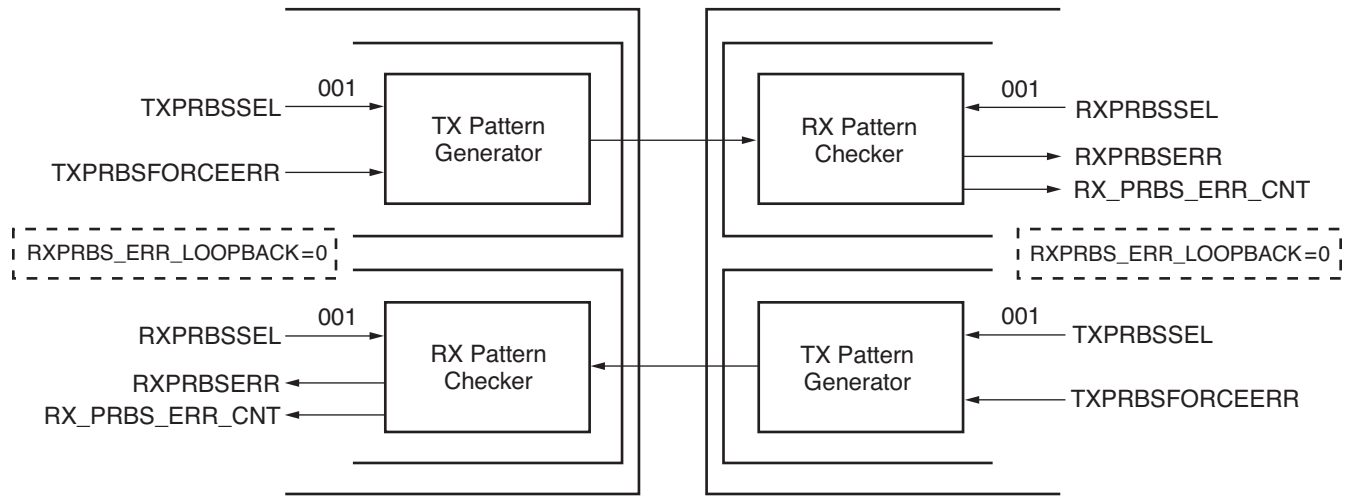
表 3-23 に、パターン ジェネレーターの属性を示します。

表 3-23：パターン ジェネレーターの属性

属性	タイプ	説明
RXPRBS_ERR_LOOPBACK	1 ビット バイナリ	1 の場合、RXPRBSERR ビットが同じ GTX/GTH トランシーバーの TXPRBSFORCEERR へ内部ループバックします。これによって、データクロック乗せ換えの交差を懸念せずに、同期および非同期ジッター耐性テストが可能になります。 0 の場合、TXPRBSFORCEERR が TX PRBS に対応します。

使用モデル

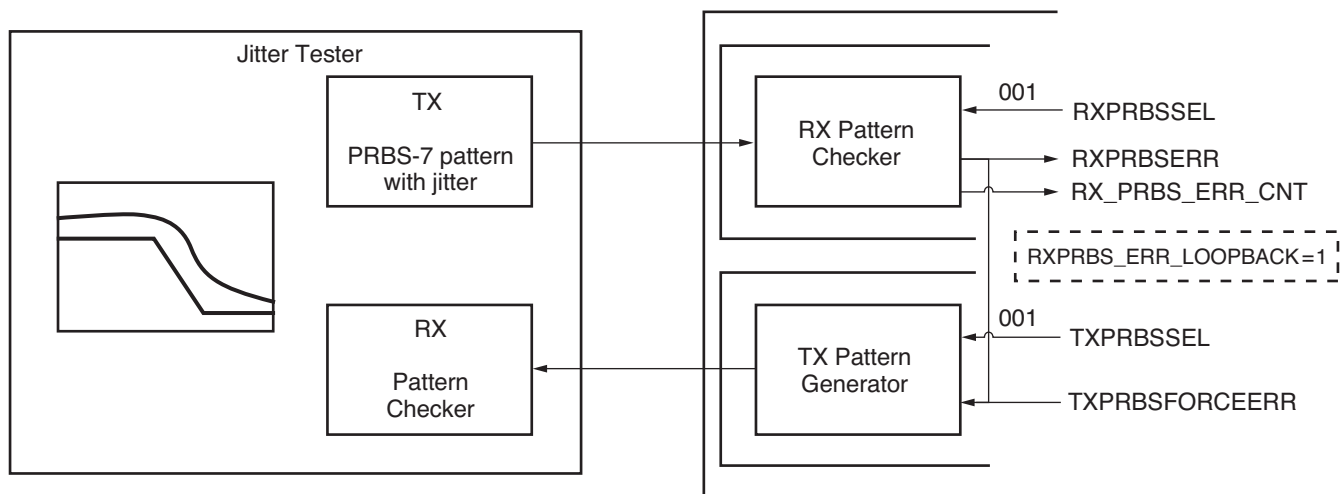
通常、パターン生成やチェック機能は、リンク品質検証やジッター耐性テストのために使用されます。リンク品質検証の場合、TXPRBSSEL および RXPRBSSEL を 000 以外の値に設定し、RXPRBS_ERR_LOOPBACK を 0 に設定してテストパターンを選択します (図 3-26 参照)。PRBS パターンのみ RX パターンチェッカーで認識されます。



UG476_c3_08_091010

図 3-26 : PRBS-7 パターンのリンク検証モード

レシーバーの BER (ビットエラー率) を正確に算出するには、外部ジッター耐性テスターを使用する必要があります。この場合、RXPRBS_ERR_LOOPBACK を 1 に設定して GTX/GTH トランシーバーが受信エラーステータスをトランスミッターへループバックする必要があります (図 3-27 参照)。同じ設定が RXENPRBSTST および TXENPRBSTST に適用される必要があります。



UG476_c3_09_091110

図 3-27 : PRBS-7 パターンのジッター耐性テスト

TX 極性制御

機能の説明

TXP と TXN の差動トレースが PCB 上で誤って逆になっていると、GTX/GTH トランシーバー TX によって送信される差動データが反転します。これを回避するために、シリアライズして送信する前にパラレル データを反転することで、差動ペアの反転極性をオフセットします。TX の極性は、ファブリック ユーザー インターフェイスの TXPOLARITY 入力で制御できます。出力データの極性を反転させるには、この TXPOLARITY ポートを High に駆動してください。

ポートおよび属性

表 3-24 に、TX の極性制御で使用するポートを示します。

表 3-24 : TX 極性制御ポート

ポート	方向	クロック ドメイン	説明
TXPOLARITY	入力	TXUSRCLK2	出力データの極性の反転に使用します。 0 : 反転しない。TXP は正、TXN は負 1 : 反転する。TXP は負、TXN は正

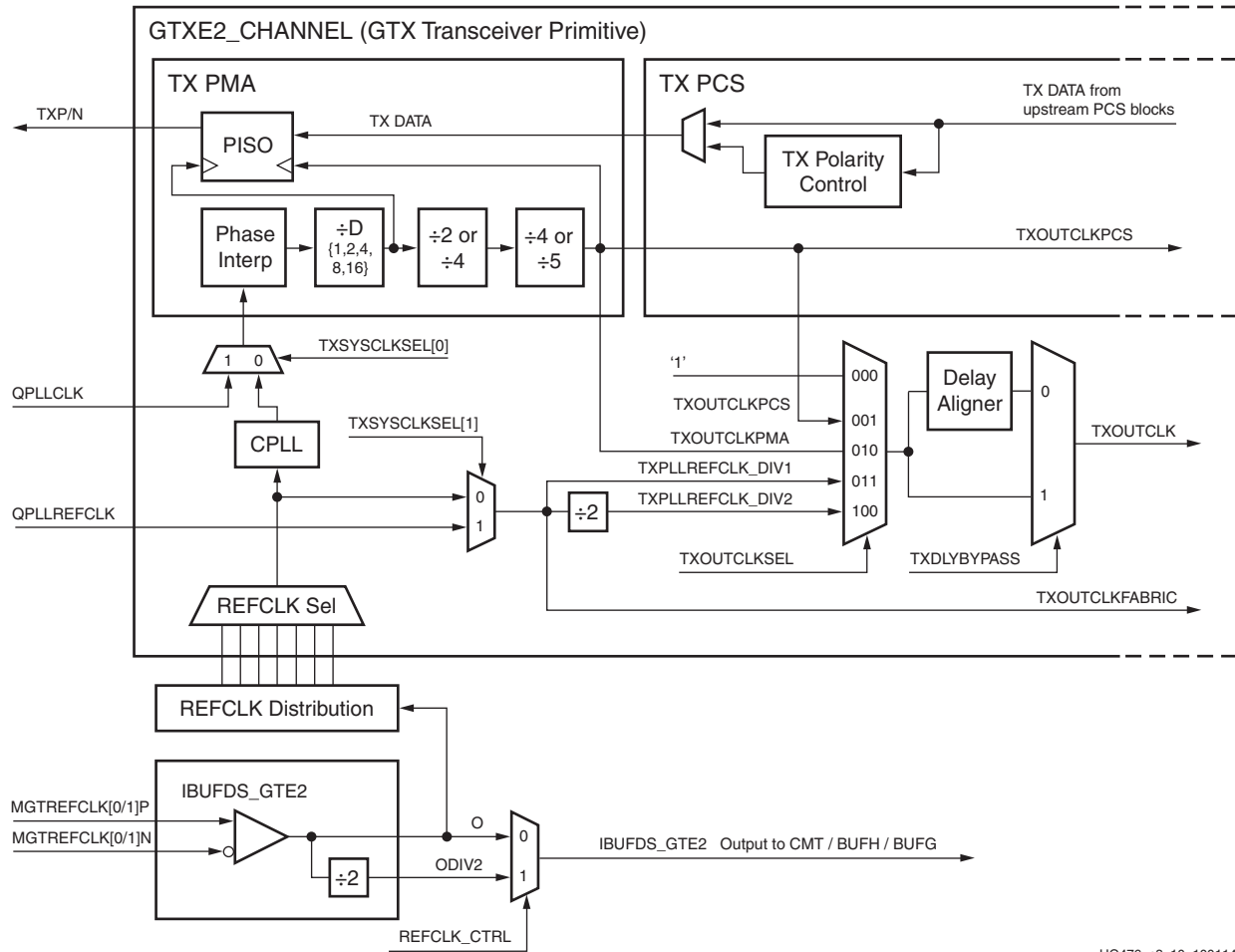
TX 極性制御の使用

TXP および TXN の極性を入れ替える必要がある場合は、TXPOLARITY を High に接続してください。

TX のファブリック クロック出力制御

機能の説明

TX クロック分周制御ブロックは、2 つのコンポーネント (シリアルおよびパラレル クロック分周制御とセレクター制御) で構成されています。図 3-28 に、クロック分周器とセレクターの詳細図を示します。



UG476_c3_10_100114

図 3-28 : TX シリアルおよびパラレル クロック分周器

図 3-28 について説明します。

1. TXOUTCLKPCS および TXOUTCLKFABRIC は冗長出力であるため、新規デザインには TXOUTCLK を使用してください。
2. REFCLK_CTRL オプションは、ソフトウェアで自動的に制御され、ユーザー制御はできません。ユーザーは、IBUFDS_GTE2 の出力または ODIV2 出力のいずれか一方のみを、CMT (PLL、MMCM または BUFMRCE)、BUFH、または BUFG を介して FPGA ロジックへ接続できます。
3. IBUFDS_GXE2 は、クロッキング手法に柔軟性を与えるための冗長出力です。
4. GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブには、CPLL が 1 つだけあります。適用できる場合は、GTXE2_COMMON/GTHE2_COMMON の QPLL も使用できます。
5. 1/2 または 1/4 分周ブロックの選択は、GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブの TX_INT_DATAWIDTH 属性で制御されます。TX_INT_DATAWIDTH = 0 (2 バイトの内部データパス) の場合は 1/2 が選択され、TX_INT_DATAWIDTH = 1 (4 バイトの内部データパス) の場合は 1/4 が選択されます。
6. 1/4 または 1/5 分周ブロックの選択は、GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブの TX_DATA_WIDTH 属性で制御されます。TX_DATA_WIDTH = 16、32、または 64 の場合は、1/4 が選択されます。TX_DATA_WIDTH = 20、40、または 80 の場合は、1/5 が選択されます。

7. クロック リソース (MMCM、BUFGCTRL、IBUFDS_GTE2、BUFG など) の配置制約および制限の詳細は、『7 シリーズ FPGA クロッキング リソース ユーザー ガイド』([UG472](#)) を参照してください。

シリアル クロック分周器

各トランスミッター PMA モジュールには、PLL からのクロックを分周して低ライン レートをサポートする分周器 (D) があります。このシリアル クロック分周器は、ライン レートが一定のアプリケーションに対してあらかじめ設定できます。また、複数のライン レートを使用するアプリケーションでは、動的に変更することも可能です。

ライン レートが一定のアプリケーションで D 分周器を使用する場合は、TXOUT_DIV 属性を適切な値に設定し、TXRATE ポートを 3'b000 に接続する必要があります。詳細は、[表 3-25](#) の「属性を使用する固定設定」を参照してください。

複数ライン レートのアプリケーションで D 分周器を使用する場合は、TXRATE を使用して D の値を動的に選択します。TXOUT_DIV 属性と TXRATE ポートは、デバイス設定時に同じ D 値を設定する必要があります。デバイス設定後に、TXRATE を使用して D 値を動的に変更します。詳細は、[表 3-25](#) の「ポートを使用する動的設定」を参照してください。

シリアル分周器の制御については、[表 3-25](#) を参照してください。各スピード グレードのライン レート範囲は、適切なデータシートを参照してください。

表 3-25 : TX PLL 出力分周器の設定

分周器 (D) の値	属性を使用する固定設定	ポートを使用する動的制御
1	TXOUT_DIV = 1 TXRATE = 3'b000	TXOUT_DIV = Ignored TXRATE = 3'b001
2	TXOUT_DIV = 2 TXRATE = 3'b000	TXOUT_DIV = Ignored TXRATE = 3'b010
4	TXOUT_DIV = 4 TXRATE = 3'b000	TXOUT_DIV = Ignored TXRATE = 3'b011
8	TXOUT_DIV = 8 TXRATE = 3'b000	TXOUT_DIV = Ignored TXRATE = 3'b100
16	TXOUT_DIV = 16 TXRATE = 3'b000	TXOUT_DIV = Ignored TXRATE = 3'b101

パラレル クロック分周器およびセクター

TX クロック分周器制御ブロックからのパラレル クロック出力は、ライン レートの要件に応じて、ファブリック ロジック クロックとして使用できます。

ファブリックの推奨クロックは、いずれかの GTX/GTH トランシーバーから出力される TXOUTCLK です。また、MGTREFCLK を直接ファブリックへ接続してファブリック クロックとして使用することも可能です。TXOUTCLK には、出力レーンのスキュー調整や固定データパス遅延のために TX バッファをバイパスするアプリケーションで使用される出力遅延制御があるため、一般的なアプリケーションで使用されます。詳細は、[138 ページの「TX バッファのバイパス」](#)を参照してください。

TXOUTCLKSEL ポートで入力セクターを制御し、TXOUTCLK ポートから次のようなクロックを出力できます。

- TXOUTCLKSEL = 3'b001 : TXOUTCLKPCS パスは PCS ブロックで余分な遅延を招くため、推奨されていません。
- TXOUTCLKSEL = 3'b010 : TXOUTCLKPMA は TX 位相インターポレーターの後に分周された PLL クロックであり、TX PCS ブロックで使用されます。このクロックは、関連するリセット信号によって PLL がリセットされるとき中断されます。
- TXOUTCLKSEL = 3'b011 または 3'b100 : TXPLLREFCLK_DIV1 または TXPLLREFCLK_DIV1 または TXPLLREFCLK_DIV2:CPLL または TXPLLREFCLK_DIV2 は、CPLL または QPLL (TXSYSCLKSEL[1] の設定に基づく) へ入力される基準クロックです。TXPLLREFCLK は、一般的な使用で推奨されるクロックであり、TX バッファをバイパスするファブリックに必要なクロックです。

ポートおよび属性

表 3-26 に、TX のファブリック クロック出力制御で使用するポートを示します。

表 3-26 : TX のファブリック クロック出力制御のポート

ポート	方向	クロック ドメイン	説明
TXOUTCLKSEL[2:0]	入力	非同期	マルチプレクサーのセレクト信号を制御します (図 3-28 参照)。 3'b000 : 固定 1 3'b001 : TXOUTCLKPCS パス 3'b010 : TXOUTCLKPMA パス 3'b011 : TXPLLREFCLK_DIV1 パス 3'b100 : TXPLLREFCLK_DIV2 パス その他 : 予約
TXRATE[2:0]	入力	TXUSRCLK2	TX シリアルクロック分周器 D (表 3-25 参照) の設定を動的に制御し、TXOUT_DIV 属性と組み合わせて使用します。 3'b000 : TXOUT_DIV 分周器の値を使用 3'b001 : 分周値 D は 1 3'b010 : 分周値 D は 2 3'b011 : 分周値 D は 4 3'b100 : 分周値 D は 8 3'b101 : 分周値 D は 16
TXOUTCLKFABRIC	出力	クロック	テスト用に予約されている冗長出力です。TXOUTCLKSEL = 3'b011 に設定された TXOUTCLK を代わりに使用してください。

表 3-26：TX のファブリック クロック出力制御のポート (続き)

ポート	方向	クロック ドメイン	説明
TXOUTCLK	出力	クロック	FPGA ロジックで使用される推奨クロックです。TXOUTCLK の入力セクターとなり、PLL 入力基準クロックが FPGA ロジックへ接続できます。
TXOUTCLKPCS	出力	クロック	冗長出力です。TXOUTCLKSEL = 3'b001 に設定された TXOUTCLK を代わりに使用してください。
TXRATEDONE	出力	TXUSRCLK2	TXRATE でレート変更が開始されると、TXRATEDONE ポートが TXUSRCLK2 の 1 サイクル間 High にアサートされます。TXRATE ポートでレート変更されてから、TXRATEDONE がアサートされるまでの時間は、TRANS_TIME_RATE 属性で定義されます。
TXDLYBYPASS	入力	非同期	TX の遅延調整をバイパスする場合に使用します。 0：TX の遅延調整回路を使用。TX バッファをバイパスする場合は、1'b0 に設定 1：TX の遅延調整回路をバイパス。TX バッファを使用する場合は、1'b1 に設定

表 3-27 に、TX のファブリック クロック出力制御で使用する属性を示します。

表 3-27：TX のファブリック クロック出力制御の属性

属性	タイプ	説明
TRANS_TIME_RATE	8 ビットの 16 進数	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。レート変更されてから PHYSTATUS および TXRATEDONE がアサートされるまでの時間を定義します。
TXBUF_RESET_ON_RATE_CHANGE	ブール型	TRUE の場合、TXRATE でレートが変更されると TX バッファが自動的にリセットされる機能が有効になります。
TXOUT_DIV	整数	TX シリアル クロック分周器の設定を制御します。TXRATE = 3'b000 の場合のみ有効です。それ以外の場合は、TXRATE で制御されます。有効な値は、1、2、4、8、および 16 です。

TX 位相インターポレーター PPM コントローラー

機能の説明

TX 位相インターポレーター PPM (TXPIPPM) コントローラー モジュールは、TX 位相インターポレーター (TX PI) の動的制御をサポートします。TX PCS 内に含まれるこのモジュールは、FPGA TX インターフェイスから入力されて、TX PMA へ出力します。TX PMA で細かいデータ制御が必要なアプリケーションがあります。PLL からの出力クロックは TX PI によって制御され、これは TX 位相インターポレーター PPM コントローラー モジュールで制御されます。FPGA ロジックが、PCS 内の TX 位相インターポレーター PPM コントローラー モジュールを使用して、TX PMA 内の TX PI を制御します。

ポートおよび属性

表 3-28 に、TX 位相インターポレーター PPM で使用されるポートを示します。これらのポートおよび属性は GTH トランシーバーにのみ関与します。

表 3-28 : TX 位相インターポレーター PPM コントローラーのポート

ポート	方向	クロック ドメイン	説明
TXPIPPMEN	入力	TXUSRCLK2	1'b0 : TX 位相インターポレーター PPM コントローラー ブロックは無効。 TX PI は PI コードで更新されず、前の PI コードを保持。 1'b1 : TX 位相インターポレーター PPM コントローラー ブロックは有効。 TX PI は、各 TXPI_SYNRFREQ_PPM [2:0] サイクルごとに PI コードで更新されない。
TXPIPPMOVRDEN	入力	TXUSRCLK2	1'b0 : 通常動作 1'b1 : TX PMA の TX PI へ出力する PI コードの直接制御は有効。 TXPPMOVRD_VALUE[6:0] と共に使用して、PI コードの値をプログラムする。
TXPIPPMSEL	入力	TXUSRCLK2	予約。常に 1'b1 に設定する必要があります。
TXPIPPMPD	入力	非同期	1'b0 : TX 位相インターポレーター PPM コントローラー モジュールの電源を切断しない 1'b1 : TX 位相インターポレーター PPM コントローラー モジュールの電源を切断

表 3-28：TX 位相インターポレーター PPM コントローラーのポート (続き)

ポート	方向	クロック ドメイン	説明
TXPIPPMSTEPSIZE[4:0]	入力	TXUSRCLK2	TXPIPPMSTEPSIZE[4] : 1'b1 : PI コードをインクリメント 1'b0 : PI コードをデクリメント TXPIPPMSTEPSIZE[3:0] でインクリメント/デクリメントの値を指定します。設定値は 0 ~ 15 です。

表 3-29 で、TX 位相インターポレーター PPM コントローラーの属性を説明します。

表 3-29：TX 位相インターポレーター PPM コントローラーの属性

属性	タイプ	説明
TXPI_SYNRFREQ_PPM[2:0]	3 ビット バイナリ	TX PI に対する PI コードの更新頻度を指定します。 (TXPI_SYNRFREQ_PPM[2:0] + 1) サイクルごとに更新されます。3'b000 を除くすべての値は有効です。7 Series FPGA Transceivers Wizard のデフォルト値を使用します。
TXPI_PPM_CFG[7:0]	8 ビット バイナリ	TXPIPPMOVVDEN = 1'b1 の場合、この属性の下位 7 ビットは、TX PI へ出力される 128 の値のいずれかでプログラムする必要があります。TX PI が新たに 7 ビットの TXPI_PPM_CFG[6:0] 値を取得するように、最上位ビット (MSB) でパルスします (High にアサートしてから Low へ遷移)。
TXPI_INVSTROBE_SEL	1 ビット バイナリ	予約。1'b0 に接続されています。
TXPI_GREY_SEL	1 ビット バイナリ	1'b0 : TXPIPPMSTEPSIZE[3:0] はバイナリでエンコードされる。 1'b1 : TXPIPPMSTEPSIZE[3:0] はグレイコードでエンコードされる。
TXPI_PPMCLK_SEL	文字列	予約。7 Series FPGA Transceivers Wizard のデフォルト値を使用します。

TX 位相インターポレーター PPM コントローラーの使用モード

使用例について説明します。

1. ファブリック内の周波数カウンタによって、選択した 2 つのクロック間のリード タイムとラグ タイムの関係が決定され、指定したステップ サイズ (TXPIPPMSTEPSIZE[3:0]) で PI コードがインクリメント/デクリメント (TXPIPPMSTEPSIZE[4]) されます。
2. ファブリック内のサンプラーおよびロック検出回路によって、2 つのクロックの位相が一致するタイミングが決定されます。位相が揃わない場合は、ユーザーが任意の PI コードを使用して TX 位相インターポレーター PPM コントローラーへ信号をアサートします。

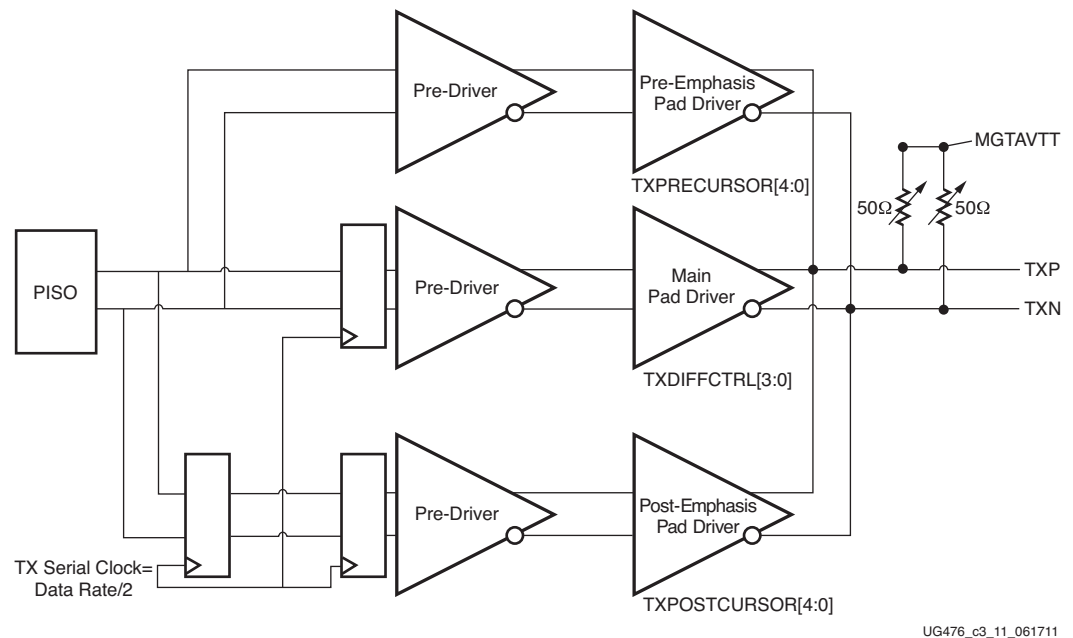
この継続的な位相シフト動作 (微調整) は、ロック検出回路が 2 つのクロックの位相が揃っていないと判断し、TX 位相インターポレーター PPM コントローラーを有効にした場合に実行されます。

コンフィギュレーション可能な TX ドライバー

機能の説明

GTX/GTH トランシーバー TX ドライバーは、高速電流モードの差動出力バッファーです。このドライバーは、シグナル インテグリティを最大にすることを目的として次の機能を備えています。

- 差動電圧制御
- プリカーソルおよびポストカーソル対応のプリエンファシス
- 調整された終端抵抗



UG476_c3_11_061711

図 3-29: コンフィギュレーション可能な TX ドライバーのブロック図

ポートおよび属性

表 3-30 に、コンフィギュレーション可能な TX ドライバーのポートを示します。

表 3-30: コンフィギュレーション可能な TX ドライバーのポート

ポート	方向	クロック ドメイン	説明
TXBUFDIFFCTRL[2:0]	入力	TXUSRCLK2	プリドライバーの強度を制御します。デフォルトは 3'b100 (公称値) です。 この値は変更できません。
TXDEEMPH	入力	TXUSRCLK2	PCI Express PIPE 2.0 インターフェイス用の TX デエンファシスを制御します。この信号は、属性を使用して TXPREEMPHASIS に内部マップされます。 0 : 6.0dB デエンファシス (TX_DEEMPH_0[4:0] 属性) 1 : 3.5dB デエンファシス (TX_DEEMPH_0[4:0] 属性)

表 3-30 : コンフィギュレーション可能な TX ドライバーのポート (続き)

ポート	方向	クロック ドメイン	説明																																		
TXDIFFCTRL[3:0]	入力	TXUSRCLK2	<p>ドライバの強度を制御します。デフォルト値はユーザーが指定します。次に示す値の単位は、V_{PPD} です。</p> <table><tr><th>[3:0]</th><th>V_{PPD}</th></tr><tr><td>4'b0000</td><td>0.269</td></tr><tr><td>4'b0001</td><td>0.336</td></tr><tr><td>4'b0010</td><td>0.407</td></tr><tr><td>4'b0011</td><td>0.474</td></tr><tr><td>4'b0100</td><td>0.543</td></tr><tr><td>4'b0101</td><td>0.609</td></tr><tr><td>4'b0110</td><td>0.677</td></tr><tr><td>4'b0111</td><td>0.741</td></tr><tr><td>4'b1000</td><td>0.807</td></tr><tr><td>4'b1001</td><td>0.866</td></tr><tr><td>4'b1010</td><td>0.924</td></tr><tr><td>4'b1011</td><td>0.973</td></tr><tr><td>4'b1100</td><td>1.018</td></tr><tr><td>4'b1101</td><td>1.056</td></tr><tr><td>4'b1110</td><td>1.092</td></tr><tr><td>4'b1111</td><td>1.119</td></tr></table> <p>注記：Peak-to-Peak 差動電圧は、TXPOSTCURSOR = 5'b00000 および TXPRECURSOR = 5'b00000 の場合に定義されます。</p>	[3:0]	V _{PPD}	4'b0000	0.269	4'b0001	0.336	4'b0010	0.407	4'b0011	0.474	4'b0100	0.543	4'b0101	0.609	4'b0110	0.677	4'b0111	0.741	4'b1000	0.807	4'b1001	0.866	4'b1010	0.924	4'b1011	0.973	4'b1100	1.018	4'b1101	1.056	4'b1110	1.092	4'b1111	1.119
[3:0]	V _{PPD}																																				
4'b0000	0.269																																				
4'b0001	0.336																																				
4'b0010	0.407																																				
4'b0011	0.474																																				
4'b0100	0.543																																				
4'b0101	0.609																																				
4'b0110	0.677																																				
4'b0111	0.741																																				
4'b1000	0.807																																				
4'b1001	0.866																																				
4'b1010	0.924																																				
4'b1011	0.973																																				
4'b1100	1.018																																				
4'b1101	1.056																																				
4'b1110	1.092																																				
4'b1111	1.119																																				
TXELECIDLE	入力	TXUSRCLK2	High の場合、強制的に MGTXTXP/MGTHTXP および MGTXTXN/MGTHTXN を同相モードにして、電気的アイドル信号を生成します。																																		
TXINHIBIT	入力	TXUSRCLK2	High の場合、TXDATA の転送を停止して強制的に MGTXTXP/MGTHTXP を 0 に、MGTXTXN/MGTHTXN を 1 にします。																																		
TXMAINCURSOR[6:0]	入力	非同期	<p>TX_MAINCURSOR_SEL 属性が 1'b1 に設定されている場合、メインカーソルの係数を直接設定できます。</p> <p>51 – TXPOSTCURSOR 係数ユニット – TXPRECURSOR 係数ユニット ≤ TXMAINCURSOR 係数ユニット ≤ 80 – TXPOSTCURSOR 係数ユニット – TXPRECURSOR 係数ユニット</p>																																		

表 3-30 : コンフィギュレーション可能な TX ドライバーのポート (続き)

ポート	方向	クロック ドメイン	説明				
TXMARGIN[2:0]	入力	非同期	PCI Express PIPE 3.0 インターフェイス用の TX マージンを制御します。 これらの信号は、属性を使用して TXDIFFCTRL/TXBUFDIFFCTRL へ マップされます。				
			[2:0]	全範囲	低範囲	全範囲の属性	低範囲の属性
			000	800-1200	400-1200	TX_MARGIN_FULL_0	TX_MARGIN_LOW_0
			001	800-1200	400-700	TX_MARGIN_FULL_1	TX_MARGIN_LOW_1
			010	800-1200	400-700	TX_MARGIN_FULL_2	TX_MARGIN_LOW_2
			011	200-400	100-200	TX_MARGIN_FULL_3	TX_MARGIN_LOW_3
			100	100-200	100-200	TX_MARGIN_FULL_4	TX_MARGIN_LOW_4
			101	デフォルトの「DIRECT」モード			
			110				
			111				
TXQPIBIASEN	入力	非同期	QPI プロトコルの要件どおりに、TX 出力で GND バイアスを有効に します。				
TXQPISENN	出力	非同期	MGTXTXN/MGTHTXN ピンで 1 または 0 を取得するセンス出力です。				
TXQPISENP	出力	非同期	MGTXTXP/MGTHTXP ピンで 1 または 0 を取得するセンス出力です。				
TXQPISTRONGPDOWN	入力	非同期	QPI プロトコルの要件どおりに、TX 出力を GND へ強くプルダウンし てハンドシェイクを有効にします。				
TXQPIWEAKPUP	入力	非同期	QPI プロトコルで必要とされるため、TX 出力を MGTAVTT へ軽くプ ルアップしてハンドシェイクを有効にします。				

表 3-30 : コンフィギュレーション可能な TX ドライバーのポート (続き)

ポート	方向	クロック ドメイン	説明																																																																																																			
TXPOSTCURSOR[4:0]	入力	非同期	トランスミッターのポストカーソル TX プリエンファシスを指定します。デフォルト値はユーザーが指定します。次に示す値 (dB) は標準値です。																																																																																																			
			<table><tr><th>[4:0]</th><th>エンファシス (dB)</th><th> 係数ユニット </th></tr><tr><td>5'b00000</td><td>0.00</td><td>0</td></tr><tr><td>5'b00001</td><td>0.22</td><td>1</td></tr><tr><td>5'b00010</td><td>0.45</td><td>2</td></tr><tr><td>5'b00011</td><td>0.68</td><td>3</td></tr><tr><td>5'b00100</td><td>0.92</td><td>4</td></tr><tr><td>5'b00101</td><td>1.16</td><td>5</td></tr><tr><td>5'b00110</td><td>1.41</td><td>6</td></tr><tr><td>5'b00111</td><td>1.67</td><td>7</td></tr><tr><td>5'b01000</td><td>1.94</td><td>8</td></tr><tr><td>5'b01001</td><td>2.21</td><td>9</td></tr><tr><td>5'b01010</td><td>2.50</td><td>10</td></tr><tr><td>5'b01011</td><td>2.79</td><td>11</td></tr><tr><td>5'b01100</td><td>3.10</td><td>12</td></tr><tr><td>5'b01101</td><td>3.41</td><td>13</td></tr><tr><td>5'b01110</td><td>3.74</td><td>14</td></tr><tr><td>5'b01111</td><td>4.08</td><td>15</td></tr><tr><td>5'b10000</td><td>4.44</td><td>16</td></tr><tr><td>5'b10001</td><td>4.81</td><td>17</td></tr><tr><td>5'b10010</td><td>5.19</td><td>18</td></tr><tr><td>5'b10011</td><td>5.60</td><td>19</td></tr><tr><td>5'b10100</td><td>6.02</td><td>20</td></tr><tr><td>5'b10101</td><td>6.47</td><td>21</td></tr><tr><td>5'b10110</td><td>6.94</td><td>22</td></tr><tr><td>5'b10111</td><td>7.43</td><td>23</td></tr><tr><td>5'b11000</td><td>7.96</td><td>24</td></tr><tr><td>5'b11001</td><td>8.52</td><td>25</td></tr><tr><td>5'b11010</td><td>9.12</td><td>26</td></tr><tr><td>5'b11011</td><td>9.76</td><td>27</td></tr><tr><td>5'b11100</td><td>10.46</td><td>28</td></tr><tr><td>5'b11101</td><td>11.21</td><td>29</td></tr><tr><td>5'b11110</td><td>12.04</td><td>30</td></tr><tr><td>5'b11111</td><td>12.96</td><td>31</td></tr></table>	[4:0]	エンファシス (dB)	係数ユニット	5'b00000	0.00	0	5'b00001	0.22	1	5'b00010	0.45	2	5'b00011	0.68	3	5'b00100	0.92	4	5'b00101	1.16	5	5'b00110	1.41	6	5'b00111	1.67	7	5'b01000	1.94	8	5'b01001	2.21	9	5'b01010	2.50	10	5'b01011	2.79	11	5'b01100	3.10	12	5'b01101	3.41	13	5'b01110	3.74	14	5'b01111	4.08	15	5'b10000	4.44	16	5'b10001	4.81	17	5'b10010	5.19	18	5'b10011	5.60	19	5'b10100	6.02	20	5'b10101	6.47	21	5'b10110	6.94	22	5'b10111	7.43	23	5'b11000	7.96	24	5'b11001	8.52	25	5'b11010	9.12	26	5'b11011	9.76	27	5'b11100	10.46	28	5'b11101	11.21	29	5'b11110	12.04	30	5'b11111	12.96	31
			[4:0]	エンファシス (dB)	係数ユニット																																																																																																	
			5'b00000	0.00	0																																																																																																	
			5'b00001	0.22	1																																																																																																	
			5'b00010	0.45	2																																																																																																	
			5'b00011	0.68	3																																																																																																	
			5'b00100	0.92	4																																																																																																	
			5'b00101	1.16	5																																																																																																	
			5'b00110	1.41	6																																																																																																	
			5'b00111	1.67	7																																																																																																	
			5'b01000	1.94	8																																																																																																	
			5'b01001	2.21	9																																																																																																	
			5'b01010	2.50	10																																																																																																	
			5'b01011	2.79	11																																																																																																	
			5'b01100	3.10	12																																																																																																	
			5'b01101	3.41	13																																																																																																	
			5'b01110	3.74	14																																																																																																	
			5'b01111	4.08	15																																																																																																	
			5'b10000	4.44	16																																																																																																	
			5'b10001	4.81	17																																																																																																	
			5'b10010	5.19	18																																																																																																	
			5'b10011	5.60	19																																																																																																	
			5'b10100	6.02	20																																																																																																	
			5'b10101	6.47	21																																																																																																	
			5'b10110	6.94	22																																																																																																	
			5'b10111	7.43	23																																																																																																	
			5'b11000	7.96	24																																																																																																	
			5'b11001	8.52	25																																																																																																	
			5'b11010	9.12	26																																																																																																	
			5'b11011	9.76	27																																																																																																	
			5'b11100	10.46	28																																																																																																	
			5'b11101	11.21	29																																																																																																	
			5'b11110	12.04	30																																																																																																	
5'b11111	12.96	31																																																																																																				
注記 : TXPOSTCURSOR の値は、TXPRECURSOR = 5'b00000 エンファシス = $20\log_{10}(V_{\text{high}}/V_{\text{low}}) = 20\log_{10}(V_{\text{low}}/V_{\text{high}}) $ の場合に 定義されます。																																																																																																						
TXPOSTCURSORINV	入力	非同期	1'b1 の場合、TXPOSTCURSOR 係数の極性を反転します。デフォルトは 1'b0 です。																																																																																																			

ポート	方向	クロック ドメイン	説明																																																																																							
TXPRECURSOR[4:0]	入力	非同期	トランスミッター プリカーソルの TX プリエンファシス レベルを制御します。デフォルト値はユーザーが指定します。次に示す値 (dB) は標準値です。																																																																																							
			<table><tr><th>[4:0]</th><th>エンファシス (dB)</th><th> 係数ユニット </th></tr><tr><td>5'b000000</td><td>0.00</td><td>0</td></tr><tr><td>5'b000001</td><td>0.22</td><td>1</td></tr><tr><td>5'b000010</td><td>0.45</td><td>2</td></tr><tr><td>5'b000011</td><td>0.68</td><td>3</td></tr><tr><td>5'b000100</td><td>0.92</td><td>4</td></tr><tr><td>5'b000101</td><td>1.16</td><td>5</td></tr><tr><td>5'b000110</td><td>1.41</td><td>6</td></tr><tr><td>5'b000111</td><td>1.67</td><td>7</td></tr><tr><td>5'b001000</td><td>1.94</td><td>8</td></tr><tr><td>5'b001001</td><td>2.21</td><td>9</td></tr><tr><td>5'b001010</td><td>2.50</td><td>10</td></tr><tr><td>5'b001011</td><td>2.79</td><td>11</td></tr><tr><td>5'b001100</td><td>3.10</td><td>12</td></tr><tr><td>5'b001101</td><td>3.41</td><td>13</td></tr><tr><td>5'b001110</td><td>3.74</td><td>14</td></tr><tr><td>5'b001111</td><td>4.08</td><td>15</td></tr><tr><td>5'b100000</td><td>4.44</td><td>16</td></tr><tr><td>5'b100001</td><td>4.81</td><td>17</td></tr><tr><td>5'b100010</td><td>5.19</td><td>18</td></tr><tr><td>5'b100011</td><td>5.60</td><td>19</td></tr><tr><td>5'b101000</td><td>6.02</td><td>20</td></tr><tr><td>5'b101001</td><td>6.02</td><td>20</td></tr><tr><td>5'b101010</td><td>6.02</td><td>20</td></tr><tr><td>5'b101011</td><td>6.02</td><td>20</td></tr><tr><td>5'b101100</td><td>6.02</td><td>20</td></tr><tr><td>5'b101101</td><td>6.02</td><td>20</td></tr><tr><td>5'b101110</td><td>6.02</td><td>20</td></tr><tr><td>5'b101111</td><td>6.02</td><td>20</td></tr></table>	[4:0]	エンファシス (dB)	係数ユニット	5'b000000	0.00	0	5'b000001	0.22	1	5'b000010	0.45	2	5'b000011	0.68	3	5'b000100	0.92	4	5'b000101	1.16	5	5'b000110	1.41	6	5'b000111	1.67	7	5'b001000	1.94	8	5'b001001	2.21	9	5'b001010	2.50	10	5'b001011	2.79	11	5'b001100	3.10	12	5'b001101	3.41	13	5'b001110	3.74	14	5'b001111	4.08	15	5'b100000	4.44	16	5'b100001	4.81	17	5'b100010	5.19	18	5'b100011	5.60	19	5'b101000	6.02	20	5'b101001	6.02	20	5'b101010	6.02	20	5'b101011	6.02	20	5'b101100	6.02	20	5'b101101	6.02	20	5'b101110	6.02	20	5'b101111	6.02	20
			[4:0]	エンファシス (dB)	係数ユニット																																																																																					
			5'b000000	0.00	0																																																																																					
			5'b000001	0.22	1																																																																																					
			5'b000010	0.45	2																																																																																					
			5'b000011	0.68	3																																																																																					
			5'b000100	0.92	4																																																																																					
			5'b000101	1.16	5																																																																																					
			5'b000110	1.41	6																																																																																					
			5'b000111	1.67	7																																																																																					
			5'b001000	1.94	8																																																																																					
			5'b001001	2.21	9																																																																																					
			5'b001010	2.50	10																																																																																					
			5'b001011	2.79	11																																																																																					
			5'b001100	3.10	12																																																																																					
			5'b001101	3.41	13																																																																																					
			5'b001110	3.74	14																																																																																					
			5'b001111	4.08	15																																																																																					
			5'b100000	4.44	16																																																																																					
			5'b100001	4.81	17																																																																																					
			5'b100010	5.19	18																																																																																					
			5'b100011	5.60	19																																																																																					
			5'b101000	6.02	20																																																																																					
			5'b101001	6.02	20																																																																																					
			5'b101010	6.02	20																																																																																					
			5'b101011	6.02	20																																																																																					
			5'b101100	6.02	20																																																																																					
			5'b101101	6.02	20																																																																																					
			5'b101110	6.02	20																																																																																					
			5'b101111	6.02	20																																																																																					
			注記：TXPRECURSOR の値は、TXPOSTCURSOR = 5'b000000 エンファシス = $20\log_{10}(V_{\text{high}}/V_{\text{low}}) = 20\log_{10}(V_{\text{low}}/V_{\text{high}}) $ の場合に定義されます。																																																																																							
			TXPRESURSORINV	入力	非同期	1'b1 の場合、TXPRECURSOR 係数の極性を反転します。デフォルトは 1'b0 です。																																																																																				

表 3-30：コンフィギュレーション可能な TX ドライバーのポート (続き)

ポート	方向	クロック ドメイン	説明
MGTXTXP/MGTHTXP MGTXTXN/MGTHTXN	出力 (パッド)	TX シリアル クロック	互いの差動コンポーネントで差動トランスミッター出力ペアを構成します。これらのポートはパッドを表しています。位置制約を適用して (30 ページの「インプリメンテーション」参照)、デザインのに最上位に指定する必要があります。
TXSWING	入力	非同期	PCI Express PIPE 3.0 インターフェイス用の TX 振幅を制御します。この信号は、TXDIFFCTRL/TXBUFDIFFCTRL に内部マップされます。 0：全振幅 1：小振幅
TXDIFFPD	入力	非同期	予約
TXPISOPD	入力	非同期	予約

表 3-31 に、コンフィギュレーション可能な TX ドライバーの属性を示します。

表 3-31：コンフィギュレーション可能な TX ドライバーの属性

属性	タイプ	説明
TX_DEEMPH0[4:0]	5 ビット バイナリ	TXDEEMPH = 0 のときにマップする必要がある TXPOSTCURSOR[4:0] の値を示します。TX_DEEMPH0[4:0] = TXPOSTCURSOR[4:0] です。デフォルトは 5'b10100 です。 この値は変更できません。
TX_DEEMPH1[4:0]	5 ビット バイナリ	TXDEEMPH = 1 のときにマップする必要がある TXPOSTCURSOR[4:0] の値を示します。TX_DEEMPH1[4:0] = TXPOSTCURSOR[4:0] です。デフォルトは 5'b01101 です。 この値は変更できません。
TX_DRIVE_MODE	文字列	TX ドライバーを制御するピンを PCI Express PIPE 2.0 ピン、PCI Express PIPE 3.0 拡張ピン、または TX ドライバーを制御するピンのいずれにするか選択します。デフォルトは DIRECT です。 DIRECT : TXBUFDIFFCTRL、TXDIFFCTRL、TXPOSTCURSOR、TXPRECURSOR、および TXMAINCURSOR (TX_MAINCURSOR_SEL = 1'b1 の場合) で TX ドライバーを設定 PIPE : TXDEEMPH、TXMARGIN、TXSWING、TXPRECURSOR、および TXMAINCURSOR は (TX_MAINCURSOR_SEL = 1'b1 の場合) で TX ドライバーを設定 PIPEGEN3 : TXMARGIN、TXSWING、TXPOSTCURSOR、TXPRECURSOR、および TXMAINCURSOR (TX_MAINCURSOR_SEL = 1'b1 の場合) で TX ドライバーを設定
TX_MAINCURSOR_SEL	1 ビット バイナリ	メイン カーソルの個別制御を可能にします。 1'b0 : TXMAINCURSOR の係数は、「80 – TXPOSTCURSOR 係数 – TXPRECURSOR 係数」という計算式で自動的に決定 1'b1 : TXMAINCURSOR の係数は、TXMAINCURSOR ピンを使用して、「ピンの説明」に記載されている指定範囲内で個別に設定可能

表 3-31 : コンフィギュレーション可能な TX ドライバーの属性 (続き)

属性	タイプ	説明
TX_MARGIN_FULL_0[6:0]	7 ビット バイナリ	TXMARGIN = 000 および TXSWING = 0 のときにマップする必要がある TXBUFDIFFCTRL[2:0] および TXDIFFCTRL[3:0] の値を示します。 TX_MARGIN_FULL_0 = TXBUFDIFFCTRL[2:0]、TXDIFFCTRL[3:0] です。
TX_MARGIN_FULL_1[6:0]	7 ビット バイナリ	TXMARGIN = 001 および TXSWING = 0 のときにマップする必要がある TXBUFDIFFCTRL[2:0] および TXDIFFCTRL[3:0] の値を示します。 TX_MARGIN_FULL_1 = TXBUFDIFFCTRL[2:0]、TXDIFFCTRL[3:0] です。
TX_MARGIN_FULL_2[6:0]	7 ビット バイナリ	TXMARGIN = 010 および TXSWING = 0 のときにマップする必要がある TXBUFDIFFCTRL[2:0] および TXDIFFCTRL[3:0] の値を示します。 TX_MARGIN_FULL_2 = TXBUFDIFFCTRL[2:0]、TXDIFFCTRL[3:0] です。
TX_MARGIN_FULL_3[6:0]	7 ビット バイナリ	TXMARGIN = 011 および TXSWING = 0 のときにマップする必要がある TXBUFDIFFCTRL[2:0] および TXDIFFCTRL[3:0] の値を示します。 TX_MARGIN_FULL_3 = TXBUFDIFFCTRL[2:0]、TXDIFFCTRL[3:0] です。
TX_MARGIN_FULL_4[6:0]	7 ビット バイナリ	TXMARGIN = 100 および TXSWING = 0 のときにマップする必要がある TXBUFDIFFCTRL[2:0] および TXDIFFCTRL[3:0] の値を示します。 TX_MARGIN_FULL_4 = TXBUFDIFFCTRL[2:0]、TXDIFFCTRL[3:0] です。
TX_MARGIN_LOW_0[6:0]	7 ビット バイナリ	TXMARGIN = 000 および TXSWING = 1 のときにマップする必要がある TXBUFDIFFCTRL[2:0] および TXDIFFCTRL[3:0] の値を示します。 TX_MARGIN_LOW_0 = TXBUFDIFFCTRL[2:0]、TXDIFFCTRL[3:0] です。
TX_MARGIN_LOW_1[6:0]	7 ビット バイナリ	TXMARGIN = 001 および TXSWING = 1 のときにマップする必要がある TXBUFDIFFCTRL[2:0] および TXDIFFCTRL[3:0] の値を示します。 TX_MARGIN_LOW_1 = TXBUFDIFFCTRL[2:0]、TXDIFFCTRL[3:0] です。
TX_MARGIN_LOW_2[6:0]	7 ビット バイナリ	TXMARGIN = 010 および TXSWING = 1 のときにマップする必要がある TXBUFDIFFCTRL[2:0] および TXDIFFCTRL[3:0] の値を示します。 TX_MARGIN_LOW_2 = TXBUFDIFFCTRL[2:0]、TXDIFFCTRL[3:0] です。
TX_MARGIN_LOW_3[6:0]	7 ビット バイナリ	TXMARGIN = 011 および TXSWING = 1 のときにマップする必要がある TXBUFDIFFCTRL[2:0] および TXDIFFCTRL[3:0] の値を示します。 TX_MARGIN_LOW_3 = TXBUFDIFFCTRL[2:0]、TXDIFFCTRL[3:0] です。

表 3-31：コンフィギュレーション可能な TX ドライバーの属性 (続き)

属性	タイプ	説明
TX_MARGIN_LOW_4[6:0]	7 ビット バイナリ	TXMARGIN = 100 および TXSWING = 1 のときにマップする必要があります。TXBUFDIFFCTRL[2:0] および TXDIFFCTRL[3:0] の値を示します。 TX_MARGIN_LOW_4 = TXBUFDIFFCTRL[2:0]、TXDIFFCTRL[3:0] です。
TX_PREDRIVER_MODE	1 ビット バイナリ	使用に制限がある属性です。常に 1'b0 に接続し、変更できません。
TX_QPI_STATUS_EN	1 ビット バイナリ	QPI 信号をファブリックへ送信することを許可する属性です。
TX_IDLE_ASSERT_DELAY	3 ビット バイナリ	TXELECIDLE のディアサートから TXP/N が電氣的アイドルから遷移するまでのプログラム可能な遅延です。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TX_IDLE_DEASSERT_DELAY	3 ビット バイナリ	TXELECIDLE のディアサートから TXP/N が電氣的アイドルから遷移するまでのプログラム可能な遅延です。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TX_LOOPBACK_DRIVE_HIZ	1 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

PCI Express デザイン用の TX レシーバー検出機能

機能の説明

PCI Express 仕様には、リンク上のトランスミッターによるレシーバー検出を可能にする機能が含まれます。レシーバーがあるかどうかは、TXP/TXN の立ち上がり時間に基づいて決定されます。図 3-30 に、レシーバー検出に使用される回路モデルを示します。レシーバー検出を実行するには、GTX/GTH トランシーバーを P1 パワーダウン ステートにする必要があります。さらに、レシーバー検出にはトランスミッターとレシーバー間に外部カップリング キャパシタが必要で、レシーバーは終端する必要があります。Gen1、Gen2、または Gen3 アプリケーションにおける外部カップリング キャパシタの実際値については、PCI Express ベースの仕様を参照してください。レシーバー検出シーケンスは、TXDETECTRX をアサートすると開始します。それに応じて、レシーバー検出ロジックが TXN および TXP を $(V_{DD} - V_{SWING}/2)$ に駆動し、その後それらをリリースします。一定時間 (プログラム可能なインターバル) 経過後、TXN および TXP のレベルがしきい値電圧と比較されます。シーケンスの最後に、PHYSTATUS が 1 サイクル間 High にアサートされ、レシーバー検出ステータスが RXSTATUS に反映されます。

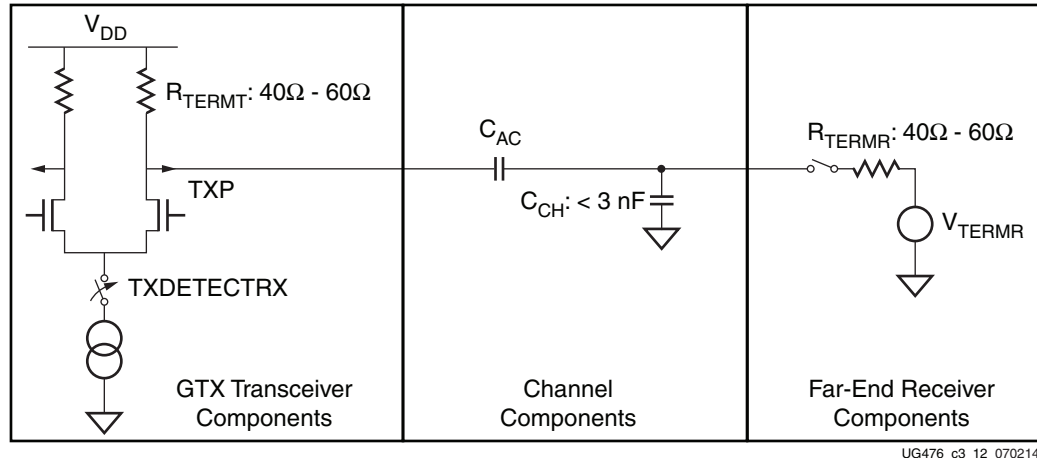


図 3-30 : レシーバー検出回路モデル

注記 : Gen1、Gen2、または Gen3 アプリケーションにおける外部カップリング キャパシタの実際値については、PCI Express ベースの仕様を参照してください。

ポートおよび属性

表 3-32 に、TX レシーバー検出で使用するポートを示します。

表 3-32 : TX レシーバー検出のポート

ポート	方向	クロック ドメイン	説明
TXDETECTRX	入力	TXUSRCLK2	レシーバー検出動作の開始を GTX/GTH トランシーバーへ伝えるために使用します。 0 : 通常動作 1 : レシーバー検出
TXPD[1:0] RXPD[1:0]	入力	TXUSRCLK2 非同期	GTX/GTH トランシーバーの TX および RX の電源投入/電源切断を指定します。PCI Express モードでは、TXPD および RXPD は同じソースへ接続する必要があります。レシーバー検出を実行する場合は、これらの信号を P1 省電力ステートに設定します。 00 : P0 (通常動作) 01 : P0 (短いカバリ時間の省電力ステート) 10 : P1 (長いカバリ時間の省電力ステート) 11 : P2 (消費電力が最小の省電力モード)
PHYSTATUS	出力	RXUSRCLK2	PCI Express モードで、パワー マネジメントステートの遷移、レート変更、レシーバー検出などの GTX/GTH トランシーバーの機能が完了したことを示します。レシーバー検出で、この信号が High の場合、レシーバー検出動作が完了したことを示します。

表 3-32 : TX レシーバー検出のポート (続き)

ポート	方向	クロック ドメイン	説明
RXSTATUS[2:0]	出力	RXUSRCLK2	レシーバー検出で、PHYSTATUS が High にアサートされると、この信号が読み出されます。レシーバー検出では、次のエンコードのみが有効です。 000 : レシーバーがない 011 : レシーバーがある

表 3-33 : TX レシーバー検出の属性

属性	タイプ	説明
TX_RXDETECT_CFG	14 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
TX_RXDETECT_REF	3 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

PCI Express 用の TX レシーバー検出機能を使用

P1 電力ステートのとき、GTX/GTH トランシーバーは、接続先にレシーバーがあるかどうかを判断するため、レシーバー検出機能を実行できます。図 3-31 に、PCI Express モードのレシーバー検出動作を示します。

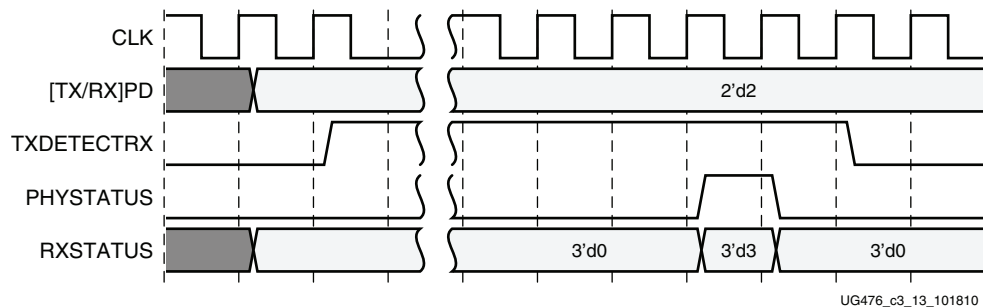


図 3-31 : PCI Express のレシーバー検出

注記 : 図 3-31 は、レシーバーが検出された場合のイベント シーケンスを表しており、正確な縮尺ではありません。

図 3-31 について説明します。

1. TXDETECTRX のアサートでレシーバー検出動作が開始される前に、GTX/GTH トランシーバーは [TX/RX]PD = 2'd2 の P1 電力ステートに遷移します。
2. PHYSTATUS = 1'd1 になるまで待機し、同じ PCLK サイクルで RXSTATUS を読み出します。PCI Express の場合、PCLK は [TX/RX]USRCLK となります。RXSTATUS = 3'd3 の場合は、レシーバーがあることを示し、RXSTATUS = 3'd0 の場合は、レシーバーがないことを示します。そして、TXDETECTRX をディアサートしてレシーバー検出動作を終了します。

TX の OOB 信号

機能の説明

GTX/GTH トランシーバーは、SATA (Serial ATA) や SAS (Serial Attach SCSI) 仕様で定義されている OOB (Out-of-Band) シーケンスの作成および PCI Express 仕様に準拠するビーコン信号の生成をサポートします。

ポートおよび属性

表 3-34 に、OOB 信号に関連するポートを示します。

表 3-34 : TX OOB 信号のポート

ポート	方向	クロック ドメイン	説明
TXCOMFINISH	出力	TXUSRCLK2	最後の SAS または SATA COM ビーコン信号の送信が完了したことを示します。
TXCOMINIT	入力	TXUSRCLK2	SATA/SAS の COMINIT シーケンス送信を開始します。
TXCOMSAS	入力	TXUSRCLK2	SAS の COMSAS シーケンス送信を開始します。
TXCOMWAKE	入力	TXUSRCLK2	SATA/SAS の COMWAKE シーケンス送信を開始します。
TXPDELECIDLEMODE	入力	TXUSRCLK2	TXELECIDLE および TXPD が同期信号または非同期信号のいずれかで処理されるかを決定します。PCI Express のコールド リセットおよびウォーム リセット中のコンプライアンスを有効にします。 1 : 非同期 0 : 同期
TXPD[1:0]	入力	TXUSRCLK2	PCI Express エンコードに応じて TX レーンの電源を切断します。 00 : P0 (通常動作) 01 : P0s (短いリカバリ時間の電源切断) 10 : P1 (長いリカバリ時間の電源切断、受信検出はオンのまま) 11 : P2 (電力が最も低い状態) これらのパワーダウン ステート間の移行時間は属性 (PD_TRANS_TIME_FROM_P2、PD_TRANS_TIME_NONE_P2、PD_TRANS_TIME_TO_P2) で制御できます。

表 3-35 に、OOB 信号に関連する属性を示します。

表 3-35 : TX OOB 信号の属性

属性	タイプ	説明
SATA_CPLL_CFG	文字列	SAS/SATA に関連する CPLL 設定のコンフィギュレーション ビットです。 VCO_3000MHZ = フル レート モード VCO_1500MHZ = 1/2 レート モード VCO_750MHZ = 1/4 レート モード
SATA_BURST_SEQ_LEN[3:0]	4 ビット バイナリ	SAS/SATA の COM シーケンスに必要なバースト数を示します。

レシーバー

レシーバー (RX) の概要

機能の説明

この章では、レシーバーにある各ファンクションブロックのコンフィギュレーションおよび使用方法について説明します。各 GTX/GTH トランシーバーには、PCS と PMA で構成される独立したレシーバーが含まれます。図 4-1 に、GTX/GTH トランシーバー RX のブロック図を示します。ボード上のトレースからの高速シリアル データは、GTX/GTH トランシーバー RX の PMA から PCS に入り、最終的に FPGA ロジックに送信されます。RX/TX クロック分周器へクロックを供給するチャンネルクロッキングアーキテクチャの詳細は、46 ページの図 2-9 を参照してください。

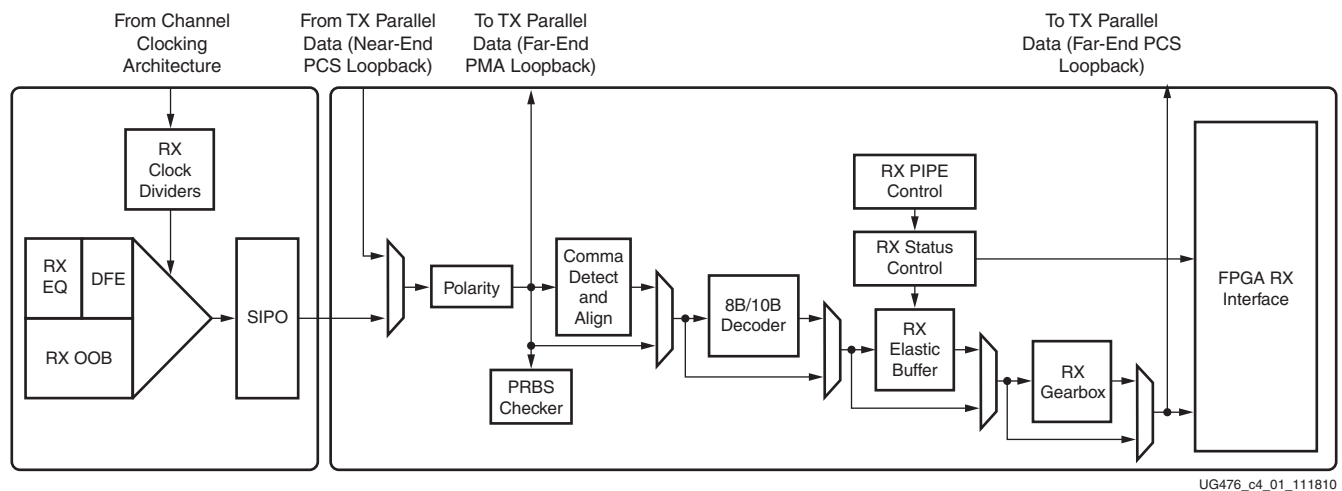


図 4-1 : GTX/GTH トランシーバー RX のブロック図

GTX/GTH トランシーバー RX は、次のようなエレメントで構成されています。

1. 172 ページの「RX アナログ フロント エンド」
2. 180 ページの「RX の OOB 信号」
3. 188 ページの「RX イコライザー (DFE および LPM)」
4. 204 ページの「RX CDR」
5. 212 ページの「RX のファブリック クロック出力制御」
6. 217 ページの「RX のマージン解析」
7. 227 ページの「RX 極性制御」

8. 228 ページの「RX パターン チェッカー」
9. 230 ページの「RX バイトおよびワード アライメント」
10. 241 ページの「RX 8B/10B デコーダー」
11. 247 ページの「RX バッファのバイパス」
12. 262 ページの「RX エラスティック バッファ」
13. 267 ページの「RX クロック コレクション」
14. 278 ページの「RX チャネル ボンディング」
15. 291 ページの「RX ギアボックス」
16. 303 ページの「FPGA RX インターフェイス」

RX アナログ フロント エンド

機能の説明

RX アナログ フロント エンド (AFE) は、高速電流モードの差動入力バッファ (図 4-1 参照) であり、次の機能があります。

- 設定可能な RX 終端電圧
- 調整された終端抵抗

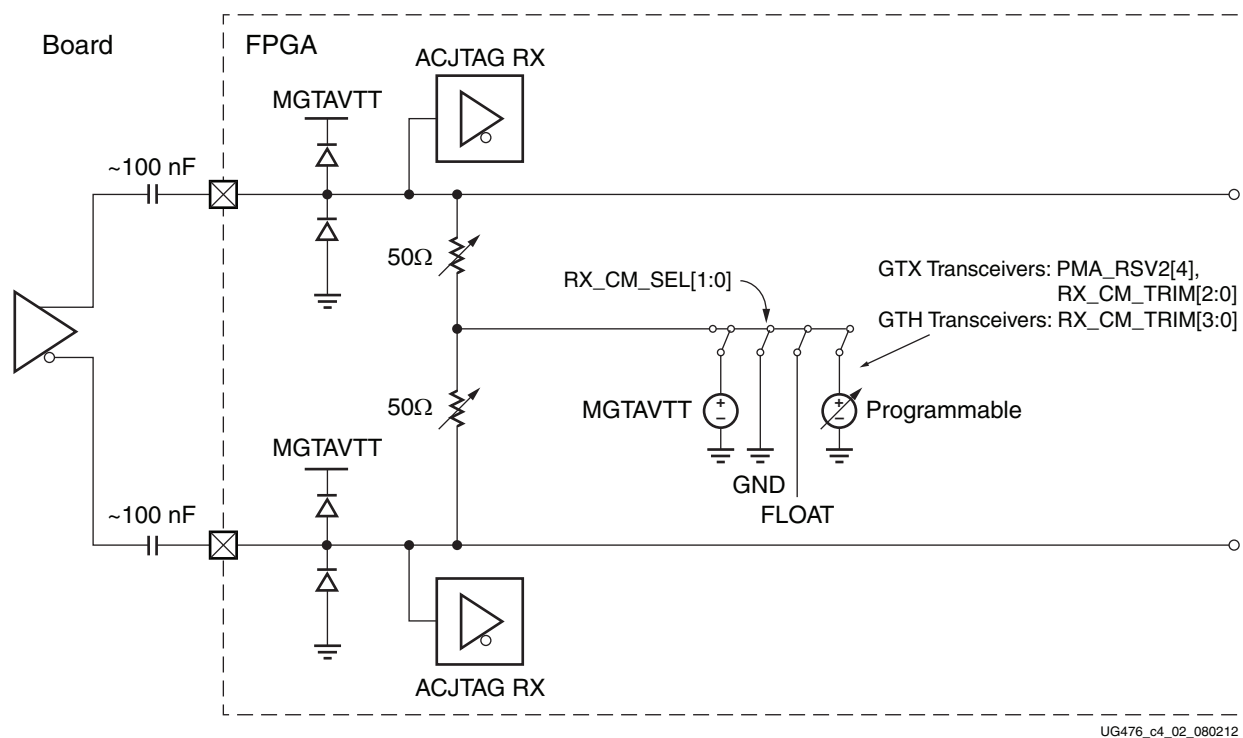


図 4-2 : RX アナログ フロント エンド

ポートおよび属性

表 4-1 に、RX AFE のポートを示します。

表 4-1 : RX AFE のポート

ポート	方向	クロック ドメイン	説明
GTXXRXN/GTHRXN、 GTXXRXP/GTHRXP	入力 (パッド)	RX シリアル クロック	互いの差動コンポーネントで差動レシーバー入力ペアを構成します。これらのポートはパッドを示します。位置制約を適用して (30 ページの「インプリメンテーション」参照)、デザインの最上位に指定する必要があります。
RXQPISENN	出力	非同期	GTXXRXN/GTHRXN ピンで 1 または 0 を取得するセンス出力です。
RXQPISENP	出力	非同期	GTXXRXP/GTHRXP ピンで 1 または 0 を取得するセンス出力です。
RXQPIEN	入力	非同期	センス出力ポート RXQPISENP および RXQPISENN を駆動するバッファを有効または無効にします。 1'b0 - バッファを無効にする 1'b1 - バッファを有効にする

表 4-2 に、RX AFE の属性を示します。

表 4-2 : RX AFE の属性

属性	タイプ	説明
RX_CM_SEL [1:0]	2 ビット バイナリ	RX 終端電圧を指定します。 2'b00 - AVTT 2'b01 - GND 2'b10 - フローティング 2'b11 - プログラマブル

表 4-2 : RX AFE の属性 (続き)

属性	タイプ	説明
GTX トランシーバー : (PMA_RSV2[4], RX_CM_TRIM [2:0]) GTH トランシーバー : RX_CM_TRIM [3:0]	4 ビット バイナリ	GTX/GTH トランシーバー : プログラマブル モードで同相電圧を指定します。 4'b0000 – 100mV 4'b0001 – 200mV 4'b0010 – 250mV 4'b0011 – 300mV 4'b0100 – 350mV 4'b0101 – 400mV 4'b0110 – 500mV 4'b0111 – 550mV 4'b1000 – 600mV 4'b1001 – 700mV 4'b1010 – 800mV 4'b1011 – 850mV 4'b1100 – 900mV 4'b1101 – 950mV 4'b1110 – 1000mV 4'b1111 – 1100mV
TERM_RCAL_CFG	GTX トランシーバー : 5 ビット バイナリ GTH トランシーバー : 15 ビット バイナリ	GTX トランシーバー ビット [4:0] 内部終端キャリブレーション回路を制御します。 予約。7 Series FPGA Transceivers Wizard からの 推奨値を使用してください。 GTH トランシーバー ビット [14:0] 内部終端キャリブレーション回路を制御します。 予約。7 Series FPGA Transceivers Wizard からの 推奨値を使用してください。
TERM_RCAL_OVRD	GTX トランシーバー : 1 ビット バイナリ GTH トランシーバー : 3 ビット バイナリ	GTX トランシーバー : MGTRREF ピンに接続された 100Ω の外部精密 抵抗を使用するか、TERM_RCAL_CFG [4:0] で 定義された値を使用するかを選択します。予約。7 Series FPGA Transceivers Wizard からの推奨値 を使用してください。 GTH トランシーバー ビット [2:0] : MGTRREF ピンに接続された 100Ω の外部精密 抵抗を使用するか、TERM_RCAL_CFG [14:0] で定義された値を使用するかを選択します。予 約。7 Series FPGA Transceivers Wizard からの推 奨値を使用してください。

GTX および GTH の使用モード — RX 終端

表 4-3 : 使用モード 1 — RX 終端

使用モード	外部 AC カップリング	終端電圧	最大振幅 (mV _{DPP})	推奨されるプロトコルおよび使用法
1	オン	GND	1200	<p>GTX トランシーバー :</p> <p>属性設定 :</p> <ul style="list-style-type: none"> • RX_CM_SEL[1:0] = 2'b01 • PMA_RSV2[7:6] = 2'b10 <p>GTH トランシーバー :</p> <p>ポート設定 :</p> <ul style="list-style-type: none"> • RXDFEAGCTRL[4:3] = 2'b01 <p>属性設定 :</p> <ul style="list-style-type: none"> • RX_CM_SEL[1:0] = 2'b01

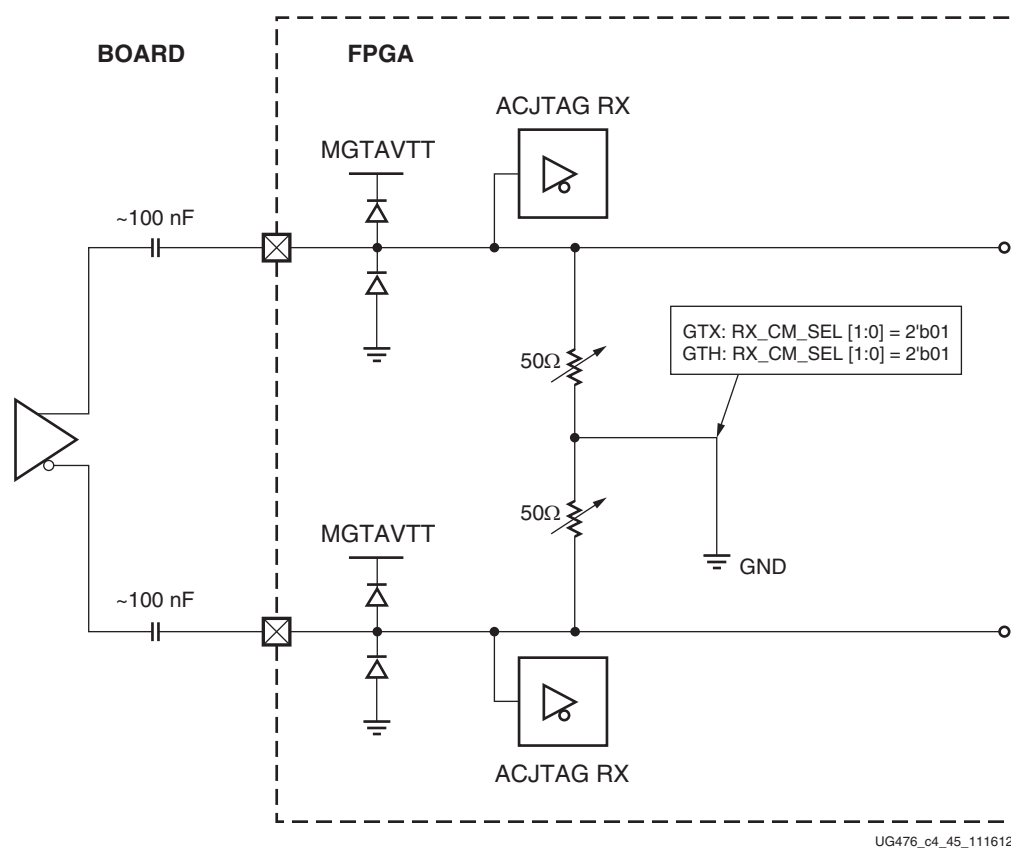


図 4-3 : 使用モード 1

表 4-4 : 使用モード 2 — RX 終端

使用 モード	外部 AC カップリング	終端電圧	最大振幅 (mV _{DPP})	推奨されるプロトコルおよび使用法
2	オン	AVTT	1200	<p>GTX トランシーバー :</p> <p>プロトコル :</p> <ul style="list-style-type: none"> • LPM モードのバックプレーン • LPM モードの CEI-6 (1200mV_{DPP}) • LPM モードの無線 • LPM モードのシリアル RapidIO <p>属性設定 :</p> <ul style="list-style-type: none"> • RX_CM_SEL[1:0] = 2'b00 • PMA_RSV2[7:6] = 2'b01 <p>GTH トランシーバー :</p> <p>プロトコル :</p> <ul style="list-style-type: none"> • LPM モードのバックプレーン • LPM モードの CEI-6 (1200mV_{DPP}) • LPM モードの無線 • LPM モードのシリアル RapidIO <p>ポート設定 :</p> <ul style="list-style-type: none"> • RXDFEAGCTRL[4:3] = 2'b10 <p>属性設定 :</p> <ul style="list-style-type: none"> • RX_CM_SEL[1:0] = 2'b00

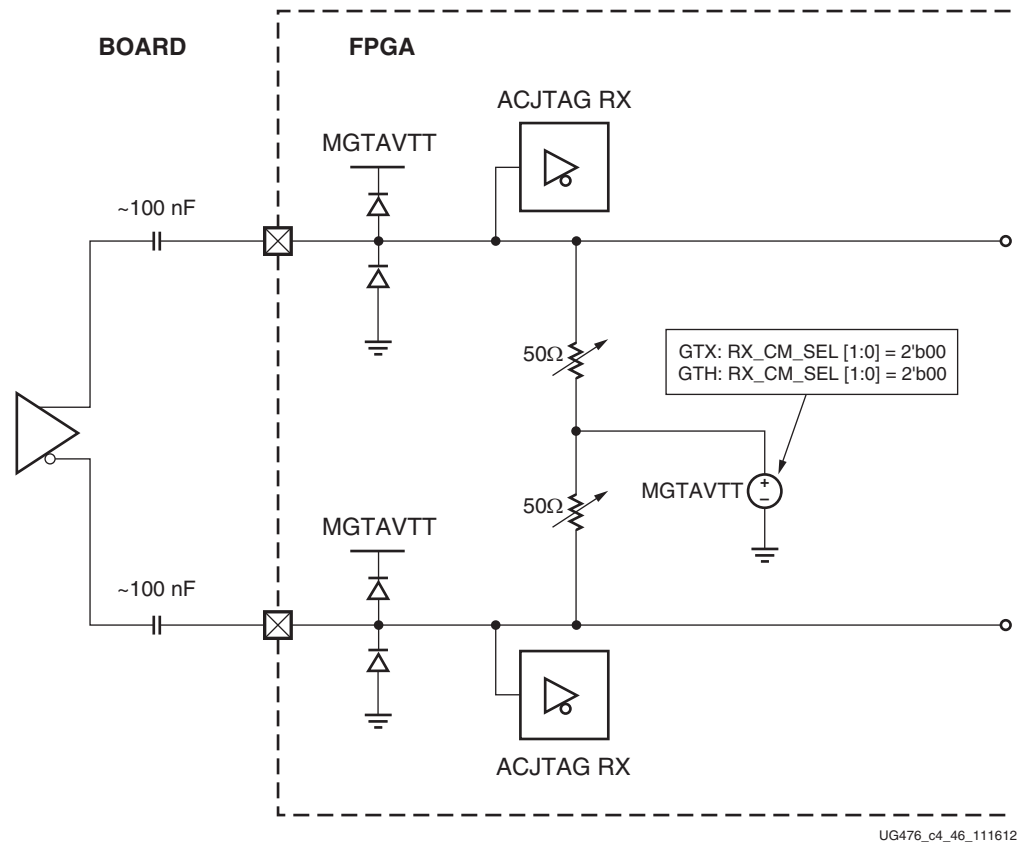


図 4-4 : 使用モード 2

表 4-5 : 使用モード 3 — RX 終端

使用モード	外部 AC カップリング	終端電圧 (mV)	最大振幅 (mV _{DPP})	推奨されるプロトコルおよび使用法
3	オン	800	2000	<p>GTX トランシーバー :</p> <p>プロトコル :</p> <ul style="list-style-type: none"> Optical IF (SONET/SDH/OTU) SFP+、HD/SD-SDI XAUI (1600mV_{DPP})、GbE DFE および LPM モードの PCIe[®] DFE モードのバックプレーン DFE モードの CEI-6 (1200mV_{DPP}) DFE モードの無線 DFE モードのシリアル RapidIO DFE および LPM モードの Interlaken <p>属性設定 :</p> <ul style="list-style-type: none"> RX_CM_SEL[1:0] = 2'b11 RX_CM_TRIM [3:0] = 4'b1010 PMA_RSV2[7:6] = 2'b01

表 4-5：使用モード 3 — RX 終端 (続き)

使用モード	外部 AC カップリング	終端電圧 (mV)	最大振幅 (mV _{DPP})	推奨されるプロトコルおよび使用法
3	オン	800	2000	<p>GTH トランシーバー： プロトコル：</p> <ul style="list-style-type: none"> Optical IF (SONET/SDH/OTU) SFP+、HD/SD-SDI XAUI (1600mVdpp)、GbE DFE および LPM モードの PCIe DFE モードのバックプレーン DFE モードの CEI-6 (1200mVDPP) DFE モードの無線 DFE モードのシリアル RapidIO DFE および LPM モードの Interlaken <p>ポート設定：</p> <ul style="list-style-type: none"> RXDFEAGCTRL[4:3] = 2'b10 <p>属性設定：</p> <ul style="list-style-type: none"> RX_CM_SEL [1:0] = 2'b11 RX_CM_TRIM[3:0] = 4'b1010

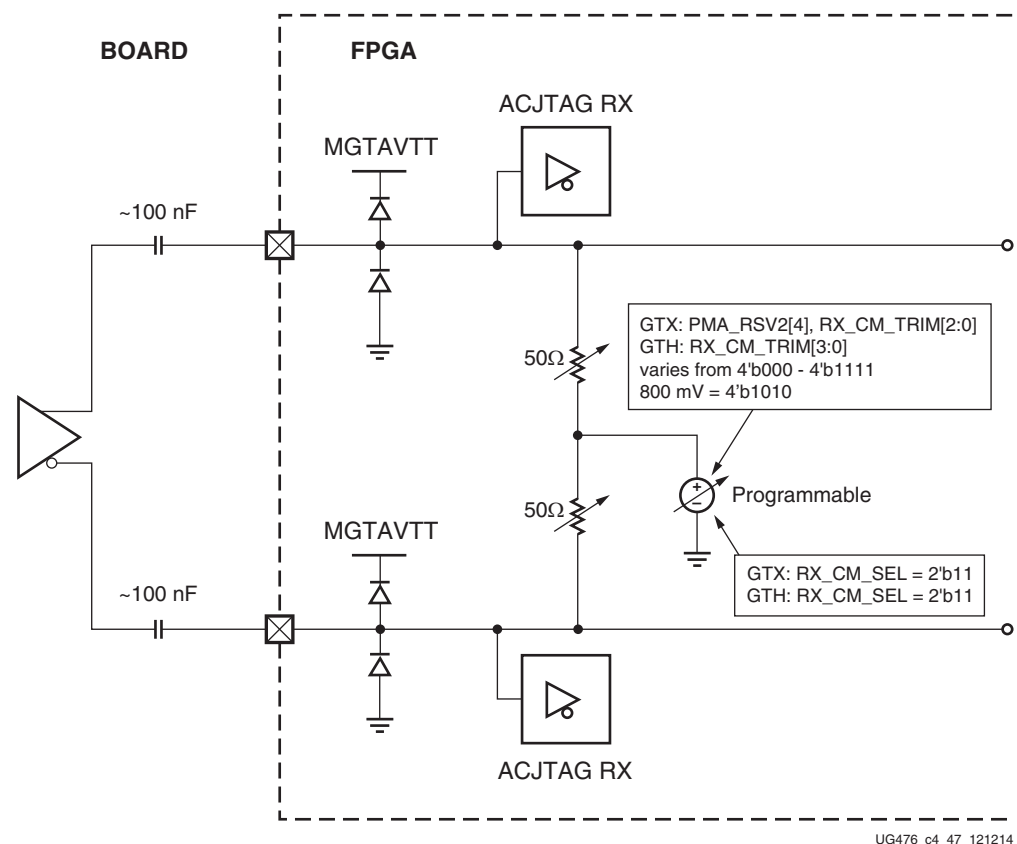


図 4-5：使用モード 3

表 4-6：使用モード 4 — RX 終端

使用 モード	外部 AC カップリング	終端電圧	最大振幅 (mV _{DPP})	推奨されるプロトコルおよび使用法
4	オフ	フローティング	2000	<p>GTx トランシーバー： プロトコル： <ul style="list-style-type: none"> GPON 属性設定： <ul style="list-style-type: none"> RX_CM_SEL[1:0] = 2'b10 </p> <p>GTH トランシーバー： プロトコル： <ul style="list-style-type: none"> GPON ポート設定： <ul style="list-style-type: none"> 回路の実装に依存する。高同相 (High Common) モードで使用する人が多い (RXDFEAGCTRL[4:3] = 2'b10) 属性設定： <ul style="list-style-type: none"> RX_CM_SEL[1:0] = 2'b10 注記：これは LPM モードでのみ有効です。 </p>

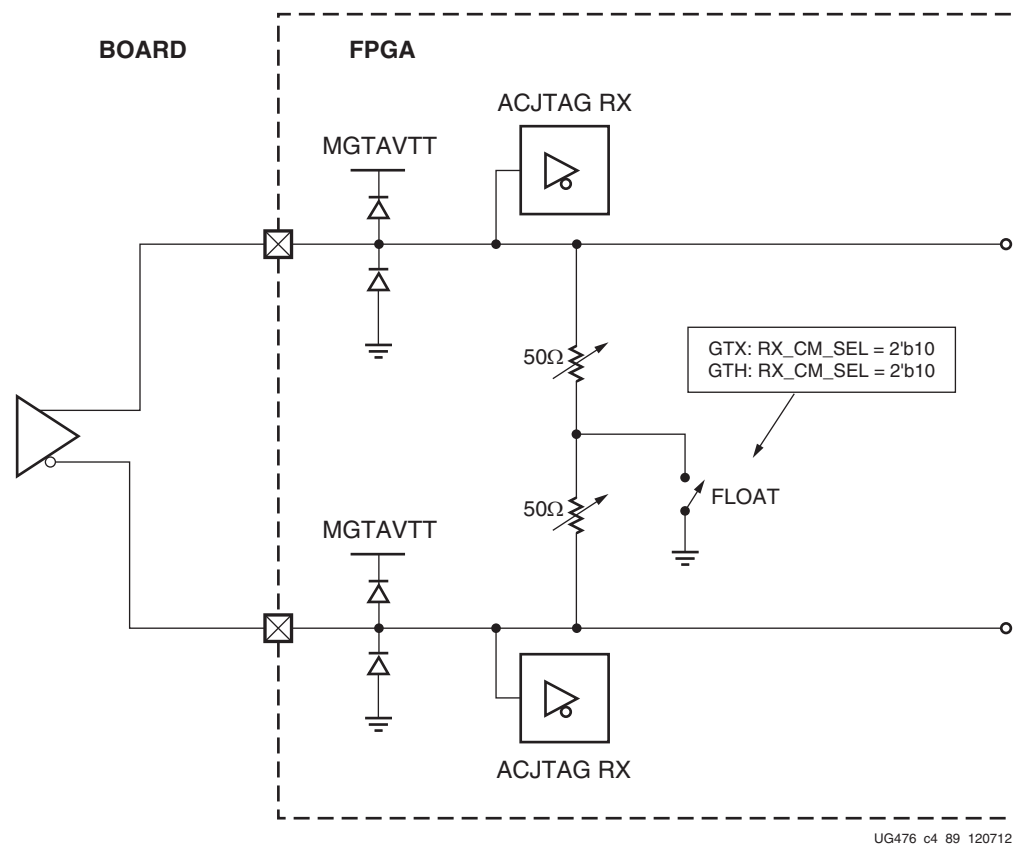


図 4-6：使用モード 4

RX の OOB 信号

機能の説明

GTX/GTH レシーバーは、SATA (Serial ATA) や SAS (Serial Attach SCSI) 仕様で定義されている OOB (Out-of-Band) シーケンスのデコードおよび PCI Express 仕様に準拠するビーコン信号の生成をサポートします。SATA/SAS OOB 信号に対する GTX/GTH トランシーバー レシーバーのサポート機能は、OOB 信号ステートのデコードに必要なアナログ回路と SATA/SAS COM シーケンスの OOB 信号のバースト データをデコードするためのステート マシンで構成されています。

GTX/GTH レシーバーは、『PHY Interface for the PCI Express (PIPE) Specification』で定義されているインターフェイス信号を使用することにより、PCI Express 準拠のビーコン信号もサポートします。ビーコン信号のシーケンスは、FPGA ロジックでデコードされます。

ポートおよび属性

表 4-7 に、OOB 信号に関連するポートを示します。

表 4-7 : RX OOB 信号のポート

ポート	方向	クロック ドメイン	説明
RXOOBRESET	入力	非同期	予約。GND に接続します。
RXELECIDLEMODE[1:0]	入力	非同期	RXELECIDLE の動作を制御する入力信号です。 2'b00 = OOB 信号検出回路のステータスを示します。この設定は、OOB を利用する PCIe、SATA/SAS、およびプロトコル/アプリケーション向けに使用します。このような場合、OOB 回路に電源を投入しておく必要があります。 2'b11 = 静的な 1'b0 を出力します。この設定は OOB 以外のプロトコルに使用します。
RXELECIDLE	出力	非同期	この出力は OOB 信号検出のステータスを示し、OOB を使用する PCIe、SATA/SAS、およびプロトコル/アプリケーションでのみ有効です。このような場合、OOB 回路に電源を投入しておく必要があります。 0 = レシーバーでアクティビティが検出された 1 = アクティビティは検出されない OOB 以外のプロトコルでは、RXELECIDLEMODE[1:0] を 2'b11 に設定する必要があります。RXELECIDLE は静的な 1'b0 を出力します。この場合は、信号検出のステータスは示されません。
RXCOMINITDET	出力	RXUSRCLK2	SATA/SAS の COMINIT シーケンス受信を開始します。
RXCOMSASDET	出力	RXUSRCLK2	SAS の COMSAS シーケンス受信を開始します。
RXCOMWAKEDET	出力	RXUSRCLK2	SATA/SAS の COMWAKE シーケンス受信を開始します。

表 4-8 に、OOB 信号に関連する属性を示します。

表 4-8 : RX OOB 信号の属性

属性	タイプ	説明
PCS_RSVD_ATTR[8]	1 ビット バイナリ	OOB の電源投入。OOB 回路の未使用時に回路への電源を切断するオプションもあります。 1'b0 = 回路の電源を切断する 1'b1 = 回路の電源を投入する (OOB を使用する PCIe、SATA/SAS、プロトコル/アプリケーション)
PCS_RSVD_ATTR[3]	1 ビット バイナリ	1'b0 = sysclk を選択する 1'b1 = ポート CLKRSVD[0] を選択する
GTH トランシーバー : RXOOB_CLK_CFG	1 ビット バイナリ	1'b0 = sysclk を選択する 1'b1 = ポート sigvalidclk を選択する
RXOOB_CFG[6:0]	7 ビット バイナリ	OOB ブロックのコンフィギュレーションを示します。デフォルト値は 7'b0000110 です。
SATA_BURST_VAL[2:0]	3 ビット バイナリ	SAS/SATA の COM の一致を宣言するために必要なバースト数を示します。デフォルト値は 3'b100 です。
SATA_EIDLE_VAL[2:0]	3 ビット バイナリ	SAS/SATA の COM の一致を宣言するために必要なアイドル数を示します。デフォルト値は 3'b100 です。
SAS_MIN_COM	整数	1-63。SAS/SATA の COM FSM に対するバースト範囲の下限値を示します。デフォルト値は 36 です。
SATA_MIN_INIT	整数	1-63。SAS の COMSAS シーケンス中におけるアイドルカウントの下限値を示します。デフォルト値は 12 です。
SATA_MIN_WAKE	整数	1-63。SAS/SATA の COMINIT/COMRESET シーケンス中におけるアイドルカウントの下限値を示します。デフォルト値は 4 です。
SATA_MAX_BURST	整数	1-63。SAS/SATA の COM FSM に対するバースト範囲の上限値を示します。デフォルト値は 8 です。
SATA_MIN_BURST	整数	1-61。SAS/SATA の COM FSM に対するバースト範囲の下限値を示します。デフォルト値は 8 です。
SAS_MAX_COM	整数	1-127。SAS の COMSAS シーケンス中におけるアイドルカウントの上限値を示します。デフォルト値は 64 です。
SATA_MAX_INIT	整数	1-63。SAS/SATA の COMINIT/COMRESET シーケンス中におけるアイドルカウントの上限値を示します。デフォルト値は 21 です。
SATA_MAX_WAKE	整数	1-63。SAS/SATA の COMWAKE シーケンス中におけるアイドルカウントの上限値を示します。デフォルト値は 7 です。

GTX/GTH 使用モード

OOB を使用するには、次の RX 終端の条件を適用する必要があります。

- AC カップリングの場合：終端電圧は 800mV 以上にする
- DC カップリングの場合：終端電圧は 900mV 以上にする

さらに、PCS_RSVD_ATTR[8] 属性は 1'b1 に設定する必要があります。OOB 回路には、この回路へクロックを供給できる 2 つのクロック ソースがあります (図 4-7 参照)。

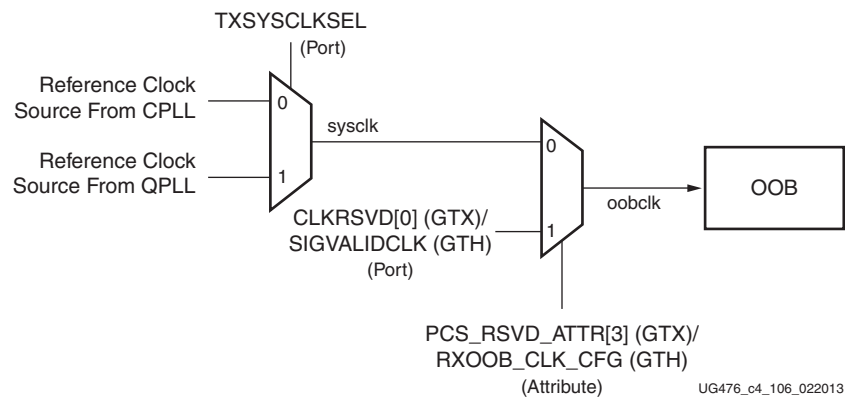


図 4-7：OOB 検出回路のクロッキング方法

PCS_RSVD_ATTR[3] (GTX)/RXOOB_CLK_CFG (GTH) 属性によって oobclk のソースが制御されます。PCS_RSVD_ATTR[3] (GTX)/RXOOB_CLK_CFG (GTH) を 0 に設定すると、sysclk を選択します。PCS_RSVD_ATTR[3] (GTX)/RXOOB_CLK_CFG (GTH) を 1 に設定すると、CLKRSVD[0] (GTX)/SIGVALIDCLK (GTH) からの代替のクロック ソースを選択します。分周された基準クロックは、CLKRSVD[0] (GTX)/SIGVALIDCLK (GTH) ピンに接続可能で、OOB 回路に代替クロックを提供します。

sysclk ソースを制御するポートは TXSYSCLKSEL です。このポートを 1'b0 に設定するとチャネル PLL からの基準クロックを選択し、1'b1 に設定すると共通 PLL からの基準クロックを選択します。

分周されたクロックには、SERDES のほかのクロックとの間に特別な位相関係は必要ありません。ただし、50% のデューティ サイクルが要求されます。図 4-8 および図 4-9 に、クロックの分周手法を示します。図 4-8 に、簡単なトグル フリップフロップを使用して REFCLK を分周する方法を示します。

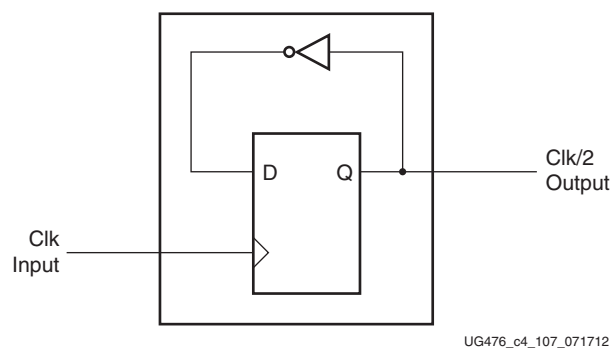


図 4-8：トグル フリップフロップによる REFCLK の分周

図 4-9 に、2 分周回路をいくつかカスケード接続し、4 分周および 8 分周回路のような高位クロック分周回路を生成する方法を示します。

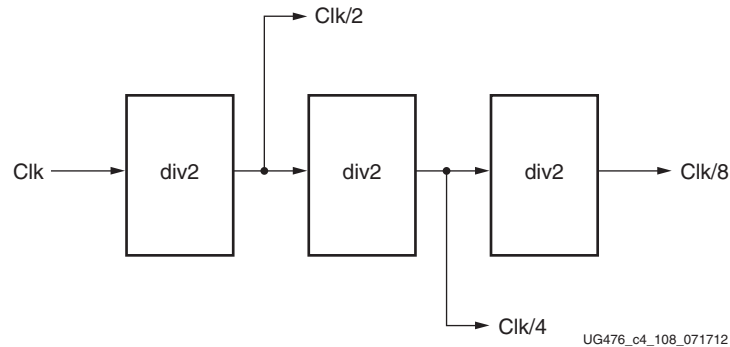


図 4-9：クロック分周回路

使用モード

1.5Gb/s 以下のライン レートで動作する OOB については、図 4-10 のフローチャートを参照して OOB クロックの周波数 f を決定します。

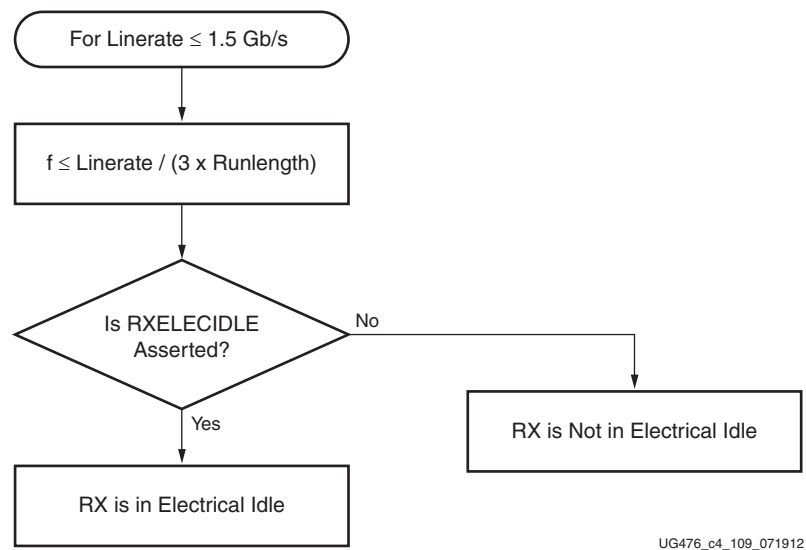


図 4-10：1.5G 以下のライン レートを用いるプロトコルのフローチャート

OOB を正常に動作させるために、式 4-1 の要件を満たす必要があります。

$$f \leq \text{linerate} / (3 \times \text{runlength})$$

式 4-1

1.5Gb/s よりも高いライン レートで動作する OOB は高度な機能です。PCIe (Gen1、Gen2) および SATA のような特定プロトコルの高ライン レートでの動作を表 4-9 で説明しています。

表 4-9：1.5Gb/s よりも高いレートで動作する OOB のガイドライン

プロトコル	動作
PCIe Gen1	<p>RX が電氣的アイドル状態にあるかどうかを決定するアルゴリズムは、図 4-11 を参照してください。</p> <p>スクランブラーが使用されていない場合、RX の電氣的アイドルは、DFE、LPM、または CDR のホールド/リセット ロジックの内部検出ロジックに使用できません⁽¹⁾。ユーザーは、電氣的アイドル状態であるかどうかを決定するために受信データを検証する必要があります。つまり、この動作モードでは入力データを使用するクオリフィケーション (必要条件) が必須です。</p> <p>スクランブラーが使用されている場合、電氣的アイドルは RX が電氣的アイドル状態にあるかどうかを決定するためにのみ利用できます。</p>
PCIe Gen2	<p>RX が電氣的アイドル状態にあるかどうかを決定するアルゴリズムは、図 4-12 を参照してください。図 4-13 および 図 4-14 に、この目的に使用できる別の方法を示します。</p> <p>RX の電氣的アイドルは、DFE、LPM、または CDR のホールド/リセット ロジックの内部検出ロジックに使用できません⁽¹⁾。ユーザーは、電氣的アイドル状態であるかどうかを決定するために受信データを検証する必要があります。つまり、この動作モードでは入力データを使用するクオリフィケーション (必要条件) が必須です。</p>
SATA 1.5Gb/s	適切な OOB クロックを得るには、 式 4-1 を使用してください (図 4-10 参照)。
SATA 3Gb/s	<p>RX が電氣的アイドル状態にあるかどうかを決定するアルゴリズムは、図 4-15 を参照してください。</p> <p>RX の電氣的アイドルは、DFE、LPM、または CDR のホールド/リセット ロジックの内部検出ロジックに使用できません⁽¹⁾。ユーザーは、電氣的アイドル状態であるかどうかを決定するために受信データを検証する必要があります。つまり、この動作モードでは入力データを使用するクオリフィケーション (必要条件) が必須です。</p>
SATA 6Gb/s	<p>RX が電氣的アイドル状態にあるかどうかを決定するアルゴリズムは、図 4-15 を参照してください。</p> <p>RX の電氣的アイドルは、DFE、LPM、または CDR のホールド/リセット ロジックの内部検出ロジックに使用できません⁽¹⁾。ユーザーは、電氣的アイドル状態であるかどうかを決定するために受信データを検証する必要があります。つまり、この動作モードでは入力データを使用するクオリフィケーション (必要条件) が必須です。</p>

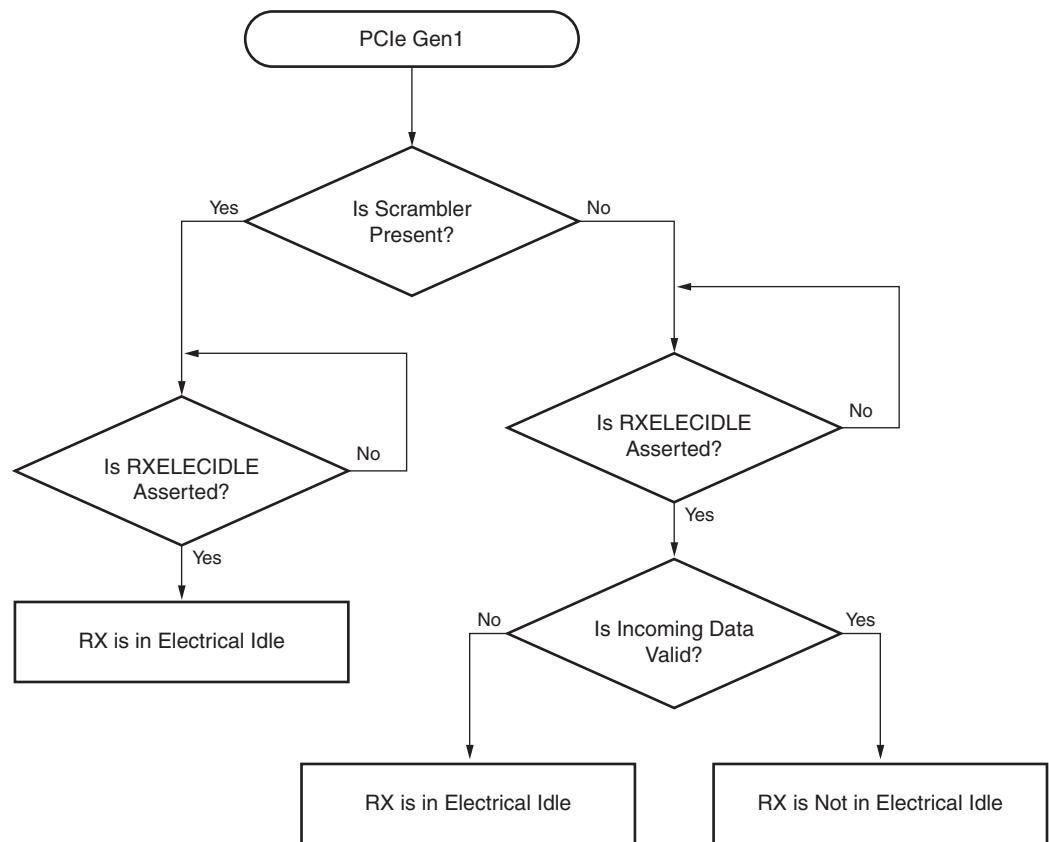
表 4-9 : 1.5Gb/s よりも高いレートで動作する OOB のガイドライン (続き)

プロトコル	動作
PCIe Gen 3 または Gen2	<p>RX が電氣的アイドル状態にあるかどうかを決定するアルゴリズムは、図 4-13 および 図 4-14 を参照してください。</p> <p>電氣的アイドルの遷移中に、RXELECIDLE のアサートと共に EIOS の検出を使用して RX が電氣的アイドル状態にあるかどうかを決定する必要があります。</p> <p>RX の電氣的アイドルは、DFE、LPM、または CDR のホールド/リセット ロジックの内部検出ロジックに使用できません⁽¹⁾。ユーザーは、電氣的アイドル状態であるかどうかを決定するために受信データを検証する必要があります。つまり、この動作モードでは入力データを使用するクオリフィケーション (必要条件) が必須です。</p>

注記 :

1. DFE、LPM、および CDR に関連する属性は次のとおりです。

- RXCDR_HOLD_DURING_IDLE
- RXCDR_FR_RESET_ON_IDLE
- RXCDR_PH_RESET_ON_IDLE
- RX_DFE_LPM_HOLD_DURING_IDLE
- RXBUF_RESET_ON_IDLE
- RXBUF_IDLE_HI_CNT
- RXBUF_IDLE_LO_CNT



UG476_c4_111_080712

図 4-11 : PCIe Gen1 のフローチャート

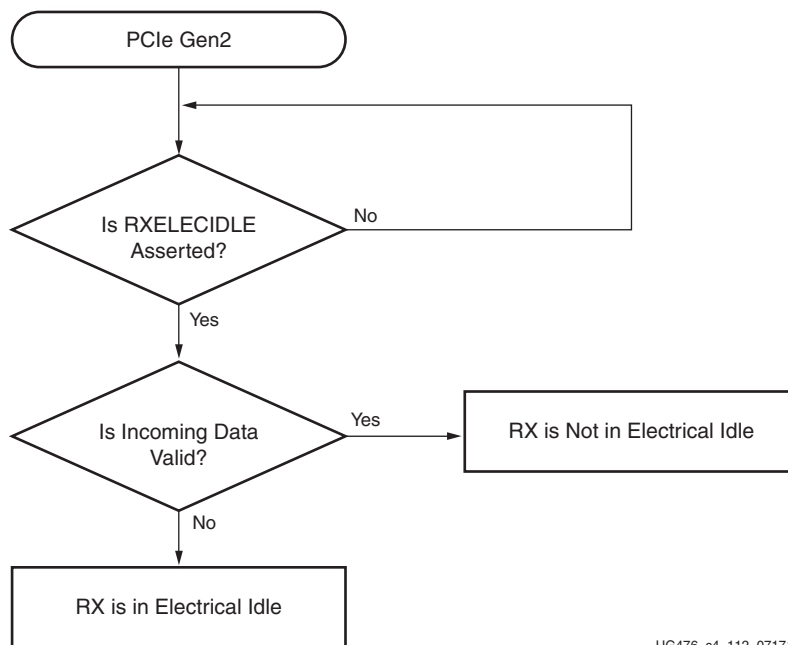


図 4-12 : PCIe Gen2 のフローチャート

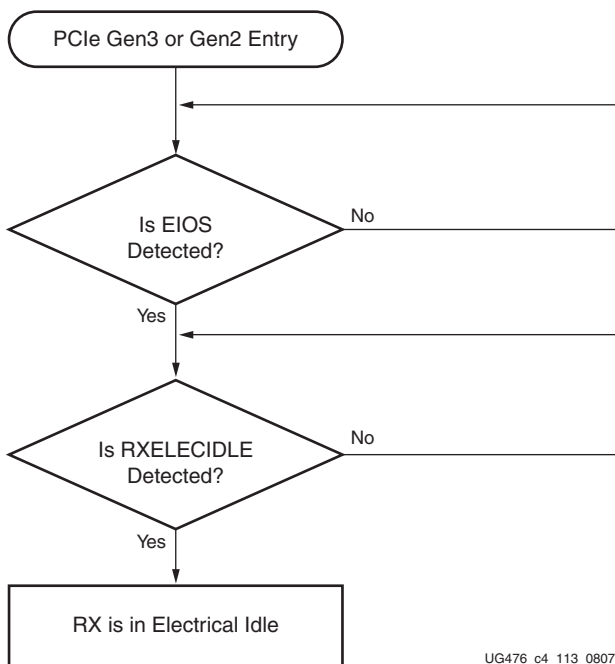


図 4-13 : PCIe Gen2 または Gen3 において、RX が電氣的アイドル状態になる場合のフローチャート

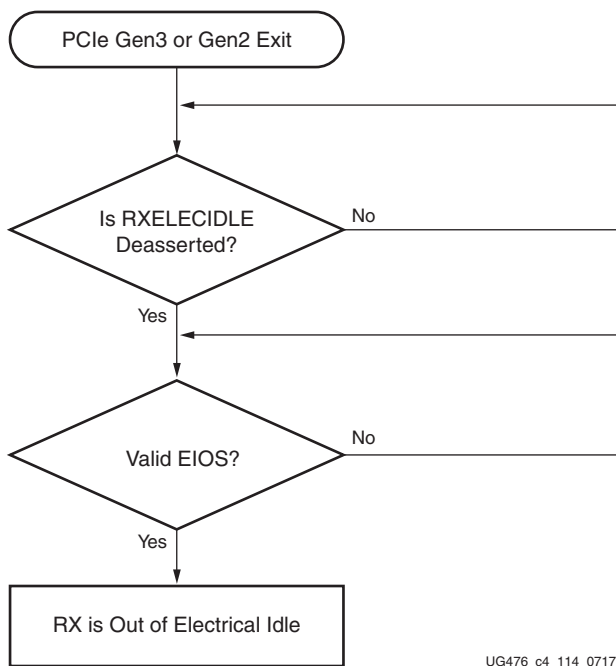


図 4-14 : PCIe Gen2 または Gen3 において、RX が電気的アイドル状態からシフトする場合のフローチャート

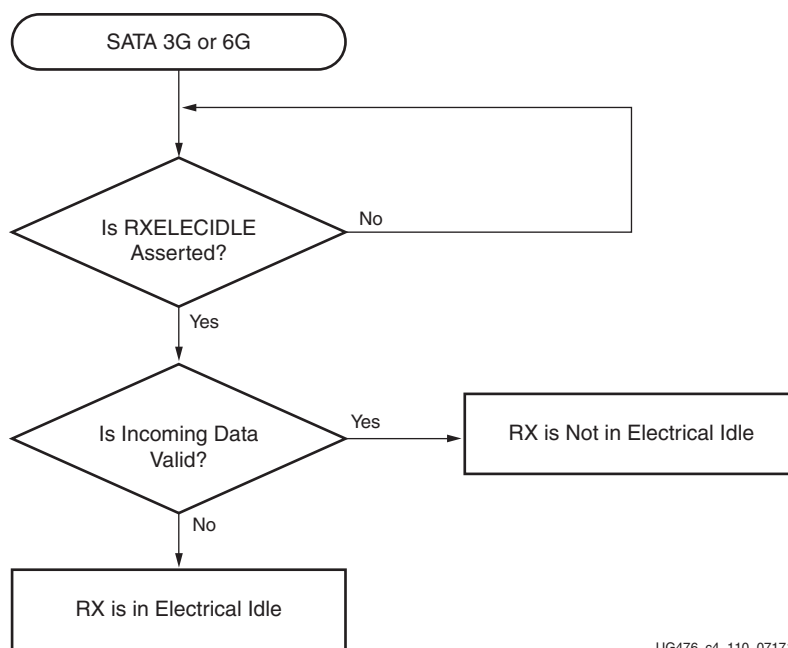


図 4-15 : SATA 3G または SATA 6G のフローチャート

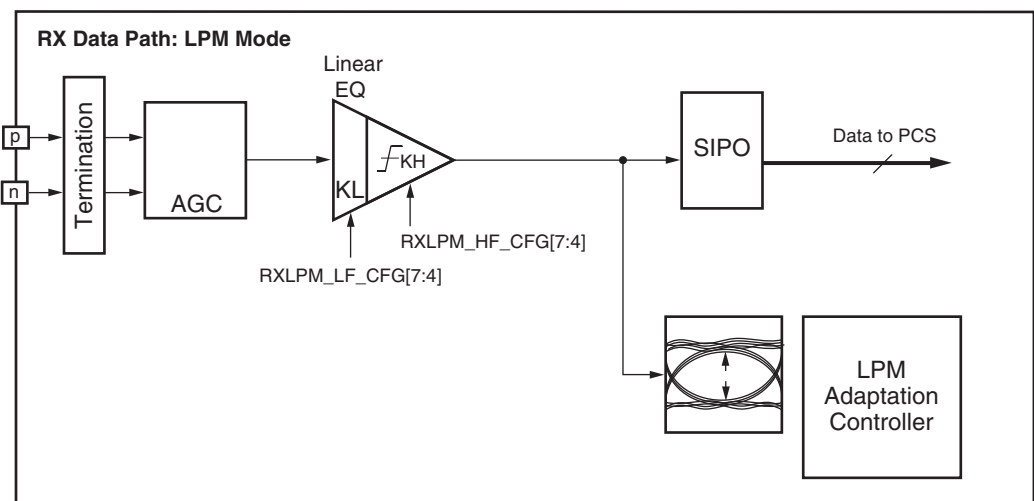
RX イコライザー (DFE および LPM)

機能の説明

シリアルリンクの BER (ビット エラー率) 性能は、トランスミッター、伝送媒体、およびレシーバーの機能そのものです。伝送媒体またはチャネルの帯域幅は制限されているため、これを通して進む信号には劣化や歪みが発生します。

消費電力と性能間のシステム レベルのトレードオフに応じて GTX/GTH レシーバーに利用可能な 2 つの種類の適応フィルタがあります。チャネルの損失を低減するように消費電力を最適化するため、GTX/GTH レシーバーには低消費電力モード (LPM) という電力効率に優れたアダプティブモードがあります (図 4-16 参照)。損失の大きいチャネルにイコライゼーションを適用する場合は、DFE モードを利用できます。GTX トランシーバーについては図 4-17 を、GTH トランシーバーについては図 4-18 を参照してください。

DFE は、リニア イコライザーを使用した場合よりも、フィルタ パラメーターの近似調整が可能のため、転送チャネルの損失をさらに補正できます。ただし、DFE では転送ビットのプリカーソルを除去できず、ポストカーソルの調整にのみ対応しています。リニア イコライザーはプリカーソルおよびポストカーソルのゲインに対応可能です。GTX/GTH RX の DFE モードは離散時間に対応するハイパス (広域) フィルタです。DFE のタップ値は、適応アルゴリズムで設定されるこのフィルタの係数です。



UG476_c4_93_102314

図 4-16 : LPM モード

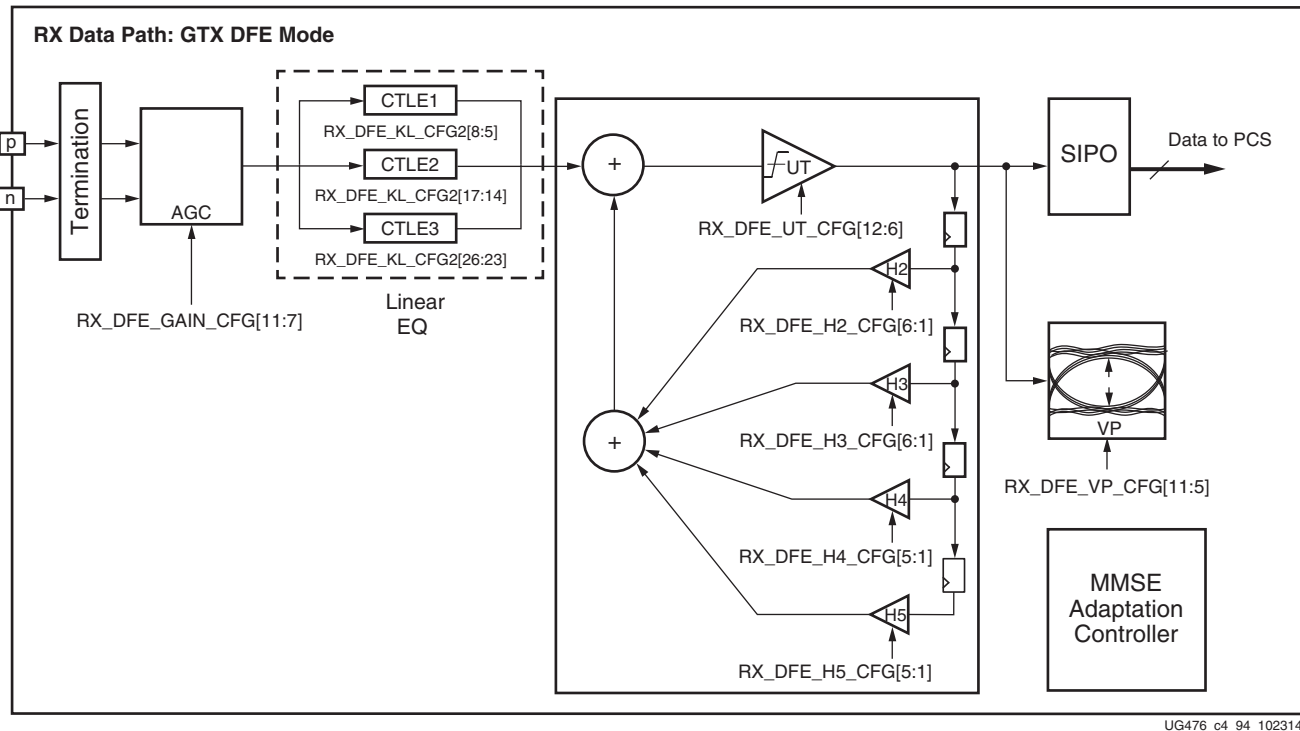
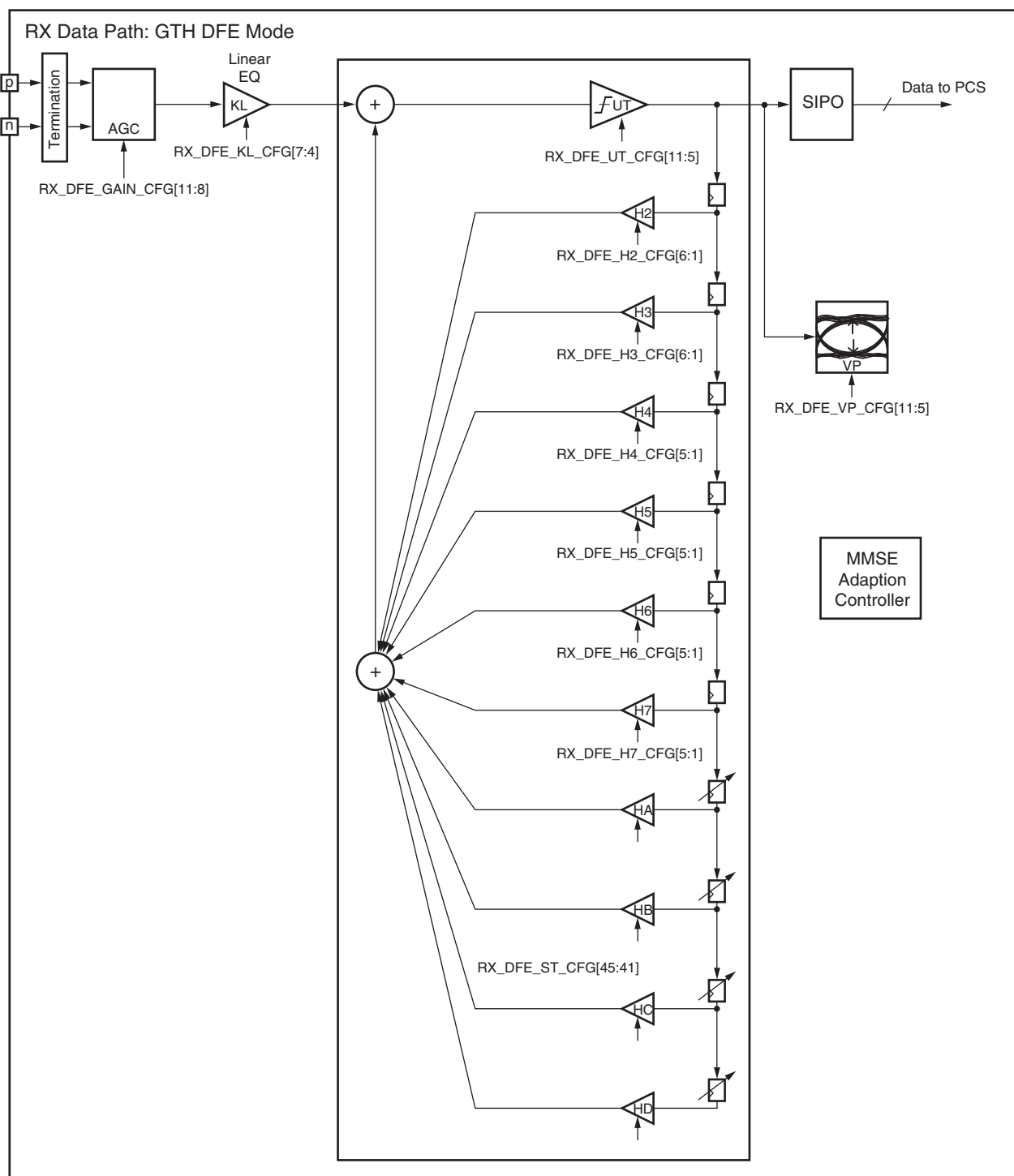


図 4-17 : GTX DFE モード



UG476_c4_96_102314

図 4-18 : GTH DFE モード

ポートおよび属性

表 4-10 に、RX イコライザーのポートを示します。

表 4-10 : RX イコライザーのポート

ポート	方向	クロック ドメイン	説明
RXLPMEN	入力	RXUSRCLK2	RX データパス 0 : DFE 1 : LPM
RXDFELPMRESET	入力	RXUSRCLK2	LPM および DFE データパスをリセットします。適応 (値) を初期化するため、モードを切り替えた後にトグルする必要があります。
{RXOSHOLD, RXOSOVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX LPM または DFE 2'b00 : OS のオフセット キャンセレーション ループを適応 2'b10 : 現在の適応値を固定 2'bx1 : RX_OS_CFG 属性に応じて OS 値を上書き 7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
{RXLPMLFHOLD, RXLPMLFKLOVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX LPM 2'b00 : KL の周波数低減ループを適応 2'b10 : 現在の適応値を固定 2'bx1 : RXLPM_LF_CFG 属性に応じて KL 値を上書き 7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
{RXLPMHFFHOLD, RXLPMHFOVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX LPM 2'b00 : KH の周波数増加ループを適応 2'b10 : 現在の適応値を固定 2'bx1 : RXLPM_HF_CFG 属性に応じて KH 値を上書き 7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
{RXDFEAGCHOLD, RXDFEAGCOVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX DFE 2'b00 : 自動ゲイン制御 (AGC) ループを適応 2'b10 : 現在の AGC 適応値を固定 2'bx1 : RX_DFE_GAIN_CFG 属性に応じて AGC 値を上書き 7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

表 4-10 : RX イコライザーのポート (続き)

ポート	方向	クロック ドメイン	説明
{RXDFELFHOLD, RXDFELFOVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX DFE 2'b00 : KL の周波数低減ループを適応 2'b10 : 現在の KL 適応値を固定 2'bx1 : RX_DFE_KL_CFG 属性に応じて KL 値を上書き 7 Series FPGA Transceivers Wizard からの推奨 値を使用してください。
{RXDFEUTHOLD, RXDFEUTOVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX DFE 2'b00 : UT の展開されていないしきい値 ループを適応 2'b10 : 現在の UT 適応値を固定 2'bx1 : RX_DFE_UT_CFG 属性に応じて UT 値を上書き 7 Series FPGA Transceivers Wizard からの推奨 値を使用してください。
{RXDFEVPHOLD, RXDFEVPOVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX DFE 2'b00 : VP 電圧ピーク ループを適応 2'b10 : 現在の VP 適応値を固定 2'bx1 : RX_DFE_VP_CFG 属性に応じて VP 値を上書き 7 Series FPGA Transceivers Wizard からの推奨 値を使用してください。
{RXDFETAP2HOLD, RXDFETAP2OVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX DFE 2'b00 : TAP2 ループを適応 2'b10 : 現在の TAP2 適応値を固定 2'bx1 : RX_DFE_H2_CFG 属性に応じて TAP2 を上書き 7 Series FPGA Transceivers Wizard からの推奨 値を使用してください。
{RXDFETAP3HOLD, RXDFETAP3OVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX DFE 2'b00 : TAP3 ループを適応 2'b10 : 現在の TAP3 適応値を固定 2'bx1 : RX_DFE_H3_CFG 属性に応じて TAP3 値を上書き 7 Series FPGA Transceivers Wizard からの推奨 値を使用してください。

表 4-10 : RX イコライザーのポート (続き)

ポート	方向	クロック ドメイン	説明
{RXDFETAP4HOLD, RXDFETAP4OVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX DFE 2'b00 : TAP4 ループを適応 2'b10 : 現在の TAP4 適応値を固定 2'bx1 : RX_DFE_H4_CFG 属性に応じて TAP4 値を上書き 7 Series FPGA Transceivers Wizard からの推奨 値を使用してください。
{RXDFETAP5HOLD, RXDFETAP5OVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX DFE 2'b00 : TAP5 ループを適応 2'b10 : 現在の TAP5 適応値を固定 2'bx1 : RX_DFE_H5_CFG 属性に応じて TAP5 を上書き 7 Series FPGA Transceivers Wizard からの推奨 値を使用してください。
RXDFECMIEN	入力	RXUSRCLK2	予約
RXDFEXYDHOLD	入力	RXUSRCLK2	予約
RXDFEXYDOVRDEN	入力	RXUSRCLK2	予約
RXDFEXYDEN	入力	RXUSRCLK2	予約。1'b1 に設定します。
RXMONITORSEL[1:0]	入力	非同期	RXMONITOROUT[6:0] の信号を選択します。 2'b00 : 予約 2'b01 : AGC ループを選択 2'b10 : UT ループを選択 2'b11 : VP ループを選択
RXMONITOROUT[6:0]	出力	非同期	GTX/GTH トランシーバー : 予約
GTH トランシーバー : {RXDFETAP6HOLD, RXDFETAP6OVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX DFE 2'b00 : TAP6 ループを適応 2'b10 : 現在の TAP6 適応値を固定 2'bx1 : 予約済み属性に応じて TAP6 値を 上書き 7 Series FPGA Transceivers Wizard からの推奨 値を使用してください。

表 4-10 : RX イコライザーのポート (続き)

ポート	方向	クロック ドメイン	説明
GTH トランシーバー : {RXDFETAP7HOLD, RXDFETAP7OVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX DFE 2'b00 : TAP7 ループを適応 2'b10 : 現在値を固定 2'bx1 : 予約済み属性に応じて TAP7 値を 上書き 7 Series FPGA Transceivers Wizard からの推奨 値を使用してください。
GTH トランシーバー : {RXDFESLIDETAPHOLD, RXDFESLIDETAPINITOVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} RX DFE 2'b00 : スライド TAP ループを適応 2'b10 : 現在のスライド TAP 適応値を固定 2'bx1 : RXDFESLIDETAP ポートに応じ てスライド TAP 値を上書き 7 Series FPGA Transceivers Wizard からの推奨 値を使用してください。
GTH トランシーバー : RXDFESLIDETAPADAPTEN	入力	RXUSRCLK2	RX DFE : 1'b0 : スライド TAP 適応を無効化 1'b1 : スライド TAP 適応を有効化
GTH トランシーバー : RXDFESLIDETAP[4:0]	入力	RXUSRCLK2	RX DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXDFEAGCTRL[4:0]	入力	RXUSRCLK2	RX DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXDFESLIDETAPSTROBE	入力	RXUSRCLK2	RX DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXDFESLIDETAPID[5:0]	入力	RXUSRCLK2	RX DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXDFESLIDETAPONLYADAPTEN	入力	RXUSRCLK2	RX DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXOSINTEN	入力	RXUSRCLK2	RX LPM および DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用し てください。
GTH トランシーバー : RXOSINTNTRLEN	入力	RXUSRCLK2	RX LPM および DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用し てください。
GTH トランシーバー : RXOSINTCFG[3:0]	入力	RXUSRCLK2	RX LPM および DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用し てください。

表 4-10 : RX イコライザーのポート (続き)

ポート	方向	クロック ドメイン	説明
GTH トランシーバー : RXOSINTID0[3:0]	入力	RXUSRCLK2	RX LPM および DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXOSINTOVRDEN	入力	RXUSRCLK2	RX LPM および DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXOSINTSTROBE	入力	RXUSRCLK2	RX LPM および DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXOSINTSTROBESTARTED	入力	RXUSRCLK2	RX LPM および DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : {RXOSINTHOLD,RXOSINTTESTOVRDEN}	入力	RXUSRCLK2	{HOLD,OVRDEN} 2'b00 : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。 2'b10 : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。 2'bx1 : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXADAPTSSELTEST[13:0]	入力	RXUSRCLK2	RX LPM および DFE : 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXDFEVSEN	入力	RXUSRCLK2	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXDFEXYDEN	入力	RXUSRCLK2	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXDFESTADAPTDONE	出力	RXUSRCLK2	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXDFESLIDETAPSTROBESTARTED	出力	RXUSRCLK2	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXDFESLIDETAPSTROBEDONE	出力	RXUSRCLK2	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXDFESLIDETAPSTARTED	出力	RXUSRCLK2	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RXOSINTDONE	出力	RXUSRCLK2	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

表 4-11 に、RX イコライザーの属性を示します。

表 4-11：RX イコライザーの属性

属性	タイプ	説明
RX_OS_CFG[12:0]	13 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。デフォルト値は 13'h0080 です。
RXLPM_LF_CFG[13:0]	14 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。デフォルト値は 14'h00F0 です。
RXLPM_HF_CFG[13:0]	14 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。デフォルト値は 14'h00F0 です。
RX_DFE_LPM_CFG[15:0]	16 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。199 ページの「GTX 使用モード」もあわせて参照してください。
RX_DFE_GAIN_CFG[22:0]	23 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。デフォルト値は 23'h020FEA です。
RX_DFE_H2_CFG[11:0]	12 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。デフォルト値は 12'h000 です。
RX_DFE_H3_CFG[11:0]	12 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。デフォルト値は 12'h040 です。
RX_DFE_H4_CFG[10:0]	11 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。デフォルト値は 11'h0E0 です。
RX_DFE_H5_CFG[10:0]	11 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。デフォルト値は 11'h0E0 です。

表 4-11 : RX イコライザーの属性 (続き)

属性	タイプ	説明
PMA_RSV[31:0]	32 ビット バイナリ	<p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p> <p>GTX トランシーバー :</p> <p>次のビットは RXPI に関連するもので、ライン レートに依存します。</p> <ul style="list-style-type: none"> 32'h0001_8480 : 低ライン レート、CPLL の全範囲、 6GHz ≤ QPLL VCO レート < 6.6GHz 32'h001E_7080 : 高ライン レート、 QPLL > 6.6GHz <p>GTH トランシーバー :</p> <ul style="list-style-type: none"> デフォルト値は 32'h0000080 です。
RX_DFE_LPM_HOLD_DURING_EIDLE	1 ビット バイナリ	<p>1'b0 : デフォルト設定。</p> <p>1'b1 : PCI Express 動作で、電気的アイドル状態の終了後に内部レジスタから DFE のコンテンツを回復します。電気的アイドルの条件が検出されると、DFE 回路をリセット状態に保持します。</p> <p>注記 : 信号減衰が大きいチャネル (Nyquist 周波数で通常 15dB を超えるチャネル損失) では、CJPAT/CJTPAT の 101010 シーケンスのように高速変化するデータ パターンは電気的アイドルをトリガーする可能性があるため、RX_DFE_LPM_HOLD_DURING_EIDLE を 1'b0 に設定することを推奨します。</p>
RX_DFE_XYD_CFG	13 ビット バイナリ	<p>予約。この属性は 13'h0000 に設定する必要があり、これはデフォルト値でもあります。</p>
GTH トランシーバー : RX_DFE_H6_CFG[10:0]	11 ビット バイナリ	<p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p>
GTH トランシーバー : RX_DFE_H7_CFG[10:0]	11 ビット バイナリ	<p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p>
GTH トランシーバー : RX_DFE_ST_CFG[53:0]	54 ビット バイナリ	<p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p>
GTH トランシーバー : RX_DFELPM_KLKH_AGC_STUP_EN	1 ビット バイナリ	<p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p>
GTH トランシーバー : RX_DFELPM_CFG0[3:0]	4 ビット バイナリ	<p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p>
GTH トランシーバー : RX_DFELPM_CFG1	1 ビット バイナリ	<p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p>

表 4-11 : RX イコライザーの属性 (続き)

属性	タイプ	説明
GTH トランシーバー : RX_DFE_KL_LPM_KH_CFG0[1:0]	2 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RX_DFE_KL_LPM_KH_CFG1[2:0]	3 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RX_DFE_KL_LPM_KH_CFG2[3:0]	4 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RX_DFE_KL_LPM_KL_CFG0[1:0]	2 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RX_DFE_KL_LPM_KL_CFG1[2:0]	3 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RX_DFE_KL_LPM_KL_CFG2[3:0]	4 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RX_DFE_AGC_CFG0[1:0]	2 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RX_DFE_AGC_CFG1[2:0]	3 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RX_DFE_AGC_CFG2[3:0]	4 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RX_DFE_KL_LPM_KH_OVRDEN	1 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : RX_DFE_KL_LPM_KL_OVRDEN	1 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : ADAPT_CFG0[19:0]	20 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTX トランシーバー : PMA_RSV4[31:0] (未接続)	32 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : PMA_RSV4[14:0]	15 ビット バイナリ	
GTX トランシーバー : PMA_RSV2[15:0]	16 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
GTH トランシーバー : PMA_RSV2[31:0]	32 ビット バイナリ	

表 4-11 : RX イコライザーの属性 (続き)

属性	タイプ	説明
GTX トランシーバー : RX_BIAS_CFG[11:0]	12 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。デフォルト値は 12'h040 です。
GTH トランシーバー : RX_BIAS_CFG[23:0]	24 ビット バイナリ	
GTX トランシーバー : RX_DEBUG_CFG[11:0]	12 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。97 ページの「デジタル モニター」もあわせて参照してください。
GTH トランシーバー : RX_DEBUG_CFG[13:0]	14 ビット バイナリ	
GTX トランシーバー : RX_DFE_KL_CFG[12:0] RX_DFE_KL_CFG2[31:0]	13 ビット バイナリ 32 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。199 ページの「GTX 使用モード」もあわせて参照してください。
GTH トランシーバー : RX_DFE_KL_CFG[31:0]	32 ビット バイナリ	
RX_DFE_UT_CFG[16:0]	17 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。デフォルト値は 17'h11E00 です。
RX_DFE_VP_CFG[16:0]	17 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。デフォルト値は 17'h03F03 です。

GTX 使用モード

LPM モードまたは DFE モードを選択する

LPM モードは、Nyquist 周波数でチャネル損失が 12dB 以下で、ライン レートが最大で 11.2Gb/s となる信号の到達距離の短いアプリケーションに使用することを推奨します。

DFE モードは、Nyquist 周波数でチャネル損失が 8dB 以上の信号の到達距離が中長距離となるアプリケーションに使用することを推奨します。DFE の使用は、ノイズやクロストークを増加させることなくチャネルにイコライゼーションを適用させるのに適しています。さらに、GTX トランシーバーの最初の 5 つのポスト カーソル内でチャネルの不整合性が原因で発生する反射も修正可能です。DFE モードの使用は、クロストークが問題となっている場合やシングル ビット応答の解析で反射が確認された場合に最適です。

DFE モードについては、8B/10B アプリケーションまたはデータのスクランブルが適用されていない場合に使用する際は注意が必要です。データに適切に対応できるように、DFE モードでの自動適応には、入力データがランダムである必要があります。たとえば、XAUI アプリケーションでは、ユーザー ペイロード データはスクランブルされておらず、8B/10B エンコードされています。ユーザー ペイロードは一般にランダムとなりますが、データの周波数成分は本質的にエンコードによ

で制限されており、繰り返しパターンが発生しないようにプロトコルで規定されていません。これらの繰り返しパターンが原因で、自動適応アルゴリズムが理想的なイコライゼーションの設定からかけ離れたものになる可能性があります。PRBS7 (または高次多項式) と類似の特性を持つパターンは十分にランダムであるため、自動適応では正しいイコライゼーションの設定を選択できます。LPM モードの 8B/10B アプリケーションでは、データのスクランブルありまたはなしの繰り返しパターン (アイドル パターン) は、いずれも適応実行中に利用できます。

LPM モードを使用する

GTX LPM および DFE モードは異なる CTLE ブロックを採用しています。さらに、GTX トランシーバーにはベースライン ワンダー キャンセル回路があります。GTX トランシーバーでは、LPM モードでの CTLE およびベースライン ワンダー キャンセルが完全に適応されているため、ゲイン属性の設定を手動で調整する必要がありません。

LPM モードの選択には、RXLP MEN ポートを 1'b1 に設定します。

DFE モードを使用する

DFE モードは、AGC、CTLE、DFE、およびベースライン ワンダー キャンセレーションを使用し、てチャンネルの効用にイコライゼーションを適用できます。

DFE モードの選択には、RXLP MEN ポートを 1'b0 に設定します。

AGC、DFE、およびベースライン ワンダー キャンセレーションが自動的に適用されます。この適用は、特定の適応ループに対して HOLD ポートをアサートすることで維持できます。たとえば、DFE Tap 2 の現在の適応値を保持するには、RXDFETAP2HOLD ポートを 1 に設定してください。適応された値は、このポートがアサートされている間、あるいは GTRXRESET、RXPMARESET、または RXDFELPMRESET がパルスされるまで保持されます。GTRXRESET、RXPMARESET、または RXDFELPMRESET がパルスされると、保持されている値は RX イコライザーの属性で設定された初期値で上書きされます。継続して適用させるには、RXDFETAP2HOLD を 0 に設定し直してください。表 4-10 に、さまざまな適応ループの HOLD ポートをすべて示します。

DFE トレーニング/初期化

RXDFEAGCHOLD および RXDFELFHOLD は、AGC 適応値を固定させるために、トレーニング後にアサートする必要があります。(詳細は、『Virtex-7 FPGA データシート：DC 特性およびスイッチ特性』(DS183) を参照し、入力データのロックに必要な時間、 T_{DLOCK} を確認してください。)

GTX トランシーバーのみ：DFE モード — CTLE 使用モデル

GTX DFE モードでの CTLE は、自動適応モードおよび固定モードの 2 つの方法で使用できます。チャンネル解析は、自動適応 CTLE モードを使用する必要があり、高度な使用モードと考えられます。

GTX トランシーバーのみ：CTLE 自動適応モード (高度な使用モード)

GTX DFE モードの CTLE は、チャンネルの挿入損失の偏差が最小の場合、自動適応モードで使用できます。

自動適応モードで CTLE を使用するには、次の属性を設定する必要があります。

- `RX_BIAS_CFG[5:4] = 2'b11`
- `RX_DFE_KL_CFG2[26:23] = 4'b0111`
- `RX_DFE_LPM_CFG[5:2] = 4'b0010`

GTX トランシーバーのみ : CTLE 固定モード

固定モードで CTLE を使用するには、Nyquist 周波数での挿入損失または 2 分周されたライン レートを確認しておく必要があります。CTLE は 2 つのコンポーネントで構成されています。中/高の周波数ブースト コンポーネントとその後に続く広帯域ゲイン コンポーネントです。

中/高の周波数ブースト コンポーネントは、RX_DFE_KL_CFG2 属性、ビット位置 [8:5] および [17:14] で制御されます。これらの 2 つの属性フィールドは、互いに同じにしておく必要があります。

広帯域ゲイン コンポーネントは、RX_DFE_KL_CFG2[26:23] 属性で制御されます。この CTLE コンポーネントを用いて、すべての周波数を図 4-19 に示す帯域幅の範囲内でブーストしたり減衰させることが可能です。

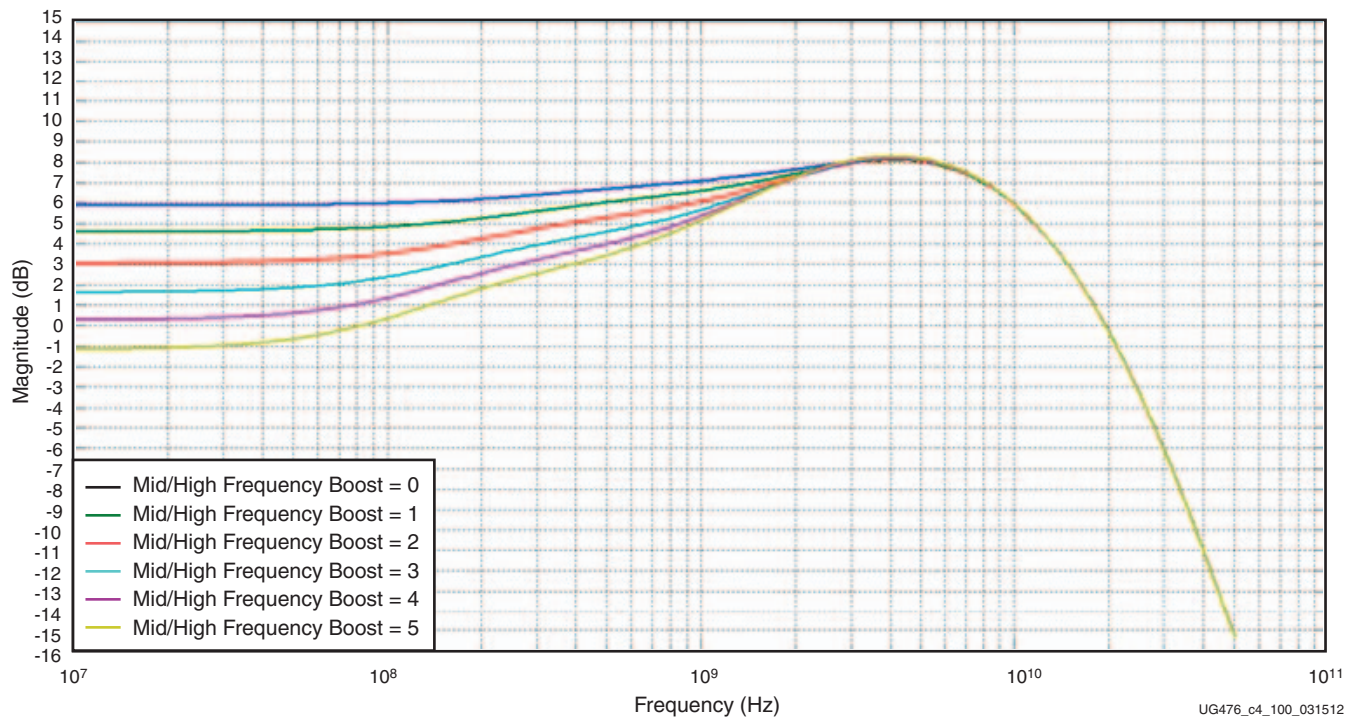


図 4-19 : GTX DFE モードの CTLE 周波数応答

表 4-12 に、CTLE 属性の許容範囲および標準の中/高周波数ブーストを示します。中/高の周波数ブーストは、DC と中/高周波数ピーキング間のゲインの相対差です。

表 4-12 : GTX CTLE 属性の範囲および標準の中/高周波数ブースト

中/高周波数ブースト		広帯域ゲイン	標準ブースト (dB)
RX_DFE_KL_CFG2[8:5]	RX_DFE_KL_CFG2[17:14]	RX_DFE_KL_CFG2[26:23]	
0	0	0-7	2
1	1	0-7	3
2	2	0-7	5
3	3	0-7	6
4	4	0-7	8
5	5	0-7	9

表 4-13 に、Nyquist 周波数でのさまざまなチャネルの挿入損失に対する標準使用モデルを示します。

表 4-13 : Nyquist 周波数でのチャネルの挿入損失に対する GTX 使用モデル

Nyquist 周波数での損失 (dB)	TX FIR エンファシス (dB)	中/高周波数ブースト RX_DFE_KL_CFG2		広帯域ゲイン RX_DFE_KL_CFG2
		ビット [8:5]	ビット [17:14]	ビット [26:23]
<15	0	0	0	3–6
		1	1	
15–25	6	1	1	(1)
		2	2	
		3	3	
25–30	6	4	4	0–3
		5	5	

注記：

1. 広帯域ゲインに関する一般的なガイドランは次のとおりです。
起動振幅 $\geq 1000\text{mVppd}$ の場合、広帯域ゲインは 7 です。
起動振幅 $\leq 300\text{mVppd}$ の場合、広帯域ゲインは 0 です。
これ以外では、広帯域ゲイン = 丸め (起動振幅 - 300)/100 となります。

GTH 使用モード

LPM モードまたは DFE モードを選択する

LPM モードは、Nyquist 周波数でチャネル損失が 14dB 以下の信号の到達距離が短いアプリケーションに使用することを推奨します。

DFE モードは、Nyquist 周波数でチャネル損失が 8dB 以上の信号の到達距離が中長距離となるアプリケーションに使用することを推奨します。DFE モードの使用は、ノイズやクロストークを増加させることなくチャネルにイコライゼーションを適用させるのに適しています。さらに、GTH トランシーバーの最初の 63 のポスト カーソル内でチャネルの不整合性によって発生する反射も修正可能です。DFE モードの使用は、クロストークが問題となっている場合やシングル ビット応答の解析で反射が確認された場合に最適です。

DFE モードについては、8B/10B アプリケーションまたはデータのスクランブルが適用されていない場合に使用する際は注意が必要です。データに適切に対応できるように、DFE モードでの自動適応には、入力データがランダムである必要があります。たとえば、XAUI アプリケーションでは、ユーザー ペイロード データはスクランブルされておらず、8B/10B エンコードされています。ユーザー ペイロードは一般にランダムとなりますが、データの周波数成分は本質的にエンコードによって制限されており、繰り返しパターンが発生しないようにプロトコルで規定されていません。これらの繰り返しパターンが原因で、自動適応アルゴリズムが理想的なイコライゼーションの設定からかけ離れたものになる可能性があります。PRBS7 (または高次多項式) に類似した特性を持つパターンは十分にランダムであるため、自動適応は正しいイコライゼーションの設定を適切に選択できます。LPM モードの 8B/10B アプリケーションでは、データのスクランブルありまたはなしの繰り返しパターン (アイドルパターン) は、いずれも適応実行中に利用できます。

LPM モードを使用する

GTH LPM および DFE モードは同じ CTLE ブロックを共有します。さらに、GTH トランシーバーにはベースライン ワンダー キャンセル回路があります。GTH トランシーバーでは、LPM モードでの CTLE およびベースライン ワンダー キャンセルが完全に適応されているため、ゲイン属性の設定を手動で調整する必要がありません。LPM モードの選択には、RXLPMEN ポートを 1'b1 に設定します。

DFE モードを使用する

完全自動適応は、GTH DFE の一般的な使用モードです。CTLE および AGC は完全に適用されているため、ゲイン属性の設定を手動で調整する必要がありません。チャンネル損失および TX 有限インパルス応答 (FIR) のガイドラインは、表 4-14 を参照してください。

LPM および DFE の両モードでは、CTLE および AGC を完全自動適応モードでコンフィギュレーションするために次の属性を設定する必要があります。

- RX_DFE_KL_LPM_KH_OVRDEN = 1'b1
- RX_DFE_KL_LPM_KL_OVRDEN = 1'b1
- RX_DFE_AGC_OVRDEN = 1'b1

表 4-14 : GTH DFE チャンネル損失のガイドライン

RX モード	TX FIR エンファシス (dB)	Nyquist での チャンネル損失 (dB)	Nyquist 周波数 (GHz)	ライン レート (Gb/s)
DFE	0	15dB 以下の 短距離	最大 6.55	最大 13.1
	6	中距離 15 ~ 20dB	最大 6.25	最大 13.1
	6	長距離 20dB+	最大 6.55	最大 13.1

スライドタップは、高度な使用モードです。

GTX および GTH トランシーバー：実行時の LPM および DFE モードの切り替え

マルチレート アプリケーションでは、LPM (低ラインレート) と DFE (高ラインレート) の切り替えが要求される可能性があります。LPM モードと DFE モードの切り替えには、次の手順を実行する必要があります。

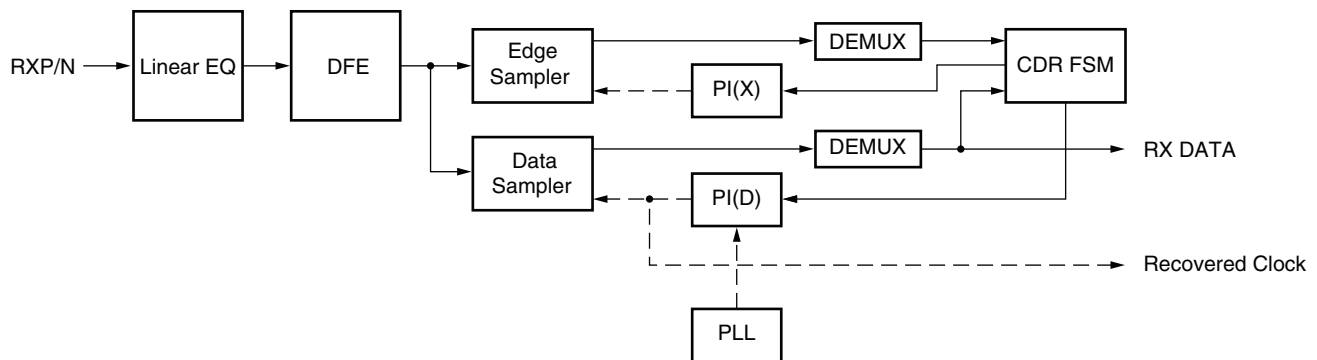
1. RXLPMEN (RXLPMEN = ~RXLPMEN) の現在値を反転します。
2. RXPMARESET をアサートしてレシーバーの PMA をリセットします。

RXPMARESET の詳細は、72 ページの「RX の初期化およびリセット」を参照してください。

RX CDR

機能の説明

各 GTXE2_CHANNEL/GTHE2_CHANNEL トランシーバーにある RX のクロック データ リカバリ (CDR) 回路によってリカバリ クロックおよびデータが入力データ ストリームから抽出されます。図 4-20 に、CDR ブロックのアーキテクチャの詳細を示します。わかりやすいようにクロックパスを破線で示しています。

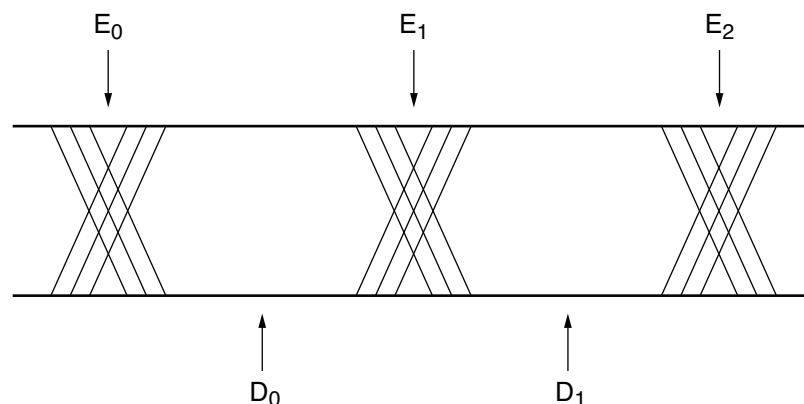


UG476_c4_05_061511

図 4-20 : CDR の詳細図

GTXE2_CHANNEL/GTHE2_CHANNEL トランシーバーでは、位相ローテーターを搭載した CDR アーキテクチャを採用しています。入力されたデータは、最初にレシーバーのイコライゼーション ステージを通過します。平均化されたデータは、エッジ サンプラーおよびデータ サンプラーでキャプチャされます。データ サンプラーでキャプチャされたデータは、CDR ステート マシンを通過してダウンストリームのトランシーバー ブロックへ転送されます。

CDR ステート マシンは、エッジ サンプラーとデータ サンプラーの両方のデータを使用して入力データ ストリームの位相を判断し、位相補間 (PI) を制御します。エッジ サンプラーの位相はデータ ストリームが変更する部分に位置し、データ サンプラーの位相はデータ アイの中央に位置します。



UG476_c4_06_091610

図 4-21 : CDR サンプラーの位置

CPLL または QPLL が位相インターポレーターに基本クロックを提供し、位相補間が高精度で等間隔のサンプリング位相を生成することによって、CDR ステート マシンの細かい位相制御が可能になります。CDR ステート マシンは、ローカル PLL 基準クロックから周波数オフセットがある入力データ ストリームをトラッキングできます。CDR ステート マシンは、ローカル PLL 基準クロックから周波数オフセットがある入力データ ストリームをトラッキングできます。

ポートおよび属性

表 4-15 に、CDR のポートを示します。

表 4-15 : CDR のポート

ポート	方向	クロック ドメイン	説明
RXCDRFREQRESET	入力	非同期	CDR の周波数検出器をリセットします。 予約。Low に接続してください。
RXCDRHOLD	入力	非同期	CDR 制御ループを停止状態に保持します。
RXC德罗VDEN	入力	非同期	予約
RXCDDRRESET	入力	非同期	CDR の位相検出器をリセットします。 予約。Low に接続してください。
RXCDDRRESETRSV	入力	非同期	予約
RXRATE[2:0]	入力	RXUSRCLK2	GTX/GTH トランシーバー RX で有効な PLL 分周器の値を自動的に変更するダイナミック ピンです。これらのポートは、PCI Express やその他の規格で使用されます。 000 : RXOUT_DIV 属性を使用 001 : 1 で分周 010 : 2 で分周 011 : 4 で分周 100 : 8 で分周 101 : 16 で分周 110 : 1 で分周 111 : 1 で分周 RXBUF_RESET_ON_RATE_CHANGE 属性が、オプションの自動リセット機能を有効にします。
RXCDDRLOCK	出力	非同期	予約
RXOSHOLD	入力	非同期	1'b1 に設定すると、現在のオフセット キャンセレーション値が保持されます。 1'b0 に設定すると、オフセット キャンセレーション値が適用されます。
RXOSOVRDEN	入力	非同期	1'b1 に設定すると、オフセット キャンセレーションが RX_OS_CFG 属性によって制御されます。 1'b0 に設定すると、RX_OS_CFG が RXOSHOLD 信号によって制御されます。

表 4-16 に、CDR 関連の属性を示します。

表 4-16 : CDR の属性

属性	タイプ	説明
RXCDR_CFG	72 ビットの 16 進数	CDR のコンフィギュレーション。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RXCDR_LOCK_CFG	6 ビット バイナリ	CDR のロックループのコンフィギュレーション。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RXCDR_HOLD_DURING_EIDLE	バイナリ	1'b0 : デフォルト設定 1'b1 : CDR は、PCI Express 動作における電氣的アイドル状態のオプション リセットシーケンス中に内部ステートを保持できる 注記： 信号減衰が大きいチャネル (Nyquist 周波数で通常 15dB を超えるチャネル損失) では、CJPAT/CJTPAT の 101010 シーケンスのように高速変化するデータ パターンは電氣的アイドルをトリガーする可能性があるため、RXCDR_HOLD_DURING_EIDLE を 1'b0 に設定することを推奨します。
RXCDR_FR_RESET_ON_EIDLE	バイナリ	1'b0 : デフォルト設定。 1'b1 : PCI Express 動作における電氣的アイドル状態のオプション リセットシーケンス中に CDR 周波数の自動リセット機能を有効にする 注記： 信号減衰が大きいチャネル (Nyquist 周波数で通常 15dB を超えるチャネル損失) では、CJPAT/CJTPAT の 101010 シーケンスのように高速変化するデータ パターンは電氣的アイドルをトリガーする可能性があるため、RXCDR_FR_RESET_ON_EIDLE を 1'b0 に設定する必要があります。
RXCDR_PH_RESET_ON_EIDLE	バイナリ	1'b0 : デフォルト設定 1'b1 : PCI Express 動作における電氣的アイドル状態のオプション リセットシーケンス中に CDR 位相の自動リセット機能を有効にする 注記： 信号減衰が大きいチャネル (Nyquist 周波数で通常 15dB を超えるチャネル損失) では、CJPAT/CJTPAT の 101010 シーケンスのように高速変化するデータ パターンは電氣的アイドルをトリガーする可能性があるため、RXCDR_PH_RESET_ON_EIDLE を 1'b0 に設定する必要があります。

表 4-16 : CDR の属性 (続き)

属性	タイプ	説明
RX_OS_CFG	13 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

RXMONITORSEL[1:0] によって、RXMONITOROUT[6:0] への適応値 (AGC、UT、VP) の出力を選択します。詳細は、[188 ページの「RX イコライザー \(DFE および LPM\)」](#)を参照してください。

GTX/GTH 使用モード

RX CDR を基準にロックする

CDR を基準にロックするには、RXCDRHOLD を 1'b1 に、RXCDROVRDEN を 1'b0 に設定します。

ライン レートおよび選択したプロトコルを変更するために RX CDR 設定を動的に変更する

RX CDR 設定を動的に変更する際のイベント シーケンスを次に示します。CDR の変更に関連する情報のみが記載されています。

1. 準備が整ったら (すべての有効なデータがレシーバー データパスから消去された状態)、DRP を使用し、RXCDR_CFG[71:0] (GTX)/RXCDR_CFG[83:0] (GTH) 属性を用いて CDR ループ フィルター設定の変更をインプリメントします。[表 4-17](#) および [表 4-19](#) に、この属性の推奨される設定を示します。
2. QPLLREFCLKSEL/CPLLREFCLKSEL ポートおよび/または DRP を介して、[表 2-10](#) と [表 2-14](#) にリストされている属性を変更します。
3. [63 ページの「CPLL リセット」](#) および [64 ページの「QPLL リセット」](#) で説明されているリセット ガイドラインに従います。
4. CPLL/QPLL がロックされたら、GTRXRESET をアサートし、[80 ページの「GTRXRESET パルスに応答する GTX/GTH トランシーバー RX のリセット」](#)で説明されているガイドラインに従います。
5. RXRESETDONE 信号が High に遷移した後、トランシーバーの動作を継続させる前に正しいデータを検証する必要があります (つまり、既知のデータ パターンをチェックする)。

CDR ループ フィルター設定のみを調整するために RX CDR 設定を動的に変更する

1. 準備が整ったら (すべての有効なデータがレシーバー データパスから消去された状態)、DRP を使用し、RXCDR_CFG[71:0] (GTX)/RXCDR_CFG[83:0] (GTH) 属性を用いて CDR ループ フィルター設定の変更をインプリメントします。[表 4-17](#) および [表 4-19](#) に、この属性の推奨される設定を示します。
2. GTRXRESET ポートをアサートし、[80 ページの「GTRXRESET パルスに応答する GTX/GTH トランシーバー RX のリセット」](#)で説明されているガイドラインに従います。
3. RXRESETDONE 信号が High に遷移した後、トランシーバーの動作を継続させる前に正しいデータを検証する必要があります (つまり、既知のデータ パターンをチェックする)。

表 4-17：スクランブル後/PRBS データ用 GTX CDR の推奨設定⁽¹⁾ (SSC なし⁽²⁾)

PLL	LPM/DFE	データ レート	RXOUT_DIV	REFCLK PPM	RXCDR_CFG
CPLL/QPLL	LPM	6.6G よりも大きい	1	±200	72'h0B_0000_23FF_1040_0020
		6.6G 以下	1		72'h03_0000_23FF_1020_0020
		6.6G よりも大きい	1	±700	72'h0B_8000_23FF_1040_0020
		6.6G 以下	1		72'h03_8000_23FF_1020_0020
		6.6G よりも大きい	1	±1250	72'h0B_8000_23FF_1020_0020
		6.6G 以下	1		72'h03_8000_23FF_1020_0020
	DFE	6.6G よりも大きい	1	±200	72'h0B_0000_23FF_1040_0020
		6.6G 以下	1		72'h03_0000_23FF_2040_0020
		6.6G よりも大きい	1	±700	72'h0B_8000_23FF_1040_0020
		6.6G 以下	1		72'h03_8000_23FF_2040_0020
		6.6G よりも大きい	1	±1250	72'h0B_8000_23FF_1020_0020
		6.6G 以下	1		72'h03_8000_23FF_1020_0020
CPLL/QPLL	LPM/DFE	1.6G ～ 6.25G	2	±200	72'h03_0000_23FF_4020_0020
			2		
			2	±700	72'h03_8000_23FF_4020_0020
			2		
			2	±1250	
			2		
CPLL/QPLL	LPM/DFE	0.8G ～ 3.125G	4	±200	72'h03_0000_23FF_4010_0020
			4		
			4	±700	72'h03_8000_23FF_4010_0020
			4		
			4	±1250	
			4		
CPLL/QPLL	LPM/DFE	0.5G ～ 1.5625G	8	±200	72'h03_0000_23FF_4008_0020
			8		
			8	±700	72'h03_8000_23FF_4008_0020
			8		
			8	±1250	
			8		

注記：

1. プロトコル固有の設定には、7 Series FPGA Transceivers Wizard および/またはプロトコル特性評価レポートからの推奨値を使用してください。
2. スペクトラム拡散クロック (SSC) を利用し、電磁干渉 (EMI) のスペクトル密度を低減します。

表 4-18 : プロトコル用 GTX CDR の推奨設定 (SSC あり)

PLL	LPM/DFE	データ レート	RXOUT_DIV	SSC を用いる REFCLK PPM	RXCDR_CFG
CPLL/QPLL	LPM/DFE	6.6G 以下	1	±700 FM 33KHz 三角波	72'h03_8000_23FF_1040_0008

表 4-19 : 8B/10B エンコード データ用 GTX CDR の推奨設定⁽¹⁾ (SSC なし⁽²⁾)

PLL	LPM/DFE	データ レート	RXOUT_DIV	REFCLK PPM	RXCDR_CFG
CPLL/QPLL	LPM/DFE	6.6G 以下	1	±200	72'h03_0000_23FF_1040_0020
			1		
			1	±700	72'h03_8000_23FF_1040_0020
			1		
			1	±1250	
			1		
CPLL/QPLL	LPM/DFE	1.6G ~ 6.25G	2	±200	72'h03_0000_23FF_1020_0020
			2		
			2	±700	72'h03_8000_23FF_1020_0020
			2		
			2	±1250	
			2		
CPLL/QPLL	LPM/DFE	0.8G ~ 3.125G	4	±200	72'h03_0000_23FF_1010_0020
			4		
			4	±700	72'h03_8000_23FF_1010_0020
			4		
			4	±1250	
			4		
CPLL/QPLL	LPM/DFE	0.5G ~ 1.5625G	8	±200	72'h03_0000_23FF_1008_0020
			8		
			8	±700	72'h03_8000_23FF_1008_0020
			8		
			8	±1250	
			8		

注記 :

1. プロトコル特定の設定には、7 Series FPGA Transceivers Wizard および/またはプロトコル特性評価レポートからの推奨値を使用してください。
2. スペクトラム拡散クロック (SSC) を利用し、電磁干渉 (EMI) のスペクトル密度を低減します。
3. RX_DEBUG_CFG は、すべての設定について 12'h000 です。
4. LPM モードは、8B/10B エンコード データに使用することを推奨します。

表 4-20：スクランブル後/PRBS データ用 GTH CDR の推奨設定⁽¹⁾ (SSC なし⁽²⁾)

PLL	LPM/DFE	データ レート	RXOUT_DIV	REFCLK PPM	RXCDR_CFG
CPLL/QPLL	LPM	8G よりも大きい	1	±200	83'h0_0020_07FE_2000_C208_001A
		8G 以下	1		83'h0_0020_07FE_2000_C208_0018
		8G よりも大きい	1	±700	83'h0_0020_07FE_2000_C208_801A
		8G 以下	1		83'h0_0020_07FE_2000_C208_8018
		8G よりも大きい	1	±1250	83'h0_0020_07FE_1000_C208_801A
		8G 以下	1		83'h0_0020_07FE_1000_C208_8018
	DFE	8G よりも大きい	1	±200	83'h0_0020_07FE_2000_C208_001A
		8G 以下	1		83'h0_0020_07FE_2000_C208_0018
		8G よりも大きい	1	±700	83'h0_0020_07FE_2000_C208_801A
		8G 以下	1		83'h0_0020_07FE_2000_C208_8018
		8G よりも大きい	1	±1250	83'h0_0020_07FE_1000_C208_801A
		8G 以下	1		83'h0_0020_07FE_1000_C208_8018
CPLL/QPLL	LPM/DFE	1.6G ~ 6.55G	2	±200	83'h0_0020_07FE_1000_C220_0018
			2		
			2	±700	83'h0_0020_07FE_1000_C220_8018
			2		
			2	±1250	
			2		
CPLL/QPLL	LPM/DFE	0.8G ~ 3.275G	4	±200	83'h0_0020_07FE_0800_C220_0018
			4		
			4	±700	83'h0_0020_07FE_0800_C220_8018
			4		
			4	±1250	
			4		
CPLL/QPLL	LPM/DFE	0.5G ~ 1.6375G	8	±200	83'h0_0020_07FE_0400_C220_0018
			8		
			8	±700	83'h0_0020_07FE_0400_C220_8018
			8		
			8	±1250	
			8		

注記：

1. プロトコル特定の設定には、7 Series FPGA Transceivers Wizard および/またはプロトコル特性評価レポートからの推奨値を使用してください。
2. スペクトラム拡散クロック (SSC) を利用し、電磁干渉 (EMI) のスペクトル密度を低減します。

表 4-21 : 8B/10B エンコード データ用 GTH CDR の推奨設定⁽¹⁾ (SSC なし⁽²⁾)

PLL	LPM/DFE	データ レート	RXOUT_DIV	REFCLK PPM	RX_CDR_CFG	RX_DEBUG_CFG
CPLL/QPLL	LPM/DFE	6.6G 以下	1	±200	83'h0_0020_07FE_2000_C208_0018	14'h000
			1			14'h000
			1	±700	83'h0_0020_07FE_2000_C208_8018	14'h000
			1			14'h000
			1	±1250		14'h000
			1			14'h000
CPLL/QPLL	LPM/DFE	1.6G ~ 6.55G	2	±200	83'h0_0020_07FE_1000_C208_0018	14'h000
			2			14'h000
			2	±700	83'h0_0020_07FE_1000_C208_8018	14'h000
			2			14'h000
			2	±1250		14'h000
			2			14'h000
CPLL/QPLL	LPM/DFE	0.8G ~ 3.275G	4	±200	83'h0_0020_07FE_0800_C208_0018	14'h000
			4			14'h000
			4	±700	83'h0_0020_07FE_0800_C208_8018	14'h000
			4			14'h000
			4	±1250		14'h000
			4			14'h000
CPLL/QPLL	LPM/DFE	0.5G ~ 1.6375G	8	±200	83'h0_0020_07FE_0400_C208_0018	14'h000
			8			14'h000
			8	±700	83'h0_0020_07FE_0400_C208_8018	14'h000
			8			14'h000
			8	±1250		14'h000
			8			14'h000

注記：

1. プロトコル特定の設定には、7 Series FPGA Transceivers Wizard および/またはプロトコル特性評価レポートからの推奨値を使用してください。
2. スペクトラム拡散クロック (SSC) を利用し、電磁干渉 (EMI) のスペクトル密度を低減します。
3. LPM モードは、8B/10B エンコード データに使用することを推奨します。

RX のファブリック クロック出力制御

機能の説明

RX クロック分周制御ブロックは、2 つのコンポーネント (シリアル クロック分周制御、パラレル クロック分周制御とセレクター制御) で構成されています。図 4-22 に、クロック分周器とセレクターの詳細図を示します。

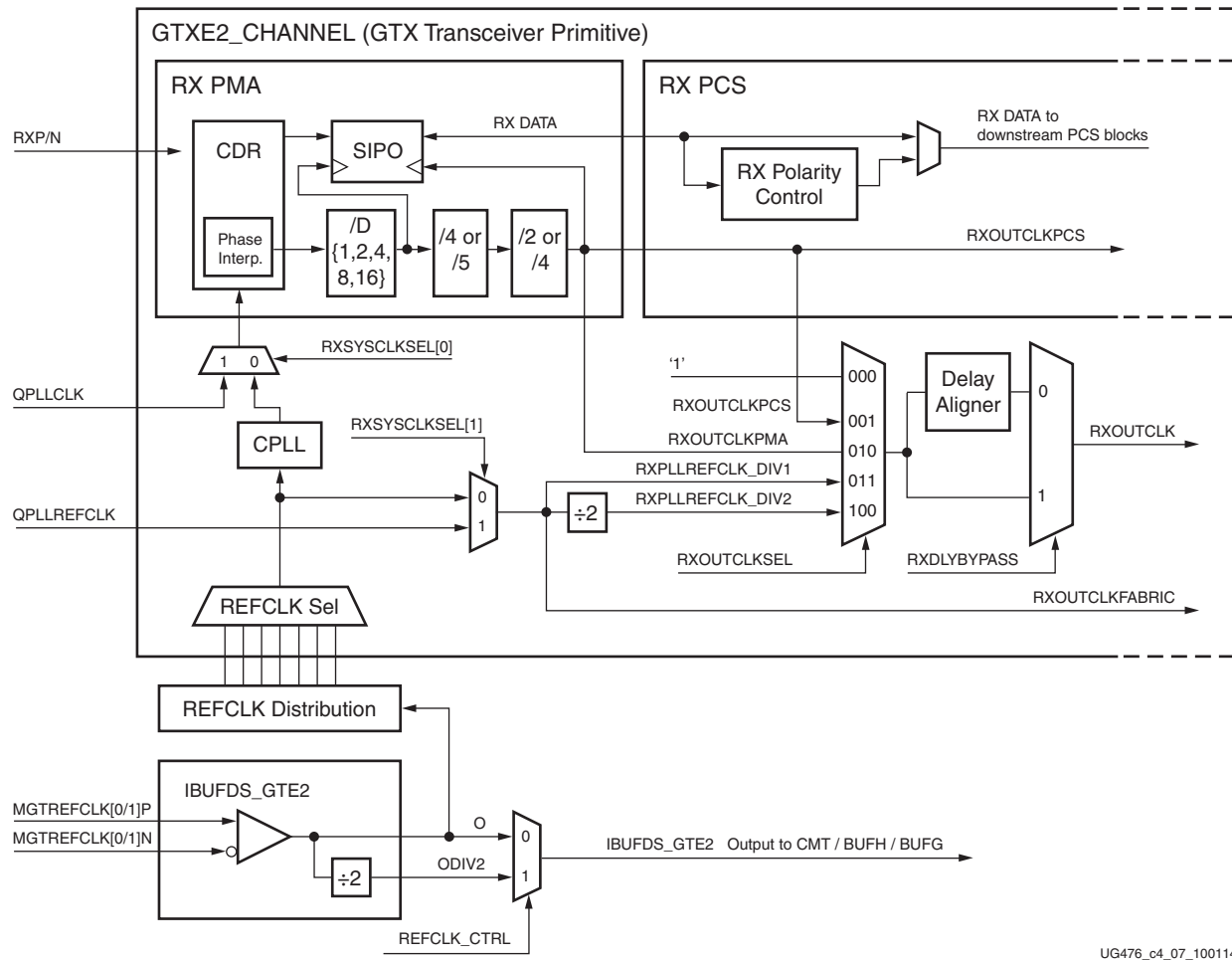


図 4-22 : RX シリアルおよびパラレル クロック分周器

図 4-22 について説明します。

1. RXOUTCLKPCS および RXOUTCLKFABRIC は冗長出力であるため、新規デザインには RXOUTCLK を使用してください。
2. REFCLK_CTRL オプションは、ソフトウェアで自動的に制御され、ユーザー制御はできません。ユーザーは、IBUFDS_GTE2 の出力または ODIV2 出力のいずれか一方のみを、CMT (PLL、MMCM または BUFMRCE)、BUFH、または BUFG を介して FPGA ロジックへ接続できます。
3. IBUFDS_GXE2 は、クロッキング手法に柔軟性を与えるための冗長出力です。
4. GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブには、CPLL が 1 つだけあります。適用できる場合は、GTXE2_COMMON/GTHE2_COMMON の QPLL も使用できます。

5. 1/4 または 1/5 分周ブロックの選択は、GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブの RX_DATA_WIDTH 属性で制御されます。RX_DATA_WIDTH = 16、32、または 64 の場合は、1/4 が選択されます。RX_DATA_WIDTH = 20、40、または 80 の場合は、1/5 が選択されます。
6. 1/2 または 1/4 分周ブロックの選択は、GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブの RX_INT_DATAWIDTH 属性で制御されます。RX_INT_DATAWIDTH = 0 (2 バイトの内部データパス) の場合は 1/2 が選択され、RX_INT_DATAWIDTH = 1 (4 バイトの内部データパス) の場合は 1/4 が選択されます。
7. クロック リソース (MMCM、IBUFDS_GTE2、BUFG など) の配置制約および制限の詳細は、『7 シリーズ FPGA クロッキング リソース ユーザー ガイド』([UG472](#)) を参照してください。

シリアル クロック分周器

各トランスミッター PMA モジュールには、PLL からのクロックを分周して低ライン レートをサポートする分周器 (D) があります。このシリアル クロック分周器は、ライン レートが一定のアプリケーションに対してあらかじめ設定できます。また、複数のライン レートを使用するアプリケーションでは、動的に変更することも可能です。シリアル分周器の制御については、[表 4-22](#) を参照してください。各スピード グレードのライン レート範囲は、適切なデータシートを参照してください。

ライン レートが一定のアプリケーションで D 分周器を使用する場合は、RXOUT_DIV 属性を適切な値に設定し、RXRATE ポートを 3'b000 に接続する必要があります。詳細は、[表 4-22](#) の「属性を使用する固定設定」を参照してください。

複数ライン レートを使用するアプリケーションで分周器 (D) を使用する場合は、RXRATE ポートを使用して D 値を動的に選択します。RXOUT_DIV 属性と RXRATE ポートは、デバイス設定時に同じ D 値を設定する必要があります。デバイス コンフィギュレーション完了後に、RXRATE ポートを使用して D 値を動的に変更します。詳細は、[表 4-22](#) の「ポートを使用する動的設定」を参照してください。

表 4-22 : RX PLL 出力分周器の設定

分周器 (D) の値	属性を使用する固定設定	ポートを使用する動的制御
1	RXOUT_DIV = 1 RXRATE = 3'b000	RXOUT_DIV = Ignored RXRATE = 3'b001
2	RXOUT_DIV = 2 RXRATE = 3'b000	RXOUT_DIV = Ignored RXRATE = 3'b010
4	RXOUT_DIV = 4 RXRATE = 3'b000	RXOUT_DIV = Ignored RXRATE = 3'b011
8	RXOUT_DIV = 8 RXRATE = 3'b000	RXOUT_DIV = Ignored RXRATE = 3'b100
16	RXOUT_DIV = 16 RXRATE = 3'b000	RXOUT_DIV = Ignored RXRATE = 3'b101

パラレル クロック分周器およびセクター

RX クロック分周器制御ブロックからのパラレル クロック出力は、ライン レートおよびプロトコルの要件に応じて、ファブリック ロジック クロックとして使用できます。

FPGA ロジックの推奨クロックは、いずれかの GTX/GTH トランシーバーから出力される RXOUTCLK です。また、MGTREFCLK を直接ファブリックへ接続してファブリック クロックとして使用することも可能です。RXOUTCLK は、固定データパス遅延のために RX バッファをバイパスするアプリケーションで使用される出力遅延制御がある通常アプリケーションで使用されません。詳細は、247 ページの「RX バッファのバイパス」を参照してください。

RXOUTCLKSEL ポートで入力セクターを制御し、TXOUTCLK ポートから次のようなクロックを出力できます。

- RXOUTCLKSEL = 3'b001 : PCS ブロックで余分な遅延を招くため、推奨されていません。
- RXOUTCLKSEL = 3'b010 : RXOUTCLKPMA は、FPGA ロジックで用いられるリカバリ クロックです。このクロックは、クロック補正機能がないプロトコルで使用され、データに同期するクロックやリカバリ クロックが必要な場合、またはダウンストリーム ロジックへクロックを提供する場合に使用されます。また、RX PCS ブロックにも使用されます。このクロックは、関連するリセット信号によって PLL または CDR がリセットされると中断されます。
- RXOUTCLKSEL = 3'b011 または 3'b100 : RXPLLREFCLK_DIV1 または RXPLLREFCLK_DIV2: CPLL または QPLL (RXSYSCLKSEL[1] の設定に依存) へ入力される基準クロックです。ファブリックへリカバリ クロックを出力する必要がない場合は、RXPLLREFCLK_DIV1 または RXPLLREFCLK_DIV2 をシステム クロックとして使用できます。ただし、通常は TXOUTCLK をシステム クロックとして使用します。

ポートおよび属性

表 4-23 に、RX のファブリック クロック出力制御で使用するポートを示します。

表 4-23 : RX のファブリック クロック出力制御のポート

ポート	方向	クロック ドメイン	説明
RXOUTCLKSEL[2:0]	入力	非同期	マルチプレクサーのセレクト信号を制御します (図 4-22 参照)。 3'b000 : 固定 1 3'b001 : RXOUTCLKPCS パス 3'b010 : RXOUTCLKPMA パス 3'b011 : PLLREFCLK_DIV1 パス 3'b100 : RXPLLREFCLK_DIV2 パス その他 : 予約

表 4-23 : RX のファブリック クロック出力制御のポート (続き)

ポート	方向	クロック ドメイン	説明
RXRATE[2:0]	入力	RXUSRCLK2	<p>RX シリアル クロック分周器 D の設定を動的に制御し (表 4-22 参照)、RXOUT_DIV 属性と組み合わせて使用されます。</p> <p>3'b000 : RXOUT_DIV 分周器の値を使用</p> <p>3'b001 : 分周値 D は 1</p> <p>3'b010 : 分周値 D は 2</p> <p>3'b011 : 分周値 D は 4</p> <p>3'b100 : 分周値 D は 8</p> <p>3'b101 : 分周値 D は 16</p>
RXOUTCLKFABRIC	出力	クロック	テスト用に予約されている冗長出力です。RXOUTCLKSEL = 3'b011 に設定された RXOUTCLK を代わりに使用してください。
RXOUTCLK	出力	クロック	FPGA ロジックで使用される推奨クロックです。RXOUTCLKSEL ポートが RXOUTCLK の入力セクターとなり、PLL 入力基準クロックが FPGA ロジックへ接続できます。
RXOUTCLKPCS	出力	クロック	冗長出力です。RXOUTCLKSEL = 3'b001 に設定された RXOUTCLK を代わりに使用してください。
RXRATEDONE	出力	RXUSRCLK2	RXRATE ポートが変更されると、この RXRATEDONE ポートが RXUSRCLK2 クロックの 1 サイクル間アサートされます。TRANS_TIME_RATE 属性で、RXRATE ポートが変更されてから RXRATEDONE がアサートされるまでの時間が定義されます。
RXDLYBYPASS	入力	非同期	<p>RX の遅延調整をバイパスする場合に使用します。</p> <p>0 : RX の遅延調整回路を使用。RX バッファがバイパスされる場合は、1'b0 に設定。</p> <p>1 : RX の遅延調整回路をバイパス。RX バッファを使用する場合は、1'b1 に設定。</p>

表 4-24 に、RX のファブリック クロック出力制御で使用する属性を示します。

表 4-24 : RX のファブリック クロック出力制御の属性

属性	タイプ	説明
TRANS_TIME_RATE	8 ビットの 16 進数	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。レートが変更されてから PHYSTATUS および RXRATEDONE がアサートされるまでの時間を定義します。
RXBUF_RESET_ON_RATE_CHANGE	ブール型	TRUE の場合、RXRATE でレートが変更されると RX バッファが自動的にリセットされる機能が有効になります。
RXOUT_DIV	整数	RX シリアル クロック分周器の設定を制御します。RXRATE = 3'b000 の場合のみ有効です。それ以外の場合は、RXRATE で制御されます。有効な値は、1、2、4、8、および 16 です。

RXRATE の使用 (GTH トランシーバーのみ)

RXRATE を用いて D 値の設定を変更する場合は、GTH トランシーバーのコンフィギュレーションが次のように変更されるように図 4-23 に示す手順を実行してください。

- RXOUT_DIV != 1 および
- RX 内部データ幅が 20 ビットまたは 40 ビット (RX_DATA_WIDTH = 20、40、または 80)

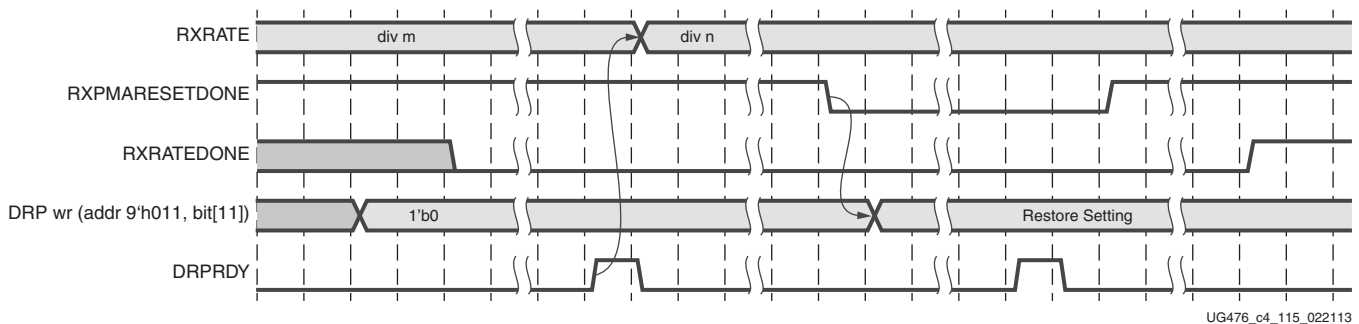


図 4-23 : RXRATE の変更例

図 4-23 について説明します。

1. DRP wr は、アドレス 9'h011 への DRP の書き込みを実行するファンクションです。正確な DRP トランザクションは表示されてません。
2. 図 4-23 はイベント シーケンスを表しており、正確な縮尺ではありません。
3. RXRATE を変更するには、DRP 書き込みを GTHE2_CHANNEL プリミティブ、DRPADDR 9'h011 に対して発行し、bit[11] を 1'b0 に設定する必要があります。
DRPADDR 9'h011 の bit[11] のみを確実に変更するには、read-modify-write ファンクションを実行するのが最善です。
4. DRP 書き込みが完了したら、RXRATE 値を新しい目標設定値に変更する必要があります。
5. RXPMARESETDONE が Low に駆動されるまで待機してください。

6. DRP 書き込みは GTHE2_CHANNEL プリミティブ、DRPADDR 9'h011 に対して発行され、bit[11] を元の設定に戻します。この DRP 書き込みは、RXPMARESETDONE が Low から High に切り替わる前に完了させる必要があります。RXPMARESETDONE は、少なくとも 0.66us 間 Low のままです。
7. SIM_RESET_SPEEDUP が FALSE に設定され、UniSims ライブラリにある GT 論理シミュレーション モデルが使用された場合、上記シーケンスでシミュレーションが正しく実行されます。SIM_RESET_SPEEDUP が TRUE に設定され、または unifast ライブラリの GT 論理シミュレーション モデルが使用された場合、上記シーケンスにはバイパスを使用する必要があります。

注記：RXOUT_DIV = 1 あるいは RX_DATA_WIDTH = 16、32、または 64 のコンフィギュレーションに変更される GTH トランシーバーについては、上記手順の実行は可能ですが必要というわけではありません。

RX のマージン解析

機能の説明

ライン レートが増加してチャネル減衰が悪化すると、これらを補正するために RX イコライザーを多用する必要があります。このとき、遠端のリンク状態はレシーバー ピンでのアイ ダイアグラムでは判断できないため、システム デバッグに新たな課題が生じます。高ライン レートの場合、PCB 上の受信アイ パターンは、RX イコライザーが有効の場合であっても完全に閉じた状態になってしまいます。

7 シリーズ FPGA の GTX/GTH トランシーバー RX アイ スキャンには、イコライザー後の受信アイ マージンを測定および可視化する機能があります。これによって、新たな方法でイコライゼーション設定の効果を診断できるようになりました。

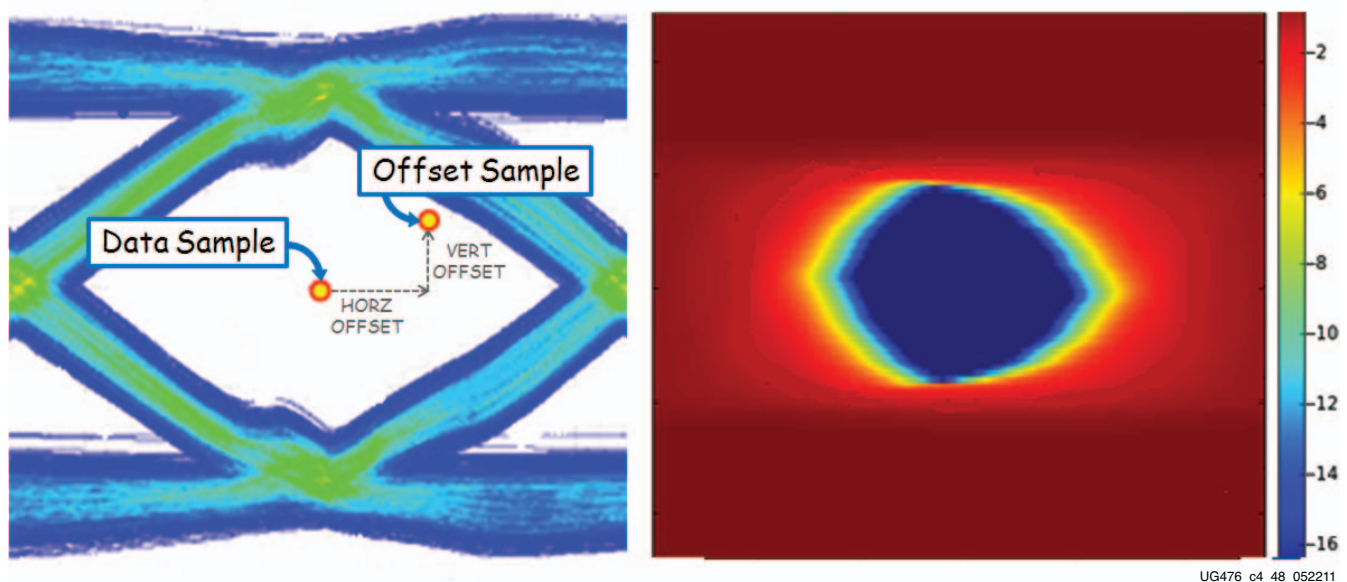


図 4-24 : オフセット ファンクションとして BER を計算するためのオフセット サンプルとデータ サンプル - 統計的アイ (Statistical Eye)

アイ スキャンの原理

RX イコライザー後にサンプリングを行うことによって、RXDATA は平均化された差動波形から復元されます。サンプリングの水平方向の位置は CDR 機能で決定され、垂直方向の位置は微分 0 です。これを「データ サンプル」として表します (図 4-24 参照)。

アイ スキャン機能を有効にするには、データのサンプル ポイントからプログラマブル (水平および垂直方向) オフセットを備えたサンプラーがもう 1 つ必要です。これを「オフセット サンプル」として表します (図 4-24 参照)。

シングル アイ スキャンの測定は、データ サンプルの値 (サンプル数) とオフセット サンプルがデータ サンプルに一致しない時間 (エラー数) の累算によって成立します。プログラムされた垂直方向と水平方向のオフセット位置のビット エラー率 (BER) は、サンプル数に対するエラー数の比率です。サンプル数の範囲は、何万単位から 10^{14} (100 兆) 以上まで可能です。

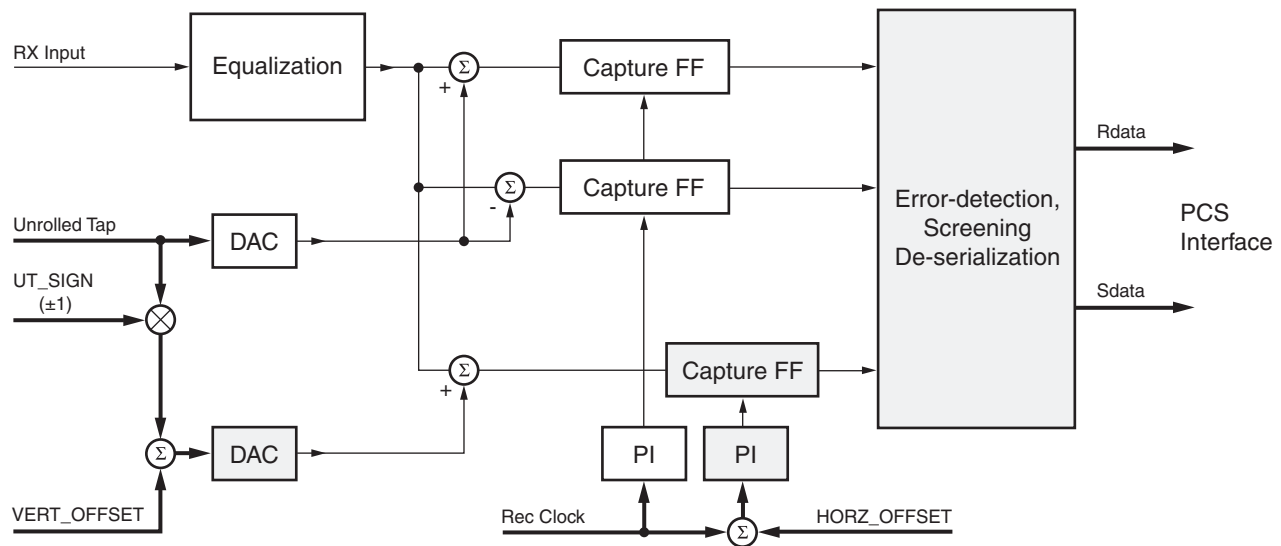
水平方向および垂直方向オフセットの全範囲に対して、この BER 測定を繰り返すことで、図 4-24 に示すような BER マップが生成されます。これは一般的に統計アイ (Statistical Eye) と呼ばれ、カラー マップは \log_{10} (BER) を表しています。この画像のアイは、オシロスコープのアイよりも明らかに小さくなっています (図 4-24 参照)。これは、サンプル数が大幅に少なくオシロスコープで測ることのできない低頻度のジッターやノイズによって縮小されているためです。

この機能は、受信されるデータ パターンに制限をかけることなく、RX 設定の変更も必要ないため、アプリケーション データが受信中でもエラーを生じさせることなく実行できます。さらに、属性を読み書きする機能のみ必要で、FPGA ロジックを使用する必要はありません。

アイ スキャンのアーキテクチャ

図 4-25 に示す灰色のブロックは、PMA アーキテクチャのアイ スキャンをサポートする部分です。水平方向オフセット (HORZ_OFFSET) によって、データ サンプルに関連するオフセット サンプルのサンプリング時間を短縮または遅延させます。垂直方向オフセット (VERT_OFFSET) によって、平均化された波形が比較される差動電圧のしきい値を大きくまたは小さくします。データ サンプルは Rdata バスに、オフセット サンプルは Sdata バスにデシリアライズされます。

DFE モード (RXLPMEN=0) の場合、最初の DFE タップ値はループ展開されていないため、2 つの独立したアイ スキャン計測が必要です。つまり、+UT と -UT での計測で、垂直方向および水平方向オフセットにおける TOTAL BER を測定します。



UG476_c4_49_062011

図 4-25 : アイ スキャンをサポートする PMA アーキテクチャ

図 4-26 に、PCS アーキテクチャのアイ スキャンをサポートする部分を示します。40 ビットの Rdata バスにはデータ サンプルが含まれます。40 ビットの Sdata バスの各ビットは、対応するデータ サンプルとオフセット サンプルが同一でない場合かつそのときに限り 1 です (223 ページの表 4-26 の ES_ERRDET_EN 参照)。

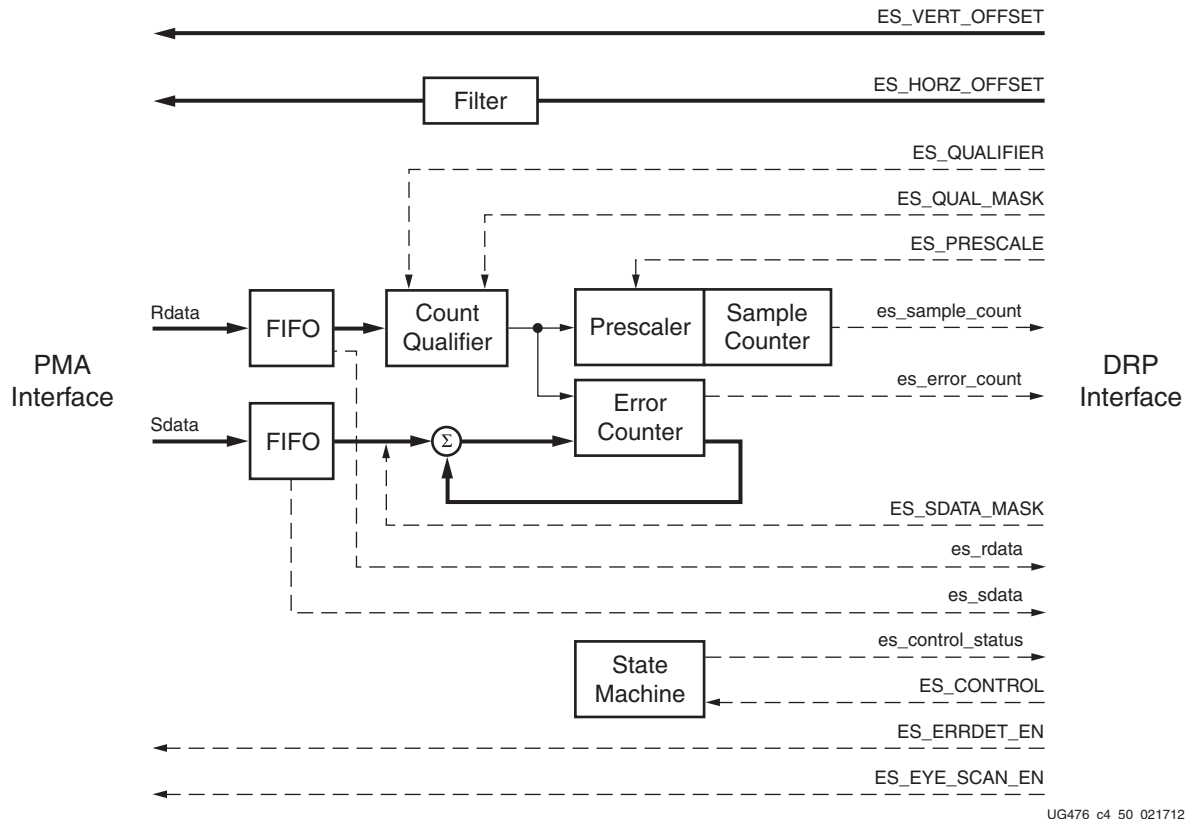


図 4-26 : アイ スキャンをサポートする PCS アーキテクチャ

Sdata の 2 サイクル間は連続して ES_SDATA_MASK[79:0] (つまり、ビットごとの Sdata[i] AND NOT mask[i]) でマスクされます。この結果のビット [39:0] の代数和は、エラー カウンターに加算されるエラーの数です。

Rdata の 2 サイクル間は連続して ES_QUALIFIER[79:0] のパターンと比較され、その結果が ES_QUAL_MASK[79:0] でマスクされます (つまり、ビットごとに論理和を取る)。この結果の論理積によって、プリスケラ/サンプル カウンターがインクリメントされ、エラーがエラー カウンターに加算されるかどうかが決まります。統計アイの場合、ES_QUAL_MASK は 80'b1 なので、サンプル カウンターおよびエラー カウンターは各サイクルごとに累積します。現在のデータ (ビット 39 以下、RX_INT_DATAWIDTH の説明参照) は最初に下位 40 ビットに現れ、次のサイクルで上位 40 ビットに現れるため、2 重のエラー カウントを回避するためにこのデータのみを ES_SDATA_MASK によってマスク対象外とします。

別の使用モードでは、Rdata ビット (最大 40) シーケンスをマスク解除することでオシロスコープのような表示になります。これにより、そのビット範囲内で Rdata が ES_QUALIFIER と一致する場合にのみエラーおよびサンプルが累算されます。これらの使用モードでは、各計測ごとに 1 つの Sdata ビットのみがマスク解除されます。診断使用モードでは、Rdata および Sdata は停止し、次の場合に DRP を介して読み出し可能です。

- エラーが発生する
- カウント限定子が発生する
- ファブリック ポートがトリガーとなる、または
- 属性の書き込みによってトリガーが強制される

診断使用モードを用いて、たとえば、DFE 動作に起因するバースト エラーのパターンを検証できます。

図 4-27 に、アイ スキャンのステート マシンにおけるステートの遷移を示します。

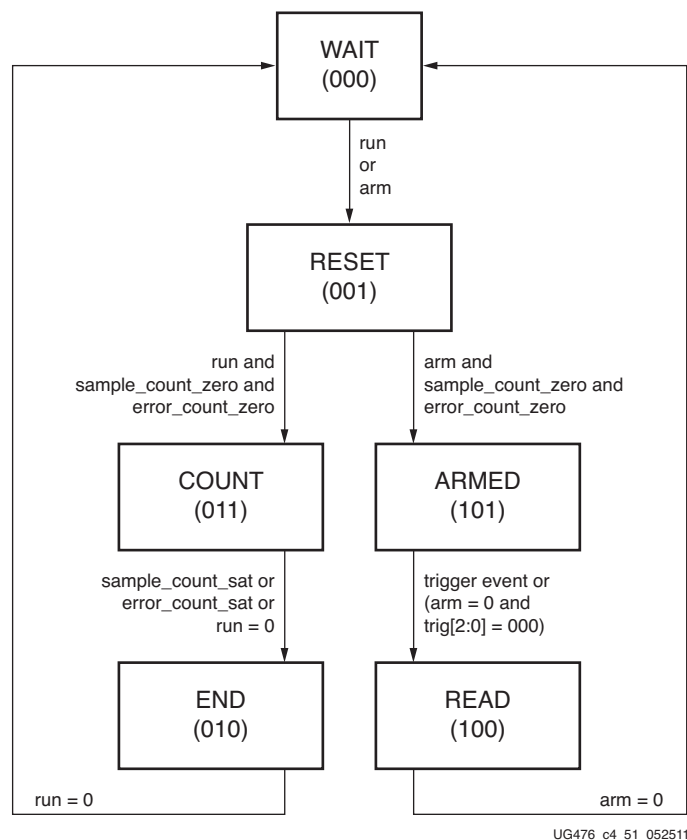


図 4-27 : アイ スキャンのステート マシン

ES_CONTROL[1:0] は、arm および run をそれぞれ実行する信号です。WAIT ステートから始まり、run は BER 計測ループ (左側) を、arm は診断ループ (右側) を開始します。

RESET ステートはエラーおよびサンプルのカウンターをゼロにし、その後 run または arm がアクティブかどうかによって COUNT ステートまたは ARMED ステートへ遷移します。

COUNT ステートでは、サンプルおよびエラーがカウンターに累算されます。いずれかのカウンターが飽和状態になると、それら両方が停止し、END ステートに遷移します。この遷移は、es_control_status[3:0] をポーリングすることで検出されます。ビット 0 (done) は、END、READ、および WAIT ステートでのみアクティブに設定されます。ビット [3:1] は、ステート マシンの現在のステートを示します。

END ステートは、run が 0 に設定し直されると WAIT ステートへ遷移します。es_sample_count [15:0] および es_error_count[15:0] は、END または WAIT ステートのいずれかで読み出すことができます。

ARMED ステートでは、FIFO (Rdata および Sdata の連続するサイクル) は、トリガー イベントが発生すると停止します。このトリガー イベントは、カウント限定子のパルス、エラー カウンターに反映されるビットすべての論理和、DRP データ入力による手動トリガー、またはポートを介した手動トリガーのいずれかで発生します。これら 4 つのオプションのうち 1 つを trig[3:0] = ES_CONTROL[5:2] で選択します。

READ ステートでは、Rdata の最後の 2 サイクル間を COE ステータス レジスタ (es_rdata[79:0]) から、Sdata の最後の 2 サイクル間を COE ステータス レジスタ (es_sdata[79:0]) から読み出すことができます。

ポートおよび属性

表 4-25 に、RX アイ スキャン機能に関連するポートを示します。

表 4-25 : RX マージン解析のポート

ポート	方向	ドメイン	説明
EYESCANDATAERROR	出力	非同期	COUNT または ARMED ステートのときに (マスクされていない) エラーが発生すると、REC_CLK の 1 サイクル間 High になります。
EYESCANTRIGGER	入力	RXUSRCLK2	トリガー イベントを発生させます。 下記の ES_CONTROL[4] を参照してください。
RXRATE	入力	RXUSRCLK2	RX で有効な PLL 分周器の値を自動的に変更するダイナミック ピンです。 PCIe およびその他の規格に使用します。 00 の場合は、RXOUT_DIV 属性を使用 01 の場合は 4/1 10 の場合は 2/1 11 の場合は 1/1
RXLPMEN	入力	非同期	1'b1 に設定すると、適応型リニア イコライザの LPM モードが有効になります。1'b0 に設定すると、高性能 DFE モードが有効になります。
EYESCANMODE	入力	非同期	予約

表 4-26 に、RX アイ スキャンの属性を示します。小文字の属性名は R/O を示します。

表 4-26 : RX マージン解析の属性

属性	タイプ	説明																								
ES_VERT_OFFSET	9 ビット バイナリ	スキャン サンプルの垂直方向 (差動電圧) オフセットを制御します。 [6:0]: オフセット レベル (ラップされていないしきい値 ±UT で、中央に調節) [7]: オフセット符号 (1 は負、0 は正) [8]: UT 符号 (1 でラップされていない負のしきい値、0 で正のしきい値を選択)																								
ES_HORZ_OFFSET	12 ビットの 16 進数	スキャン サンプルの水平方向 (位相) オフセットを制御します。 [10:0]: 位相オフセット (2 の補数)。データ アイの中央 (0 UI) は、すべてのデータ レートの 11'd0 のカウント値に相当する。次の表に、各データ レートの最小カウント値 (-0.5 UI) および最大カウント値 (+0.5 UI) を説明する。 <table><tr><th>レート</th><th>最小カウント値 [dec(bin)]</th><th>アイの中央 [dec(bin)]</th><th>最大カウント値 [dec(bin)]</th></tr><tr><td>Full</td><td>-32 (11'b111111000000)</td><td>+0 (11'b000000000000)</td><td>+32 (11'b000000100000)</td></tr><tr><td>Half</td><td>-64 (11'b111110000000)</td><td>+0 (11'b000000000000)</td><td>+64 (11'b000010000000)</td></tr><tr><td>Qrtr</td><td>-128 (11'b111000000000)</td><td>+0 (11'b000000000000)</td><td>+128 (11'b000100000000)</td></tr><tr><td>Octal</td><td>-256 (11'b110000000000)</td><td>+0 (11'b000000000000)</td><td>+256 (11'b001000000000)</td></tr><tr><td>Hex</td><td>-512 (11'b100000000000)</td><td>+0 (11'b000000000000)</td><td>+512 (11'b010000000000)</td></tr></table> [11]: 位相の統一。ゼロを含む正のカウント値すべてに対して 0 を設定し、負のカウント値すべてに対して 1 を設定する必要がある。	レート	最小カウント値 [dec(bin)]	アイの中央 [dec(bin)]	最大カウント値 [dec(bin)]	Full	-32 (11'b111111000000)	+0 (11'b000000000000)	+32 (11'b000000100000)	Half	-64 (11'b111110000000)	+0 (11'b000000000000)	+64 (11'b000010000000)	Qrtr	-128 (11'b111000000000)	+0 (11'b000000000000)	+128 (11'b000100000000)	Octal	-256 (11'b110000000000)	+0 (11'b000000000000)	+256 (11'b001000000000)	Hex	-512 (11'b100000000000)	+0 (11'b000000000000)	+512 (11'b010000000000)
レート	最小カウント値 [dec(bin)]	アイの中央 [dec(bin)]	最大カウント値 [dec(bin)]																							
Full	-32 (11'b111111000000)	+0 (11'b000000000000)	+32 (11'b000000100000)																							
Half	-64 (11'b111110000000)	+0 (11'b000000000000)	+64 (11'b000010000000)																							
Qrtr	-128 (11'b111000000000)	+0 (11'b000000000000)	+128 (11'b000100000000)																							
Octal	-256 (11'b110000000000)	+0 (11'b000000000000)	+256 (11'b001000000000)																							
Hex	-512 (11'b100000000000)	+0 (11'b000000000000)	+512 (11'b010000000000)																							
ES_PRESCALE	5 ビット バイナリ	サンプル カウント値のプリスケールを制御し、16 ビット レジスタの範囲内の妥当な精度でサンプル カウント値およびエラー カウント値の両方を保持します。プリスケール値は $2^{(1+\text{レジスタ値})}$ であるため、最小プリスケール値は $2^{(1+0)} = 2$ 、および最大プリスケール値は $2^{(1+31)} = 4,284,967,296$ です。																								
ES_SDATA_MASK	80 ビットの 16 進数	40 ビット Sdata バスの最大 2 サイクル分をマスクします。バイナリ ビット 1 で対応するバス ビットがマスクされ、バイナリ ビット 0 でマスクされないままとなります。統計アイの表示に対応する場合、エラー カウンターは、Sdata バスの直近のサイクルでマスクされていない 1 の総数を累積します (ES_SDATA_MASK[39:0] でマスクされる)。スコープおよび波形の表示に対応する場合、エラー カウンターは、Sdata バスの以前のサイクルでマスクされていない 1 の 0 以外の各値に対して 1 ずつインクリメントします (ES_SDATA_MASK[79:40] でマスクされる)。 この属性および ES_QUAL_MASK は、40 ビットよりも小さいバス幅の未使用ビットもマスクする必要があります。統計アイの表示では、この属性は次の値をファンクションのバス幅と見なします。 40 ビット幅: ES_SDATA_MASK = ({40{1'b1}}, {40{1'b0}}) 32 ビット幅: ES_SDATA_MASK = ({40{1'b1}}, {32{1'b0}}, {8{1'b1}}) 20 ビット幅: ES_SDATA_MASK = ({40{1'b1}}, {20{1'b0}}, {20{1'b1}}) 16 ビット幅: ES_SDATA_MASK = ({40{1'b1}}, {16{1'b0}}, {24{1'b1}}) スコープおよび波形の表示には計測シーケンスが必要で、各計測のシングル ビットのみがマスクされません。																								

表 4-26 : RX マージン解析の属性 (続き)

属性	タイプ	説明
ES_QUALIFIER	80 ビットの 16 進数	<p>アイ スキャンでは、入力データのどの位置でも、最大 40 ビットの連続ビット長のパターンに基づいて BER 測定が可能です。データ、つまりクオリファイア パターンは揃えられないため、パターンの位置をバレル シフト検索によって検出する必要があります。たとえば、20 ビット データ幅の 10'b0011111010 パターン (8B/10B コードの K28.5) を検索する場合、次のような計測シーケンスが必要です。ここでは、正確なアライメントでの 0 以外のサンプル数を検索しています。</p> <pre>ES_QUALIFIER = ({50{1'b?}}, 10'b0011111010, {20{1'b?}})</pre> <pre>ES_QUALIFIER = ({49{1'b?}}, 10'b0011111010, {21{1'b?}})</pre> <pre>ES_QUALIFIER = ({48{1'b?}}, 10'b0011111010, {22{1'b?}})</pre> <p>...など (「?」は、マスクされる「Don't Care」ビットを示す)</p> <p>クオリファイア パターンは、バス幅 (40、32、20、または 16) の有効なビットに対してのみシフトされます。RX_INT_DATAWIDTH の説明を参照してください。</p>
ES_QUAL_MASK	80 ビットの 16 進数	<p>クオリファイア パターンに含まれないビットをマスクします。たとえば、上記で例として挙げた K28.5 に対応する値は次のとおりです。</p> <pre>ES_QUAL_MASK = ({50{1'b1}}, {10{1'b0}}, {20{1'b1}})</pre> <pre>ES_QUAL_MASK = ({49{1'b1}}, {10{1'b0}}, {21{1'b1}})</pre> <pre>ES_QUAL_MASK = ({48{1'b1}}, {10{1'b0}}, {22{1'b1}})</pre> <p>...など</p>
PMA_RSV2[5]	1 ビット バイナリ	<p>GTX トランシーバー： アイ スキャンを使用するときは、常に 1 とします。このビットを 0 に設定すると、アイ スキャン回路の電源が切断され、アイ スキャンのステートが強制的に WAIT となります。アイ スキャン機能を再度有効にするには、このビットを再度アサートして PMA リセットをアサート/ディアサートする必要があります。</p> <p>GTH トランシーバー： 予約。未使用。</p>
ES_EYE_SCAN_EN	1 ビット バイナリ	<p>GTX トランシーバー： 予約。通常このビットはアサートされます。</p> <p>GTH トランシーバー： アイ スキャンを使用するときは、常に 1 とします。このビットを 0 に設定すると、アイ スキャン回路の電源が切断され、アイ スキャンのステートが強制的に WAIT となります。アイ スキャン機能を再度有効にするには、このビットを再度アサートして PMA リセットをアサート/ディアサートする必要があります。</p>
ES_ERRDET_EN	1 ビット バイナリ	<p>1 : Sdata バスの各ビットは、対応するオフセット データ サンプルが復元されたデータ サンプルと一致しない場合かつその場合に限り、1 となる。これは、統計アイの表示に使用される。</p> <p>0 : Sdata バスの各ビットは、復元されたデータ サンプルである。したがって、エラーが発生しない場合、Sdata バスは Rdata バスと同一となる。これは、スコープおよび波形の表示に使用される。</p>

表 4-26 : RX マージン解析の属性 (続き)

属性	タイプ	説明
ES_CONTROL	6 ビット バイナリ	<p>[0] : Run このビットをアサートすると、WAIT ステートが RESET ステートに遷移し、BER 測定シーケンスが開始する。</p> <p>[1] : ARM このビットをアサートすると、WAIT ステートが RESET ステートに遷移し、診断シーケンスが開始する。ディアサートすると、下記の [5:2] ビット ステートのうちの 1 つが満たされていない場合、ARMED ステートが READ ステートへ遷移する。</p> <p>[5:2] :</p> <p>0001 : ARMED ステートでは、エラーが検出されると (つまり、マスクされていない 1 が Sdata バスに 1 つ存在する)、トリガー イベント (READ ステートへの遷移) を発生させる。</p> <p>0010 : ARMED ステートでは、クオリファイア パターンが Rdata で検出されると、トリガー イベント (READ ステートへの遷移) を発生させる。</p> <p>0100 : ARMED ステートでは、eye_scan_trigger ポートが High になると、トリガー イベント (READ ステートへの遷移) を発生させる。</p> <p>1000 : ARMED ステートでは、ただちにトリガー イベント (READ ステートへの遷移) を発生させる。</p>
es_control_status	4 ビット バイナリ	<p>[0] : DONE。WAIT、END、または READ ステートの場合にのみ High にアサートされる。</p> <p>[3:1] : ステート マシンの現在のステートを示す。</p> <p>WAIT 000</p> <p>RESET 001</p> <p>COUN 011</p> <p>END 010</p> <p>ARMED 101</p> <p>READ 100</p>
es_rdata	80 ビット バイナリ	ARMED ステートでトリガー イベントが発生すると、es_rdata[39:0] は Rdata バスの現在のステート、es_rdata[79:40] は Rdata バスの前のステートを表します。
es_sdata	80 ビット バイナリ	ARMED ステートでトリガー イベントが発生すると、es_sdata[39:0] は Sdata バスの現在のステート、es_sdata[79:40] は Sdata バスの前のステートを表します。
es_error_count	16 ビットの 16 進数	END および WAIT ステートでは、前の BER 測定の最終的なエラー数を含みます。
es_sample_count	16 ビットの 16 進数	END および WAIT ステートでは、前の BER 測定の最終的なサンプル数を含みます。

表 4-26：RX マージン解析の属性 (続き)

属性	タイプ	説明
RX_DATA_WIDTH	整数	RXDATA ポートのビット幅を設定します。8B/10B エンコーダーが有効の場合、RX_DATA_WIDTH は 20 ビット、40 ビット、または 80 ビットに設定される必要があります。有効な値は、16、20、32、40、64、および 80 です。 詳細は、303 ページの「インターフェイス幅の設定」を参照してください。
GTH トランシーバー： USE_PCS_CLK_PHASE_SEL	1 ビット バイナリ	1 に設定すると、アイ スキャン 4T クロック位相が ES_CLK_PHASE_SEL によって決定されます。 0 に設定すると、デシリアライザーの位相検出回路がアイ スキャン 4T クロックの位相を決定します。
GTH トランシーバー： ES_CLK_PHASE_SEL	1 ビット バイナリ	USE_PCS_CLK_PHASE_SEL がアサートされた場合、このビットを 1 に設定することでアイ スキャン 4T クロックの 1 つの位相が選択されます。このビットを 0 に設定することでほかの位相が選択されます。
RX_INT_DATAWIDTH	整数	1: 32 または 40 ビット インターフェイス 0: 16 または 20 ビット インターフェイス Rdata および Sdata バスの有効データ幅は、 $2^{(1-RX_INT_DATAWIDTH)}$ で分周される RX ファブリック データ幅です (RX_DATA_WIDTH を参照)。 考えられるその他のバス幅の場合、以前および現在の有効な Rdata および Sdata ビットが ES_SDATA_MASK、ES_QUALIFIER、ES_QUAL_MASK、es_rdata、および es_sdata の次のインデックスに対応します。 <div style="display: flex; justify-content: space-around;"> <div>valid data width</div> <div>previous data</div> <div>current data</div> </div> <div style="display: flex; justify-content: space-around;"> <div>16</div> <div>[79:64]</div> <div>[39:24]</div> </div> <div style="display: flex; justify-content: space-around;"> <div>20</div> <div>[79:60]</div> <div>[39:20]</div> </div> <div style="display: flex; justify-content: space-around;"> <div>32</div> <div>[79:48]</div> <div>[39:8]</div> </div> <div style="display: flex; justify-content: space-around;"> <div>40</div> <div>[79:40]</div> <div>[39:0]</div> </div>
RXOUT_DIV	整数	46 ページの図 2-9 に示す、RX データバス用の QPLL/CPLL の出力クロック分周器 D の設定です。 有効な値は、1、2、4、8、および 16 です。 RXRATE ポートが 3'b000 に設定されている場合にのみ、分周器を設定します。
ES_PMA_CFG	1 ビット バイナリ	予約

表 4-27：アイ スキャン読み取り専用 (R) レジスタの DRP アドレス マップ

DRP アドレス 16 進数 (GTX トランシーバー)	DRP アドレス 16 進数 (GTH トランシーバー)	DRP ビット	R/W	属性名	属性ビット
14F	151	15:0	R	es_error_count	15:0
150	152	15:0	R	es_sample_count	15:0
151	153	3:0	R	es_control_status	3:0
152	154	15:0	R	es_rdata	79:64

表 4-27 : アイ スキャン読み取り専用 (R) レジスタの DRP アドレス マップ (続き)

DRP アドレス 16 進数 (GTX トランシーバー)	DRP アドレス 16 進数 (GTH トランシーバー)	DRP ビット	R/W	属性名	属性ビット
153	155	15:0	R	es_rdata	63:48
154	156	15:0	R	es_rdata	47:32
155	157	15:0	R	es_rdata	31:16
156	158	15:0	R	es_rdata	15:0
157	159	15:0	R	es_sdata	79:64
158	15A	15:0	R	es_sdata	63:48
159	15B	15:0	R	es_sdata	47:32
15A	15C	15:0	R	es_sdata	31:16
15B	15D	15:0	R	es_sdata	15:0

RX 極性制御

機能の説明

RXP と RXN の差動トレースが PCB 上で誤って逆になっていると、GTX/GTH トランシーバー RX によって受信される差動データが反転します。GTX/GTH トランシーバー RX では、差動ペアの反転極性をオフセットするために、SIPO 後に PCS のパラレル バイトで反転させることができます。極性制御機能は RXPOLARITY 入力を使用し、ファブリック ユーザー インターフェイスからこれを High 駆動することによって極性を反転させます。

ポートおよび属性

表 4-28 に、RX の極性制御で使用するポートを示します。

表 4-28 : RX 極性制御ポート

ポート	方向	クロック ドメイン	説明
RXPOLARITY	入力	RXUSRCLK2	RXPOLARITY ポートを使用して、入力データの極性を反転します。 0 : 反転しない。RXP は正、RXN は負 1 : 反転する。RXP は負、RXN は正

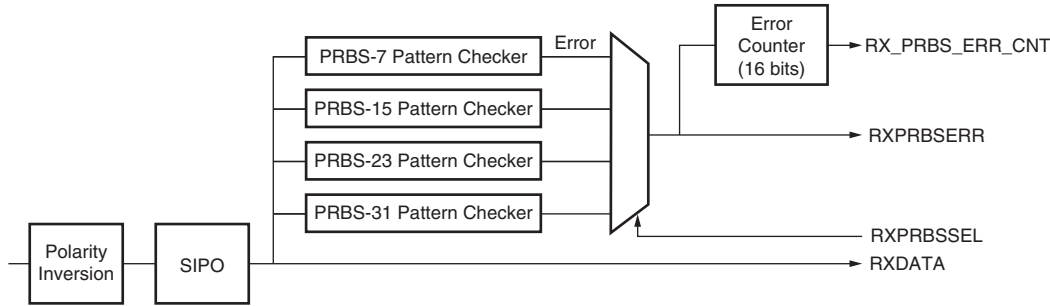
RX 極性制御の使用

RXP および RXN の極性を入れ替える必要がある場合は、RXPOLARITY を High に接続してください。

RX パターン チェッカー

機能の説明

GTX/GTH トランシーバー レシーバーには、PRBS チェッカーが内蔵されています (図 4-28 参照)。このチェッカーは、4 つの業界標準 PRBS パターンのうち 1 つをチェックするように設定できます。チェッカーは自己同期タイプで、カンマアライメントまたはデコード実行前の入力データに対して実行されます。この機能を使用して、チャンネルのシグナル インテグリティを検証できます。



UG476_c4_09_101810

図 4-28 : RX パターン チェッカー ブロック

ポートおよび属性

表 4-29 に、パターン チェッカーのポートを示します。

表 4-29 : パターン チェッカーのポート

ポート	方向	クロック ドメイン	説明
RXPRBSCNTRESET	入力	RXUSRCLK2	PRBS エラー カウンターをリセットします。
RXPRBSSEL[2:0]	入力	RXUSRCLK2	レシーバーの PRBS チェッカーのテスト パターンを制御します。有効な設定は次のとおりです。 000 : 通常動作モード (PRBS チェッカーはオフ) 001 : PRBS-7 010 : PRBS-15 011 : PRBS- 23 100 : PRBS-31 PRBS 以外のパターンに対してチェックは実行されません。PRBS チェッカーは、現在のサイクルからのデータを使用して、次のサイクルで予想されるデータを生成するため、シングル エラーが PRBS のバースト エラーとなって生じます。
RXPRBSERR	出力	RXUSRCLK2	PRBS エラーが発生したことを示すステータス出力です。

表 4-30 に、パターン チェッカーの属性を示します。

表 4-30 : パターン チェッカーの属性

属性	タイプ	説明
RX_PRBS_ERR_CNT	16 ビット バイナリ	PRBS エラー カウンターです。このカウンタは RXPRBSCNTRESET のアサートでリセットされます。入力されるパラレルデータにエラーがあると、このカウンタが 1 つインクリメントします (最大 0xFFFF までカウント可能)。このエラー カウンタへは、DRP を介してのみアクセスできます。 GTX トランシーバー: カウンタ アドレスは 0x15C です。 GTH トランシーバー: カウンタ アドレスは 0x15E です。
RXPRBS_ERR_LOOPBACK	1 ビット バイナリ	1 に設定された場合、RXPRBSERR ビットが同じ GTX/GTH トランシーバーの TXPRBSFORCEERR へ内部ループバックされます。これによって、データ クロック乗せ換えの交差を懸念せずに、同期および非同期ジッター耐性テストが可能になります。 0 に設定すると、TXPRBSFORCEERR が TX PRBS に対応します。

使用モデル

内蔵 PRBS チェッカーを使用するには、レシーバーに送信される PRBS パターンと一致するように RXPRBSSEL を設定します。RXPRBSSE の設定可能な値は、表 4-29 を参照してください。PRBS チェッカーが実行される場合、入力データ内の特定 PRBS パターンが検索されます。入力されるデータがトランスミッターまたは反転 RXP/RXN によって反転される場合は、受信データも RXPOLARITY を使用して反転する必要があります。この設定をしなければ、PRBS チェッカーがロックしません。そのパターンが検出されると、入力パターンと予想パターンの比較によって PRBS エラーを検出できます。予想パターンは、前のサイクルで入力されたデータに基づいて生成されます。チェッカーはエラー ワード数 (各ワードに 20 ビット) をカウントし、入力されるパラレルデータにエラーが 1 つ検索されるごとにワード エラー カウンタが 1 つインクリメントします。つまり、入力されるパラレルデータに 2 ビット以上のエラーがある場合は、ワード エラー カウンタの値と実際のビット エラー数は一致しません。カウンタ値が 0xFFFF に到達すると、エラー カウンタは停止します。

エラーが生じると、RXPRBSERR がアサートされます。そして次の入力データにエラーが含まれていなければ RXPRBSERR はクリアされます。PRBSCNTRESET がアサートされるとエラー カウンタがクリアされます。また、GTRXRESET および RXPCSRESET もカウンタ値をリセットします。

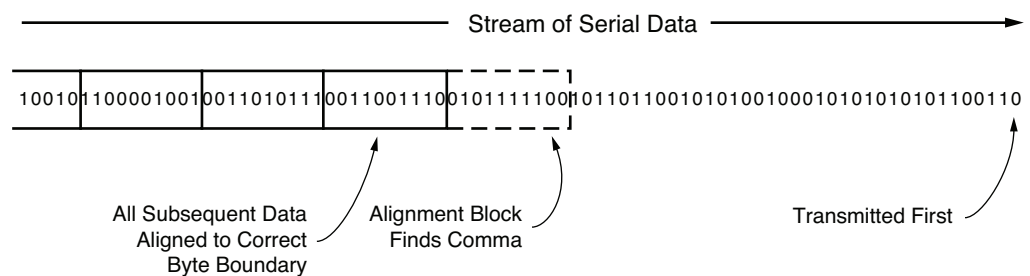
使用モデルの詳細は、148 ページの「TX パターン ジェネレーター」を参照してください。

RX バイトおよびワード アライメント

機能の説明

シリアル データをパラレル データとして使用できるようにするには、データをシンボルの境界に揃える必要があります。このアライメントを実行するため、トランスミッターは通常カンマと呼ばれる識別可能なシーケンスを送信します。レシーバーは、入力データ内でカンマを検索します。レシーバーでカンマが検出されると、カンマがバイト境界に移動して、受信したパラレル ワードが送信されたパラレル ワードと一致します。

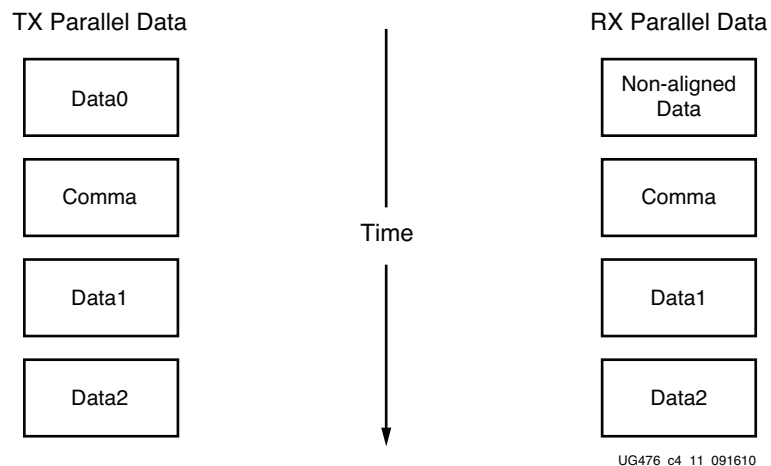
図 4-29 に、10 ビット カンマへのアライメントを示します。RX が受信したアラインされていないビットは右側にあります。カンマを含むシリアル データは、中央でハイライトされています。バイト アラインされた RX パラレル データは左側にあります。



UG476_c4_10_091610

図 4-29 : カンマ アライメントの詳細図 (10 ビット カンマへのアライメント)

図 4-30 では、TX パラレル データを左側に示し、RX が受信するカンマ アライメント後の識別可能なパラレル データを右側に示します。



UG476_c4_11_091610

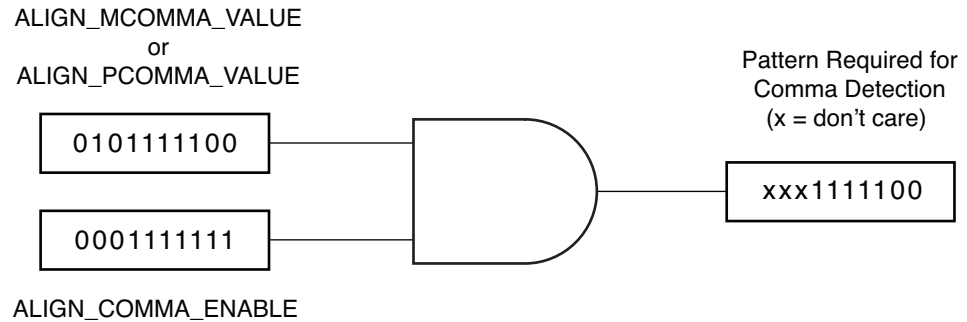
図 4-30 : カンマ アライメントのパラレル データ

カンマ アライメントの有効化

カンマ アライメント ブロックを有効にするには、RXCOMMADETEN ポートを High に駆動します。RXCOMMADETEN を Low に駆動すると、ブロックがバイパスされてレイテンシが最小になります。

カンマ パターンの設定

ブロックが入力データ ストリーム内で検索するカンマ パターンを設定するには、ALIGN_MCOMMA_VALUE、ALIGN_PCOMMA_VALUE、および ALIGN_COMMA_ENABLE 属性を使用します。カンマの長さは、RX_DATA_WIDTH で決定されます (307 ページの表 4-54 参照)。図 4-31 では、ALIGN_COMMA_ENABLE によって、各カンマの値が部分的にパターン一致可能になっています。



UG476_c4_12_091610

図 4-31 : カンマ パターンのマスク

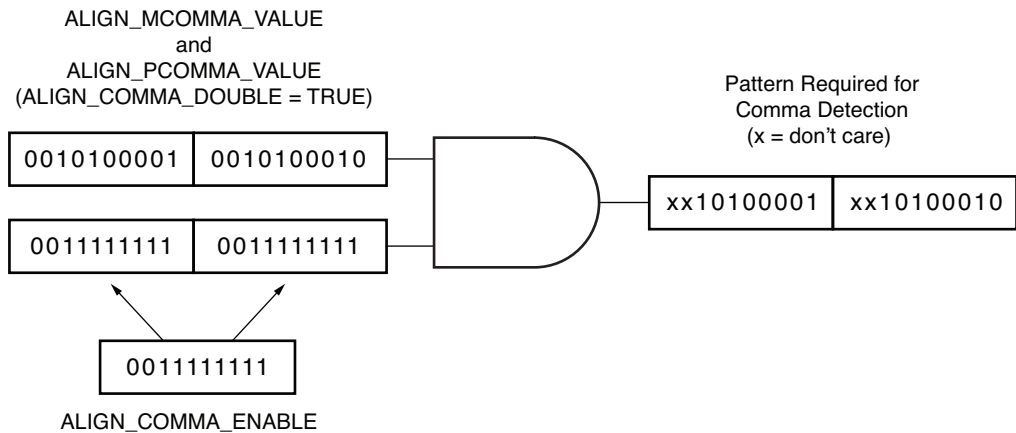
図 4-32 に、ALIGN_COMMA_DOUBLE = TRUE の場合でのカンマ パターンの組み合わせを示します。



UG476_c4_13_101810

図 4-32 : 拡張されたカンマ パターン定義

図 4-33 に、ALIGN_COMMA_ENABLE でカンマを結合して構成した、ワイルドカードを含む 20 ビットのカンマ パターンを示します。ALIGN_COMMA_DOUBLE が TRUE の場合、MCOMMA パターンと PCOMMA パターンが組み合わせられ、ブロックでは連続した 2 つのカンマが検索されます。カンマ内のビット数は RX_DATA_WIDTH で決定されます。16 ビットまたは 20 ビットのいずれかのカンマ アライメント モードを利用できます。2 つの連続カンマは、受信データ内に ALIGN_PCOMMA_VALUE で定義された PCOMMA があり、その後すぐに ALIGN_MCOMMA_VALUE で定義された MCOMMA がある場合にのみ検出されます (2 つのカンマ パターン間に余分なビットは含まれない)。



UG476_c4_14_091610

図 4-33：拡張したカンマ パターンのマスク

カンマ アライメントの有効化

カンマ アライメントが有効なときにカンマが検出されると、それらは最も近接した境界に揃えられます。MCOMMA パターンに揃えるには、RXMCOMMAALIGNEN を High に駆動し、PCOMMA パターンに揃えるには、RXPCOMMAALIGNEN を High に駆動します。いずれかのパターンに揃える場合は、両方のイネーブル ポート を駆動します。ALIGN_COMMA_DOUBLE が TRUE の場合、2 つのイネーブル ポート は常に同じ値を駆動する必要があります。

アライメント ステータス信号

MCOMMA または PCOMMA アライメントが有効の間、ブロックはカンマ パターン一致機能により、最も近い境界に再び揃えられます。アライメントが適切に完了すると、ブロックでは RXBYTEISALIGNED が High に保持されます。この時点で、RXMCOMMAALIGNEN および RXPCOMMAALIGNEN を Low に駆動してアライメント機能をオフにすると、回路アライメントの状態を維持できます。RXBYTEISALIGNED を High にするには、PCOMMA に対する RXPCOMMAALIGNEN を TRUE に設定する必要があります。同様に、RXBYTEISALIGNED を High にするには、MCOMMA に対する RXMCOMMAALIGNEN を TRUE に設定する必要があります。カンマは、RXBYTEISALIGNED が High の間に到達可能です。カンマが境界に揃えられて到達する場合、変更はありません。カンマ アライメントが非アクティブのときにカンマがずれた位置に到達すると、ブロックでは、再びカンマが揃うまで RXBYTEISALIGNED がディアサートされます。到達したカンマに対してアライメントが有効のままのとき、ブロックは自動的に新しいカンマを最も近接した境界に揃えて、RXUSRCLK2 の 1 サイクル間、RXBYTEREALIGN を High に駆動します。

5Gb/s よりも高いライン レートで動作し、システムに過剰なノイズが発生するアプリケーションでは、有効なデータが存在しない場合に、バイト アライン ブロックによってデータが間違ったバイト境界に揃えられ、RXBYTEISALIGNED 信号が不正にアサートされます。このようなアプリケーションでは、RXBYTEISALIGNED 信号 (インジケータ) およびデータの有効性を確認するためにシステム レベル チェックの準備が整っている必要があります。

PCIe および SATA のような RX OOB ブロックを使用するシステムでは、有効なバイト境界にロックして RXBYTEISALIGNED 信号をアサートした後、バイト アライン ブロックはバイト境界に変更がなくても RXBYTEISALIGNED 信号をディアサートする可能性があります。このようなアプリケーションでは、RXBYTEISALIGNED は、最初のアサート後、バイト境界が変更された際の有効なインジケータとして利用できません。

アライメントの境界

アライメントで有効な境界は、ALIGN_COMMA_WORD および RX_INT_DATAWIDTH で定義されます。有効な境界の間隔は RX_DATA_WIDTH で指定され、有効な境界位置の数は RXDATA インターフェイスのバイト数によって決定されます (X_DATA_WIDTH および

RX_INT_DATAWIDTH の設定は、304 ページの表 4-50 参照)。図 4-34 に、選択可能な境界を示します。

RX_DATA_WIDTH	RX_INT_DATAWIDTH	ALIGN_COMMA_WORD	Possible RX Alignments (Grey = Comma Can Appear on Byte)
16/20 (2-byte)	0 (2-byte)	1	Byte1 Byte0
16/20 (2-byte)	0 (2-byte)	2	Byte1 Byte0
16/20 (2-byte)	0 (2-byte)	4	Invalid Configuration
32/40 (4-byte)	0 (2-byte)	1	Byte3 Byte2 Byte1 Byte0
32/40 (4-byte)	0 (2-byte)	2	Byte3 Byte2 Byte1 Byte0
32/40 (4-byte)	0 (2-byte)	4	Invalid Configuration
32/40 (4-byte)	1 (4-byte)	1	Byte3 Byte2 Byte1 Byte0
32/40 (4-byte)	1 (4-byte)	2	Byte3 Byte2 Byte1 Byte0
32/40 (4-byte)	1 (4-byte)	4	Byte3 Byte2 Byte1 Byte0
64/80 (8-byte)	1 (4-byte)	1	Byte7 Byte6 Byte5 Byte4 Byte3 Byte2 Byte1 Byte0
64/80 (8-byte)	1 (4-byte)	2	Byte7 Byte6 Byte5 Byte4 Byte3 Byte2 Byte1 Byte0
64/80 (8-byte)	1 (4-byte)	4	Byte7 Byte6 Byte5 Byte4 Byte3 Byte2 Byte1 Byte0

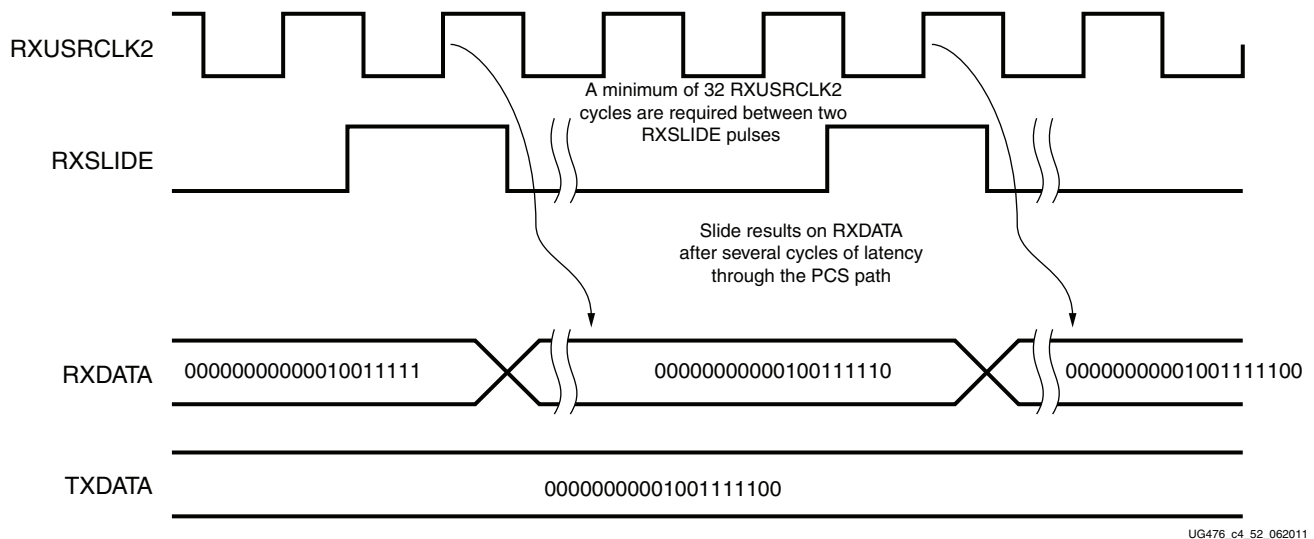
UG476_c4_15_091610

図 4-34 : カンマ アライメントの境界

手動アライメント

RXSLIDE を使用して自動カンマアライメントを無効にし、手動でパラレル データをシフトできます。RXSLIDE が RXUSRCLK2 の 1 サイクル間 High 駆動する間、パラレル データが 1 ビットシフトします。RXSLIDE は、使用される前に少なくとも RXUSRCLK2 の 32 サイクル間 Low 駆動する必要があります。

図 4-35 に、RXSLIDE_MODE = PCS の RXSLIDE を使用した手動アライメント実行前と実行後の波形を示します。RXSLIDE_MODE = PCS が使用される場合、RXSLIDE パルスが連続して出力されるときビットシフト位置の値もまた、ALIGN_COMMA_WORD、RX_DATA_WIDTH、および RX_INT_DATAWIDTH で設定したカンマアライメントバウンダリによって決定されます。たとえば、RX_DATA_WIDTH が 20 ビットで ALIGN_COMMA_WORD が 1 の場合、9 番目のスライド動作後のスライド位置は 0 に戻ります。同様の RX_DATA_WIDTH 設定で ALIGN_COMMA_WORD が 2 の場合、19 番目のスライド動作後にスライド位置が 0 に戻ります。このため RXSLIDE_MODE = PCS では、RX_INT_DATAWIDTH = 1 (4 バイト) および ALIGN_COMMA_WORD = 4 の場合に最大で 40 ビットのスライドが可能になります。



UG476_c4_52_062011

図 4-35 : RXSLIDE を使用した手動データアライメント (RX_DATA_WIDTH = 20 ビット、RXSLIDE_MODE = PCS)

図 4-35 について説明します。

1. RXDATA でのスライド開始からスライド完了までのレイテンシは、データパスのアクティブ RX PCS ブロック数によって異なります。

図 4-36 に、RXSLIDE_MODE = PMA の RXSLIDE を使用した手動アライメント実行前と実行後の波形を示します。このモードでは、RXSLIDE パルスが出力されるたびにデータが 1 ビット分右方向へシフトされますが、最後のデータがバスに送信される前に、ビットが左方向にシフトした中間データも一部あります。RXSLIDE_MODE = PMA が使用される場合、RX のリカバリ クロックの位相は、RXSLIDE の隔パルスごとに 2 UI 分シフトします。

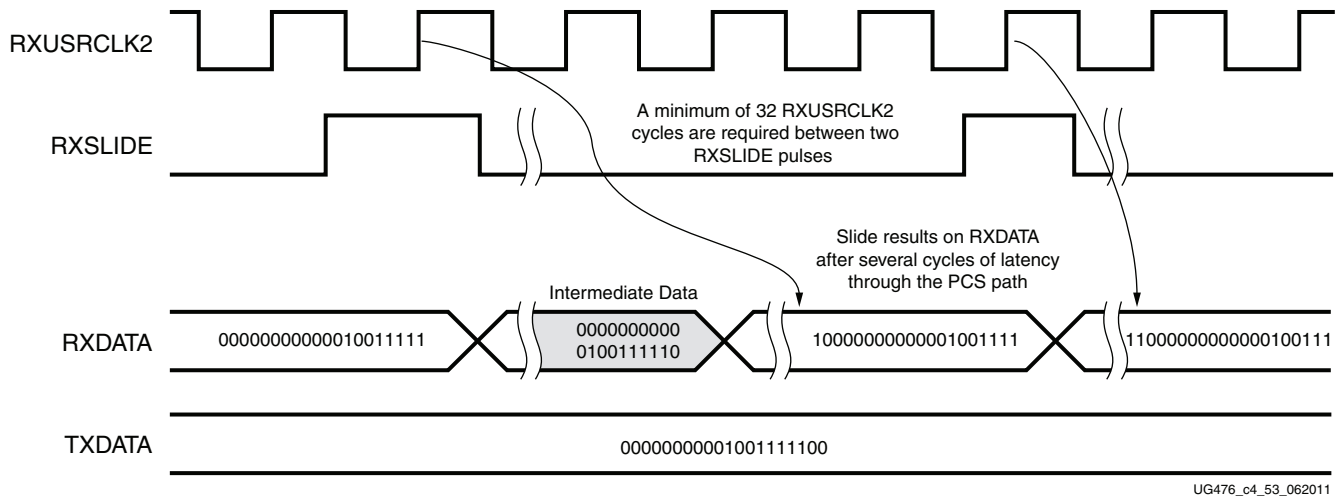


図 4-36 : RXSLIDE を使用した手動データ アライメント (RX_DATA_WIDTH = 20 ビット、RXSLIDE_MODE = PMA)

図 4-36 について説明します。

1. RXDATA でのスライド開始からスライド完了までのレイテンシは、データバスのアクティブ RX PCS ブロック数によって異なります。

ポートおよび属性

表 4-31 に、RX バイトおよびワード アライメントのポートを示します。

表 4-31 : RX バイトおよびワード アライメントのポート

ポート名	方向	クロック ドメイン	説明
RXBYTEISALIGNED	出力	RXUSRCLK2	<p>カンマ検出およびリアライメント回路からの信号であり、パラレル データ ストリームが、カンマ検出に従ってバイト境界に適切に揃えられているときに High になります。</p> <p>0 : パラレル データ ストリームがバイト境界に揃えられていない</p> <p>1 : パラレル データ ストリームがバイト境界に揃えられている</p> <p>RXBYTEISALIGNED がアサートされてから揃えられたデータが FPGA RX インターフェイスで使用できるようになるまでには、数サイクルが必要です。</p> <p>RXPCOMMAALIGNEN = TRUE のときは、RXBYTEISALIGNED が正のカンマ アライメントに対応し、RXMCOMMAALIGNEN = TRUE のときは、RXBYTEISALIGNED が負のカンマ アライメントに対応します。</p> <p>232 ページの「アライメント ステータス 信号」に、この信号が正しい動作にならない条件をいくつか説明します。</p>
RXBYTEREALIGN	出力	RXUSRCLK2	<p>カンマ検出およびリアライメント回路からの信号で、カンマ検出によって、シリアル データ ストリーム内のバイト アライメントが変更したことを示します。</p> <p>0 : バイト アライメントに変更なし</p> <p>1 : バイト アライメントに変更あり</p> <p>アライメントが起こるとデータの損失や重複が生じる場合があり、データ エラー (および、8B/10B デコーダーの使用時はディスパリティ エラー) が発生する可能性があります。</p>
RXCOMMADET	出力	RXUSRCLK2	<p>カンマ アライメント ブロックでカンマが検出されると、アサートされます。この信号は、FPGA RX インターフェイスでカンマが使用可能となる数サイクル前にアサートされます。</p> <p>0 : カンマは未検出</p> <p>1 : カンマを検出</p>

表 4-31 : RX バイトおよびワード アライメントのポート (続き)

ポート名	方向	クロック ドメイン	説明
RXCOMMADETEN	入力	RXUSRCLK2	<p>カンマ検出およびアライメント回路の使用を制御します。</p> <p>0 : カンマ検出およびアライメント回路をバイパス</p> <p>1 : カンマ検出およびアライメント回路を使用</p> <p>カンマおよびアライメント回路をバイパスする場合、RX データパスのレイテンシが削減されます。</p>
RXPCOMMAALIGNEN	入力	RXUSRCLK2	<p>正のカンマが検出されると、バイト境界が揃えられます。</p> <p>0 : 無効</p> <p>1 : 有効</p>
RXMCOMMAALIGNEN	入力	RXUSRCLK2	<p>負のカンマが検出されると、バイト境界が揃えられます。</p> <p>0 : 無効</p> <p>1 : 有効</p>
RXSLIDE	入力	RXUSRCLK2	<p>RXSLIDE は、カンマ アライメントの手動制御を行う場合に使用します。</p> <p>RXSLIDE がアサートされると、バイトアライメント機能によって 1 ビット調整されます。つまり、この信号が FPGA ロジックによるバイト アライメントの決定や制御を許可します。RXSLIDE がアサートされるたびに 1 回調整されます。</p> <p>再調整のため再びアサートする場合は、RXSLIDE を少なくとも RXUSRCLK2 の 32 サイクル間 Low 駆動する必要があります。</p> <p>RXSLIDE のアサートは、通常のカンマアライメント動作より優先されます。</p> <p>正しく動作させるには、ユーザーが次の設定を行う必要があります。</p> <p>RXPCOMMAALIGNEN = 0;</p> <p>RXMCOMMAALIGNEN = 0;</p> <p>RXCOMMADETEN = 1;</p> <p>SHOW_REALIGN_COMMA = FALSE</p>

表 4-32 に、RX バイトおよびワード アライメントの属性を示します。

表 4-32：RX バイトおよびワード アライメントの属性

属性	タイプ	説明
ALIGN_COMMA_WORD	整数	<p>マルチバイトのデータベースで検出されたカンマのアライメントを制御します。</p> <p>1: 2 バイト インターフェイスの場合は 2 バイト、4 バイト インターフェイスの場合は 4 バイト、8 バイト インターフェイスの場合は 8 バイトにカンマを揃える。</p> <p>カンマは、RXDATA の偶数バイトまたは奇数バイトのいずれかに揃えることができる。</p> <p>2: カンマを偶数バイトにのみ揃える。揃えられたカンマは、2 バイト インターフェイスの場合は RXDATA[9:0]、4 バイト インターフェイスの場合は RXDATA[9:0]/RXDATA[29:20]、8 バイト インターフェイスの場合は RXDATA[9:0]/RXDATA[29:20]/RX[49:40]/RX[69:60] の偶数バイトに確実に揃えられる。</p> <p>4: カンマを 4 バイト境界に揃える。この設定は、RX_INT_DATAWIDTH = 0 では利用不可。揃えられたカンマは、4 バイト インターフェイスの場合は RXDATA[9:0]、8 バイト インターフェイスの場合は RXDATA[9:0]/RXDATA[49:40] に確実に揃えられる。</p> <p>ALIGN_COMMA_WORD、RX_DATA_WIDTH、および RX_INT_DATAWIDTH の異なる設定で利用できるカンマ アライメント バウンダリの詳細は、233 ページの図 4-34 を参照してください。</p> <p>カンマを偶数位置および奇数位置に送信するプロトコルでは、ALIGN_COMMA_WORD を 1 に設定します。</p>
ALIGN_COMMA_ENABLE	10 ビット バイナリ	<p>MCOMMA/PCOMMA で入力データに一致する必要があるビット、および任意の値で問題ないビットを設定します。</p> <p>10 ビットのマスク ビットで、デフォルト値は 1111111111 です。マスクにあり、0 にリセットされるいずれのビットによっても、MCOMMA または PCOMMA 内の対応するビットが事実上 Don't Care ビットになります。</p>

表 4-32 : RX バイトおよびワード アライメントの属性 (続き)

属性	タイプ	説明
ALIGN_COMMA_DOUBLE	ブール型	<p>正または負のカンマのいずれかのみでカンマ一致を定義するか、あるいはシーケンスに両方が必要かを指定します。</p> <p>FALSE : 正のカンマ (PCOMMA) および負のカンマ (MCOMMA) を別々に扱う。いずれかが一致することでカンマ検出およびアライメントが実行される。</p> <p>TRUE : 正のカンマの直後に負のカンマがあると、カンマが一致する。一致パターンは 20 または 16 ビット (RX_DATA_WIDTH で定義) である。</p> <p>ALIGN_COMMA_DOUBLE が TRUE の場合、ALIGN_PCOMMA_DET は ALIGN_MCOMMA_DET と同一、RXPCOMMAALIGNEN は RXMCOMMAALIGNEN と同一となる必要がある。</p>
ALIGN_MCOMMA_VALUE	10 ビット バイナリ	<p>RXCOMMADET を High 駆動させてパラレルデータを揃えるために負のカンマを定義します。データ受信は右から左の順 (ALIGN_MCOMMA_VALUE [0] が最初に受信) です。デフォルト値は、10'b1010000011 (K28.5) です。この設定による、8B/10B エンコードまたはデコードへの影響はありません。</p>
ALIGN_MCOMMA_DET	ブール型	<p>負のカンマが検出されたときに RXCOMMADET をアサートするか否かを制御します。</p> <p>FALSE : 負のカンマが検出されたとき、RXCOMMADET をアサートしない</p> <p>TRUE : 負のカンマが検出されたとき、RXCOMMADET をアサートする (この設定によるカンマアライメントへの影響はない)</p>
ALIGN_PCOMMA_VALUE	10 ビット バイナリ	<p>RXCOMMADET を High 駆動させてパラレルデータを揃えるために正のカンマを定義します。データ受信は右から左の順 (ALIGN_PCOMMA_VALUE [0] が最初に受信) です。デフォルト値は、10'b0101111100 (K28.5) です。この設定による、8B/10B エンコードまたはデコードへの影響はありません。</p>
ALIGN_PCOMMA_DET	ブール型	<p>正のカンマが検出されたときに RXCOMMADET をアサートするか否かを制御します。</p> <p>FALSE : 正のカンマが検出されると、RXCOMMADET をアサートしない</p> <p>TRUE : 正のカンマが検出されると、RXCOMMADET をアサートする (この設定によるカンマアライメントへの影響はない)</p>

表 4-32：RX バイトおよびワード アライメントの属性 (続き)

属性	タイプ	説明
SHOW_REALIGN_COMMA	ブール型	<p>リアライメントのため、FPGA RX へカンマパターンを送信するかを定義します。</p> <p>FALSE：FPGA RX のリアライメントを実行させるカンマを送信しない。この設定により、RX データパスのレイテンシを削減できる。</p> <p>TRUE：FPGA RX のリアライメントを実行させるカンマを送信する。</p> <p>ALIGN_COMMA_DOUBLE = TRUE の場合または手動アライメントを使用する場合は、SHOW_REALIGN_COMMA = TRUE の設定は使用できない。</p>
RXSLIDE_MODE	文字列	<p>RXSLIDE モードを指定します。</p> <p>オフ：デフォルト設定。RXSLIDE 機能は使用されない。</p> <p>PCS：PCS を使用して、ビットスリップ機能を実行する。RXSLIDE が RXUSRCLK2 の 1 サイクル間 High 駆動する間、ALIGN_COMMA_WORD、RX_DATA_WIDTH、および RX_INT_DATAWIDTH で設定したカンマアライメント バウンダリ内でパラレル データ (RXDATA) が 1 ビット分左方向へシフトする。このモードの場合、RXOUTCLK のソースが RX PMA であっても、クロックの位相は変わらない。このオプションを使用する場合は、SHOW_REALIGN_COMMA を FALSE に設定する必要がある。</p> <p>PMA：PMA を使用して、ビットスリップ機能を実行する。RXSLIDE が RXUSRCLK2 の 1 サイクル間 High 駆動する間、パラレル データ (RXDATA) が 1 ビット分右へシフトする。RXOUTCLK のソースが RX PMA の場合、クロックの位相が変更される可能性がある。このモードでは、PCS モードよりもレイテンシ変動を最小限に抑えられる。このオプションを使用する場合は、SHOW_REALIGN_COMMA を FALSE に設定する必要がある。</p> <p>AUTO：自動化された PMA モード。RXDATA のモニタリングや RXSLIDE パルスの送信を行うための FPGA ロジックを使用しないため、RXSLIDE は無視される。PCIe[®] アプリケーションでは、FTS レーンのスキュー調整用にこの設定が使用される。このオプションを使用する場合は、SHOW_ALIGN_COMMA を FALSE に設定する必要がある。</p>

表 4-32 : RX バイトおよびワード アライメントの属性 (続き)

属性	タイプ	説明
RXSLIDE_AUTO_WAIT	整数	再びアライメント チェックを行う前に、PCS が何サイクル間 (RXUSRCLK クロック サイクルに基づく) PMA の自動スライドを待機すべきかを定義します。有効な値は、0 ~ 15 です。デフォルト値は 7 です。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RX_SIG_VALID_DLY	整数	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
COMMA_ALIGN_LATENCY	7 ビット バイナリ	ロックされているカンマ位置に基づいて入力データをアラインするバイト アライン ブロックが使用する現在のアライメントです。このレジスタへは DRP を介してのみアクセス可能です。 GTX トランシーバー : DRP アドレス 0x14E のビット [6:0] GTH トランシーバー : DRP アドレス 0x150 のビット [6:0]

RX 8B/10B デコーダー

機能の説明

RX で受信するデータが 8B/10B エンコードされる場合は、デコードが必要です。GTX/GTH トランシーバーには、TX 側に 8B/10B エンコーダーが 1 つ、そして RX 側に 8B/10B デコーダーが 1 つ内蔵されています。デコーダーには、データパス上に 4 つの 1 バイト 8B/10B デコーダー モジュールが含まれているため、FPGA リソースを使用せずにデータをデコードできます。RX 8B/10B デコーダーの機能は次のとおりです。

1. 2 バイト、4 バイト、および 8 バイトのデータパス動作をサポート
2. 正しいディスペリティが得られるように、ランニング ディスペリティのデジタイズ チェーン接続を提供
3. K 符号およびステータス出力を生成
4. 入力データが 8B/10B エンコードされていない場合は、バイパス可能
5. Not-in-Table エラー発生時に、10 ビットのリテラル エンコード値を出力

8B/10B のビットおよびバイト順序

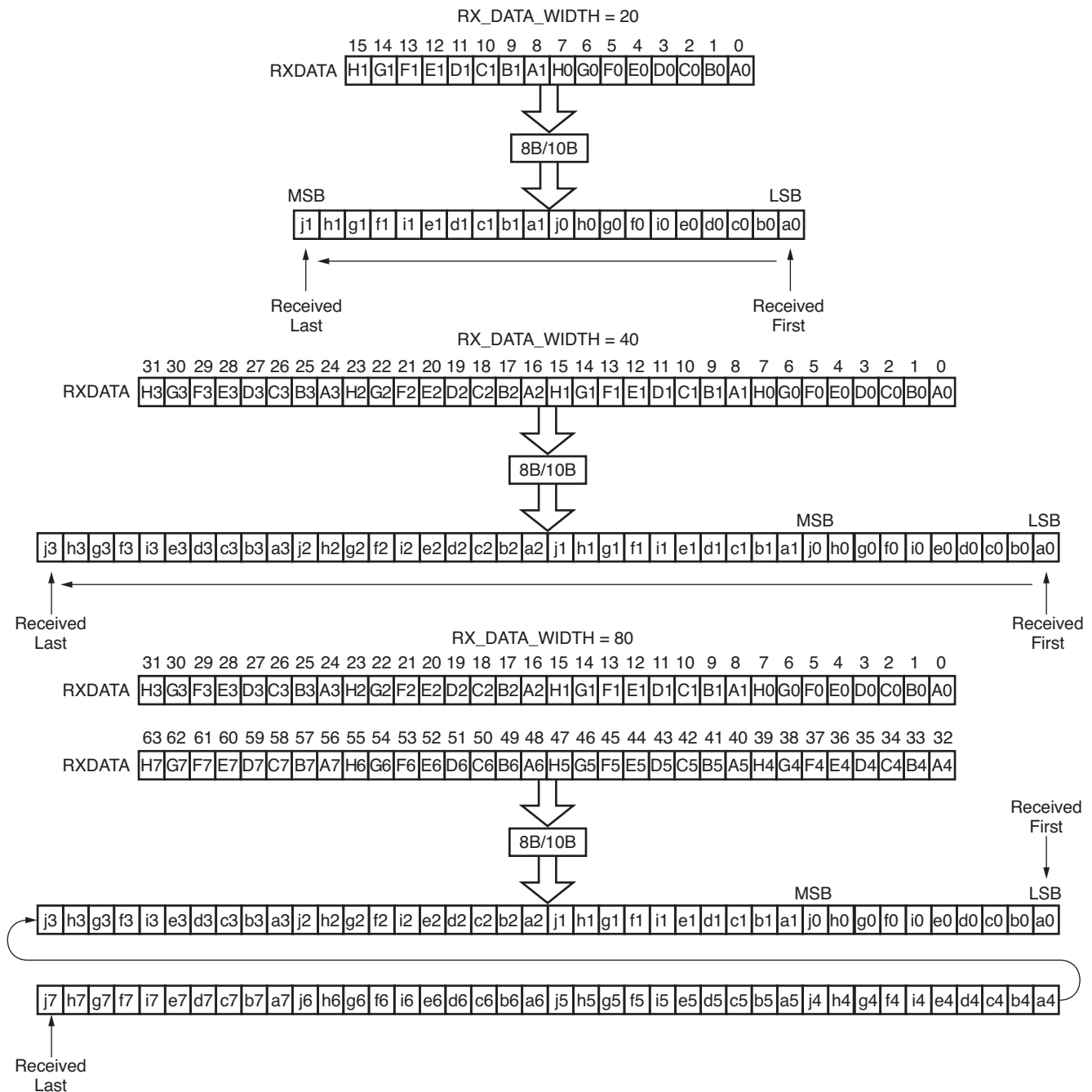
8B/10B デコーダーへ入力されるビット順序は、付録 C「8B/10B の符号」の順序の逆です。8B/10B デコードではビット a0 を最初に受信する必要がありますが、GTX/GTH トランシーバーでは常に最も右にあるビットが最初に受信されます。したがって、8B/10B デコーダーは、デコード前に受信データのビット順序を自動的に反転させるよう設計されています。そして、デコードされたデータが RXDATA ポートに現れます。図 4-37 に、RX_DATA_WIDTH = 20、40、および 80 の場合での GTX/GTH トランシーバー RX によるデータ受信を示します。8B/10B デコーダーの後、データはバイトに再構築されて RXDATA インターフェイスへ送信されます。RXDATA で使用されるビット数と対応するバイト順序は、RX_DATA_WIDTH によって異なります。

- RX_DATA_WIDTH = 20 の場合は、RXDATA[15:0] のみ使用
- RX_DATA_WIDTH = 40 の場合は、RXDATA[31:0] のみ使用

- RX_DATA_WIDTH = 80 の場合は、すべての RXDATA[63:0] を使用

8B/10B デコーダーがバイパスされ、RX_DATA_WIDTH が 10 の倍数に設定されている場合は、次のフォーマットで 10 ビットのキャラクターが RX データ インターフェイスへ送られます。

- 対応する RXDISPERR は 9 番目のビットを示す
- 対応する RXCHARISK は 8 番目のビットを示す
- 対応する RXDATA バイトは [7:0] ビットを示す



UG476_c4_17_091610

図 4-37 : 8B/10B デコーダーでのビットおよびバイト順序

RX ランニング ディスパリティ

ディスパリティ チェックが実行され、RXDATA のデータ バイトが不正なディスパリティで到達すると、デコーダーは対応する RXDISPERR を High に駆動します。8B/10B デコーダーでは、ディスパリティ エラーだけではなく、20 ビットの Out-of-Table エラー コードも検出されます。デコーダーが有効でも、受信した 10 ビット キャラクターを付録 C「8B/10B の符号」に示す有効な 8B/10B キャラクターにマップできない場合は、デコーダーが RXNOTINTABLE ポートを High に駆動します。デコードされない 10 ビットのキャラクターは、次のフォーマットで RX データ インターフェイスを介してデコーダーから出力されます。

- 対応する RXDISPERR は 9 番目のビットを示す
- 対応する RXCHARISK は 8 番目のビットを示す
- 対応する RXDATA バイトは [7:0] ビットを示す

図 4-38 に、正しいデータ (A)、ディスパリティ エラーがあるデータ (B)、Out-of-Table キャラクター (C)、およびディスパリティ エラーがある Out-of-Table キャラクター (D) をデコーダーが受信した場合の RX データ インターフェイスの波形を示します。

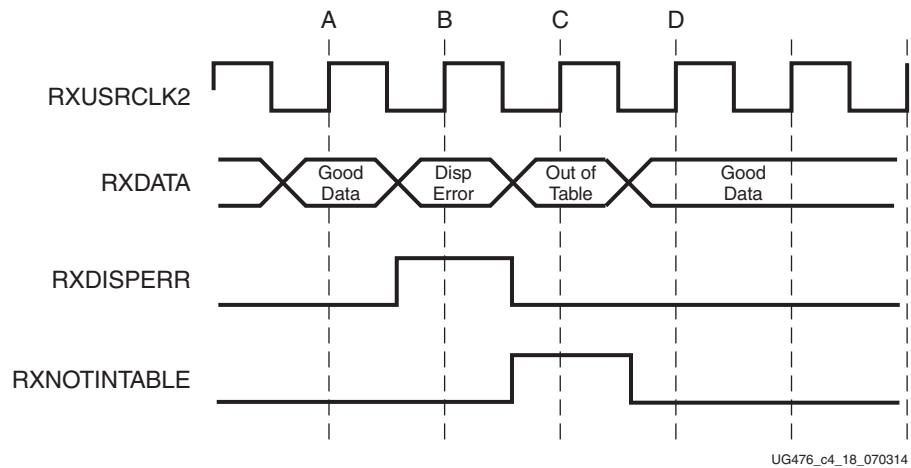


図 4-38 : 8B/10B エラーがある RX データ

特殊文字

8B/10B デコードには、制御機能に頻繁に使用される特殊文字 (K 符号) が含まれます。RXDATA が K 符号の場合、デコーダーでは RXCHARISK が High に駆動されます。

DEC_PCOMMA_DETECT が TRUE の場合、RXDATA が正の 8B/10B カンマのときは常に、デコーダーは対応する RXCHARISCOMMA を High に駆動します。DEC_MCOMMA_DETECT が TRUE の場合、RXDATA が負の 8B/10B カンマのときは常に、デコーダーは対応する RXCHARISCOMMA を High に駆動します。

ポートおよび属性

表 4-33 に、RX 8B/10B エンコーダーに必要なポートを示します。

表 4-33：RX 8B/10B デコーダーのポート

ポート	方向	クロック ドメイン	説明
RX8B10BEN	入力	RXUSRCLK2	<p>カンマ検出/アライメント ブロック直後の RX データパスで 8B/10B デコーダーの使用を選択します。この入力が Low の場合、リテラル 10 ビット データは {RXDISPERR、RXCHARISK、RXDATA<8 bits>} として出力されます。</p> <p>1：8B/10B デコーダーを使用 0：8B/10B デコーダーをバイパス (レイテンシ削減)</p>
RXCHARISCOMMA[7:0]	出力	RXUSRCLK2	<p>High の場合、RXDATA の対応するデータ バイトが K 符号であることを示します。</p> <p>RXCHARISCOMMA[7] は RXDATA[63:56] に対応 RXCHARISCOMMA[6] は RXDATA[55:48] に対応 RXCHARISCOMMA[5] は RXDATA[47:40] に対応 RXCHARISCOMMA[4] は RXDATA[39:32] に対応 RXCHARISCOMMA[3] は RXDATA[31:24] に対応 RXCHARISCOMMA[2] は RXDATA[23:16] に対応 RXCHARISCOMMA[1] は RXDATA[15:8] に対応 RXCHARISCOMMA[0] は RXDATA[7:0] に対応</p>
RXCHARISK[7:0]	出力	RXUSRCLK2	<p>High の場合、8B/10B デコードが有効のときに RXDATA の対応するデータ バイトが K 符号であることを示します。</p> <p>RXCHARISK[7] は RXDATA[63:56] に対応 RXCHARISK[6] は RXDATA[55:48] に対応 RXCHARISK[5] は RXDATA[47:40] に対応 RXCHARISK[4] は RXDATA[39:32] に対応 RXCHARISK[3] は RXDATA[31:24] に対応 RXCHARISK[2] は RXDATA[23:16] に対応 RXCHARISK[1] は RXDATA[15:8] に対応 RXCHARISK[0] は RXDATA[7:0] に対応</p> <p>8B/10B デコーダーがバイパスされている場合、または RXNOTINTABLE の対応するビットが High 駆動している場合、このビット 8 はデコードされていないデータとなる。詳細は、303 ページの「FPGA RX インターフェイス」を参照。</p>

表 4-33 : RX 8B/10B デコーダーのポート (続き)

ポート	方向	クロック ドメイン	説明
RXDISPERR[7:0]	出力	RXUSRCLK2	<p>High の場合、RXDATA の対応するデータ バイトにはディスパリティ エラーがあることを示します。</p> <p>RXDISPERR[7] は RXDATA[63:56] に対応 RXDISPERR[6] は RXDATA[55:48] に対応 RXDISPERR[5] は RXDATA[47:40] に対応 RXDISPERR[4] は RXDATA[39:32] に対応 RXDISPERR[3] は RXDATA[31:24] に対応 RXDISPERR[2] は RXDATA[23:16] に対応 RXDISPERR[1] は RXDATA[15:8] に対応 RXDISPERR[0] は RXDATA[7:0] に対応</p> <p>8B/10B デコーダーがバイパスされている場合、または RXNOTINTABLE の対応するビットが High 駆動している場合、このビット 9 はデコードされていないデータとなる。詳細は、303 ページの「FPGA RX インターフェイス」を参照。</p>
RXNOTINTABLE[7:0]	出力	RXUSRCLK2	<p>High の場合、RXDATA の対応するデータ バイトが 8B/10B テーブルの有効なキャラクターではなかったことを示します。</p> <p>RXNOTINTABLE[7] は RXDATA[63:56] に対応 RXNOTINTABLE[6] は RXDATA[55:48] に対応 RXNOTINTABLE[5] は RXDATA[47:40] に対応 RXNOTINTABLE[4] は RXDATA[39:32] に対応 RXNOTINTABLE[3] は RXDATA[31:24] に対応 RXNOTINTABLE[2] は RXDATA[23:16] に対応 RXNOTINTABLE[1] は RXDATA[15:8] に対応 RXNOTINTABLE[0] は RXDATA[7:0] に対応</p>
SETERRSTATUS	入力	非同期	予約

表 4-34 : RX 8B/10B デコーダーの属性

属性	タイプ	説明
RX_DISPERR_SEQ_MATCH	ブール型	<p>デコードされたバイトのディスパリティ エラーがチャンネル ボンディングやクロック コレクション シーケンスのインジケータと一致すべきかを指定します。</p> <p>TRUE の場合、ディスパリティ エラー ステータスが一致します。</p> <p>FALSE の場合、ディスパリティ エラー ステータスを無視します。</p>

表 4-34 : RX 8B/10B デコーダーの属性 (続き)

属性	タイプ	説明
DEC_MCOMMA_DETECT	ブール型	TRUE の場合、MCOMMA が検出されるとバイト単位のフラグ RXCHARISCOMMA が High 駆動します。 FALSE の場合、負のカンマが検出されると RXCHARISCOMMA が Low 駆動します。
DEC_PCOMMA_DETECT	ブール型	TRUE の場合、PCOMMA が検出されるとバイト単位のフラグ RXCHARISCOMMA が High 駆動します。 FALSE の場合、正のカンマが検出されると RXCHARISCOMMA が Low 駆動します。
DEC_VALID_COMMA_ONLY	ブール型	TRUE の場合、IEEE 802.3 で有効なカンマ K28.1、K28.5、および K28.7 が検出された場合にのみ、バイト単位のフラグ RXCHARISCOMMA が High 駆動します。 FALSE の場合、RXCHARISCOMMA は正または負 (DEC_PCOMMA_DETECT および DEC_MCOMMA_DETECT の設定に依存) の 8B/10B カンマ検出に使用されます。
RX_DATA_WIDTH	3 ビット バイナリ	PCS データ幅は、ファブリック ユーザー インターフェイスで設定されます。8B/10B デコードを使用しない場合の有効値は 16、32、または 64 であり、8B/10B デコードを使用する場合は 20、40、または 80 です。
UCODEER_CLR	1 ビット バイナリ	予約

8B/10B デコーダーの有効化/無効化

8B/10B デコーダーを有効にするには RX8B10BEN を High に駆動する必要があります。8B/10B デコーダーを有効にした状態で RX_DATA_WIDTH を 8 の倍数 (8、16、32、64) に設定する必要があります。

GTX/GTH レシーバー パス上の 8B/10B デコーダーを無効にするには、RX8B10BEN を Low に駆動する必要があります。8B/10B デコーダーが無効の場合は、RX_DATA_WIDTH を 10 の倍数 (10、20、40、80) に設定できます。8B/10B デコーダーをバイパスした場合の RXDATA ポートの動作については、303 ページの「FPGA RX インターフェイス」で説明しています。

RX バッファのバイパス

機能の説明

RX エラスティック バッファのバイパスは、7 シリーズ FPGA GTX/GTH トランシーバーのアドバンス機能です。SIPO から PCS への安定したデータ転送を可能にするために、RX 位相アライメント回路を使用して SIPO パラレル クロック ドメインと RX XCLK ドメイン間の位相差調整を行います。また、温度や電圧の変化に対応するために RXUSRCLK を調整して、RX 遅延の調整も行います。TX の位相と遅延の調整は、GTX/GTH トランシーバーで自動実行できますが、ユーザーが手動で制御することも可能です。図 4-48 に、XCLK ドメインと RXUSRCLK ドメインを示します。表 4-38 では、バッファと位相アライメントの比較を示します。

RXUSRCLK および RXUSRCLK2 のソースとして RX でリカバリ クロックを使用する場合は、レイテンシを削減するために RX エラスティック バッファをバイパスできます。RX エラスティック バッファをバイパスすると、RX データパスを通過する際のレイテンシが削減されて確定的になりますが、クロック コレクションおよびチャネル ボンディングは使用できません。

図 4-39 に、RX エラスティック バッファのバイパスが可能な位相アライメントを示します。RX 位相アライメントが実行される前は、SIPO パラレル クロック ドメインと RX XCLK ドメイン間に保証された位相関係はありません。RX 位相アライメントを使用する場合、RX XCLK は RXUSRCLK を使用するようにコンフィギュレーションされます。RX 位相アライメント回路により、CDR (XCLK) から調整された RX リカバリ クロックが選択されるため、SIPO パラレル クロックおよび RX XCLK 間に大きな位相差はなくなります。

RX バッファがバイパスされるときは、RXSLIDE_MODE は AUTO または PMA に設定できません。

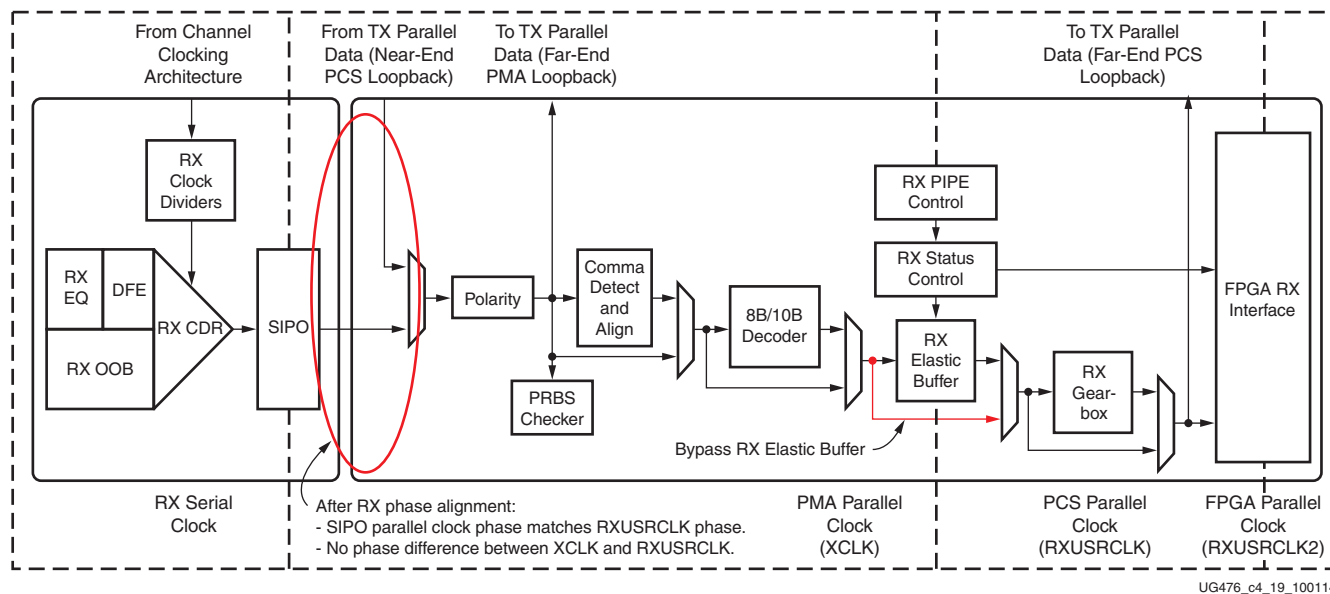


図 4-39 : RX 位相アライメントを使用する場合

ポートおよび属性

表 4-35 に、RX バッファをバイパスする場合のポートを示します。

表 4-35 : RX バッファのバイパス ポート

ポート	方向	クロックドメイン	説明
RXPHDLYRESET	入力	非同期	RXUSRCLK を遅延調整タップの中央に強制的に配置するための、RX 位相アライメントのハードリセットです。遅延調整タップは、全範囲が $\pm 4\text{ns}$ 、低範囲が $\pm 2\text{ns}$ です。このハードリセットは、その他すべての RX バッファバイパス入力ポートが Low に設定されている場合に、GTX/GTH トランシーバーが RX の位相および遅延調整を自動的に開始するために使用されます。RXDLYSRESET は、位相および遅延調整のためだけに使用することを推奨します。
RXPHALIGN	入力	非同期	RX 位相アライメントを設定します。自動調整モードを使用する場合は Low に設定します。
RXPHALIGNEN	入力	非同期	RX 位相アライメントを有効にします。自動調整モードを使用する場合は Low に設定します。
RXPHDLYPD	入力	非同期	RX の位相および遅延調整回路の電源切断に使用します。a) RXPD がアサートされている場合、あるいは b) RXOUTCLKSEL が 3'b010 に設定されているにもかかわらずリカバリクロックが利用できない場合は、High に接続してください。RX バッファをバイパスする場合の通常動作時は Low に接続してください。 0 : RX の位相および遅延調整回路に電源を投入 1 : RX の位相および遅延調整回路の電源を切断
RXPHOVRDEN	入力	非同期	RX の位相アライメントカウンターのオーバーライドを有効にします。使用しない場合は Low に設定します。 0 : 通常動作 1 : RXPH_CFG[10:6] の値で RX 位相アライメントカウンターのオーバーライド

表 4-35 : RX バッファのバイパス ポート (続き)

ポート	方向	クロック ドメイン	説明
RXDLYSRESET	入力	非同期	RXUSRCLK を遅延調整タップの中央に徐々にシフトさせるための RX 遅延調整ソフト リセットです。遅延調整タップは、全範囲が $\pm 4\text{ns}$ 、低範囲が $\pm 2\text{ns}$ です。このソフト リセットは、その他すべての RX バッファ バイパス入力ポートが Low に設定されている場合に、GTX/GTH トランシーバーが RX の位相および遅延調整を自動的に開始するために使用されます。
RXDLYBYPASS	入力	非同期	RX の遅延調整をバイパスする場合に使用します。 0 : RX の遅延調整回路を使用 1 : RX の遅延調整回路をバイパス
RXDLYEN	入力	非同期	RX 遅延調整回路を有効にします。使用しない場合は Low に設定します。
RXDLYOVRDEN	入力	非同期	RX の遅延調整カウンターのオーバーライドを有効にします。使用しない場合は Low に設定します。 0 : 通常動作 1 : RXDLY_CFG[14:6] の値で RX 遅延調整カウンターをオーバーライド
RXDDIEN	入力	非同期	デシリアライザーでの RX データ遅延挿入を有効にします。RX バッファをバイパスする場合は、このポートを High に設定します。
RXPHALIGNDONE	出力	非同期	RX の位相アライメント完了を示します。RX の自動位相および遅延調整が実行されている場合、RXDLYSRESETDONE がアサートされた後に RXPHALIGNDONE の 2 番目の立ち上がりエッジが検出されると、RX の位相および遅延調整が完了したことを示します。 RXDATA のデータのアライメントは、RXPHALIGNDONE の 2 番目の立ち上がりエッジ後に変更できます。
RXPHMONITOR	出力	非同期	RX の位相アライメント モニターです。
RXPHSLIPMONITOR	出力	非同期	RX の位相アライメント スリップ モニターです。
RXDLYSRESETDONE	出力	非同期	RX の遅延調整ソフト リセットが完了したことを示します。

表 4-35：RX バッファのバイパス ポート (続き)

ポート	方向	クロック ドメイン	説明
RXSYNCMODE	入力	非同期	GTH トランシーバー： 0：RX バッファ バイパス スレーブ レーン 1：RX バッファ バイパス マスター レーン マルチ レーン手動モードで使用します。
RXSYNCALLIN	入力	非同期	GTH トランシーバー： シングル レーン自動モード：それぞれの RXPHALIGNDONE へ接続します。 マルチ レーン自動モード：マスターおよびすべてのスレーブ レーンの RXPHALIGNDONE の AND 回路を介した信号へ接続します。 マルチ レーン手動モード：マルチ レーン手動モードで使用します。
RXSYNCIN	入力	非同期	GTH トランシーバー： マルチ レーン自動モード アプリケーションでのみ有効です。RX バッファ バイパス マスター レーンから RXSYNCOUT へ接続します。
RXSYNCOUT	出力	非同期	GTH トランシーバー： マルチ レーン自動モード アプリケーションの RX バッファ バイパス マスター レーンでのみ有効です。マルチ レーン アプリケーションの各レーンの RXSYNCIN へ接続します。
RXSYNCDONE	出力	非同期	GTH トランシーバー： RX バッファをバイパスする場合の位相アライメント プロセスが完了したことを示します。自動モード動作の RX バッファ バイパス マスター レーンでのみ有効です。

表 4-36 に、RX バッファの属性を示します。

表 4-36 : RX バッファ バイパスの属性

属性	タイプ	説明
RXBUF_EN	ブール型	<p>RX エラスティック バッファの使用またはバイパスを指定します。</p> <p>TRUE : RX エラスティック バッファを使用 (デフォルト)</p> <p>FALSE : RX エラスティック バッファをバイパス (アドバンス機能)</p>
RX_XCLK_SEL	文字列	<p>RX パラレル クロック ドメイン (XCLK) を駆動するクロックを選択します。</p> <p>RXREC : XCLK のソースとして RX リカバリ クロックを選択。 RX エラスティック バッファを使用するときに使用。</p> <p>RXUSR : XCLK のソースとして RXUSRCLK を選択。 RX エラスティック バッファをバイパスするときに使用。</p>
RXPH_CFG	24 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RXPH_MONITOR_SEL	5 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RXPHDLY_CFG	24 ビット バイナリ	<p>RX の位相および遅延調整回路のコンフィギュレーションです。 RX の遅延調整タップを全範囲の $\pm 4\text{ns}$ に設定する場合は、RXPHDLY_CFG[19] = 1 を使用します。 RX の遅延調整タップを全範囲の $\pm 2\text{ns}$ に設定する場合は、RXPHDLY_CFG[19] = 0 を使用します。</p> <p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p>
RXDLY_CFG	16 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RXDLY_LCFG	9 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RXDLY_TAP_CFG	16 ビット バイナリ	予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RX_DDI_SEL	6 ビット バイナリ	<p>RX データ遅延挿入を有効にします。</p> <p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p>

表 4-36：RX バッファース バイパスの属性 (続き)

属性	タイプ	説明
RXSYNC_MULTILANE	1 ビット バイナリ	GTH トランシーバー： マルチ レーン インターフェイスの一部として使用されるか否かを指定します。自動モードの RX バッファース バイパス マスター レーンでのみ有効です。 0：シングル レーン モードで使用 1：マルチ レーン モードで使用
RXSYNC_SKIP_DA	1 ビット バイナリ	GTH トランシーバー： 遅延調整プロセスをスキップするか否かを指定します。自動モードの RX バッファース バイパス マスター レーンでのみ有効です。 0：RX 遅延調整プロセスを実行 1：RX 遅延調整プロセスをスキップ
RXSYNC_OVRD	1 ビット バイナリ	GTH トランシーバー： 手動モードを優先させる場合に使用します。 0：RX バッファース バイパスの自動モードが有効 1：RX バッファース バイパスの手動モードを使用。RX バッファース のバイパス制御をフリップ ロジックにインプリメントする。
TST_RSV[0]	1 ビット バイナリ	0：通常 1：データ遅延挿入 (DDI) の遅延設定を RX_DDI_SEL 属性でオーバーライドする

RX バッファース バイパスの使用モード

RX 位相アライメントは、1 つのチャンネル (シングル レーン) または 1 つの RXOUTCLK (マルチ レーン) を共有するチャンネル グループに対してのみ実行可能です。GTX トランシーバーの場合、RX バッファース バイパスはシングル レーン自動モードおよびマルチ レーン手動モードをサポートします。GTH トランシーバーの場合、RX バッファース バイパスはシングル レーン自動モード、および手動および自動モードのマルチ レーン アプリケーションをサポートします (表 4-37 参照)。

表 4-37：RX バッファース バイパスの使用モード

RX バッファース のバイパス	GTX トランシーバー	GTH トランシーバー
シングル レーン	自動	自動 ⁽¹⁾
マルチ レーン	手動 ⁽²⁾	手動または自動 ⁽²⁾

注記：

1. GTX トランシーバーのシングル レーン自動モードは、GTH トランシーバーのシングル レーン モードと互換性がありません。
2. スタックド シリコン インターコネクト (SSI) テクノロジでは、GTH クワッドは SLR 境界をまたいで接続されません。SLR 境界をまたぐマルチ レーン RX バッファース のバイパスが必要となるシステムでは、ユーザー仕様に従ったクロッキング トポロジと特性評価が必要になります。この場合、通常はサポートと保証の対象外となります。

シングル レーン自動モードでの RX バッファ バイパスの使用 (GTX トランシーバーのみ)

RX エラスティック バッファをバイパスするには、GTX トランシーバーを次のように設定する必要があります。

- RXBUF_EN = FALSE
- RX_XCLK_SEL = RXUSR
- RXOUTCLKSEL = 010b — RXOUTCLK のソースとして RX リカバリ クロックを選択します。
- RXDDIEN = 1
- PCS_RSVD_ATTR[2] = 0b

RX リカバリ クロックが選択される場合、RXOUTCLK が RXUSRCLK のソースとして使用されます。RXOUTCLK および選択した RX リカバリ クロックが確実に必要な周波数で動作するようにします。RX エラスティック バッファをバイパスする場合は、次の条件の後に必ず RX 位相アライメント プロセスを実行します。

- GTX レシーバーのリセットまたは電源投入
- CPLL/QPLL のリセットまたは電源投入
- RX のリカバリ クロック ソースまたは周波数の変更
- GTX トランシーバーの RX ライン レートの変更

図 4-40 に、温度や電圧の変化に対応して RXUSRCLK を調整するのに必要な、自動 RX 位相アライメントと RX 遅延調整を示します。

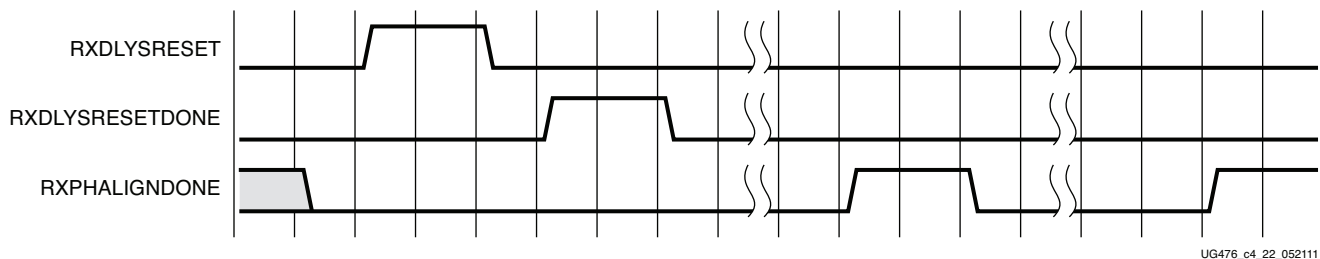


図 4-40 : RX バッファ バイパス — シングル レーン自動モード (GTX トランシーバーのみ)

図 4-40 について説明します。

1. 図 4-40 はイベント シーケンスを表しており、正確な縮尺ではありません。
2. GTX レシーバーのリセットや RX のレート変更などが行われた後、XCLK と RXUSRCLK の位相を揃えるために、RX 位相アライメントが実行される必要があります。RX 位相および遅延調整を開始するには、RXDLYSRESET をアサートする前に、既存の RXELECIDLE および RX CDR がロックされるまで待機します。RXDLYSRESET のアサートは 50ns 未満とする必要があります。
3. RXDLYSRESETDONE = 1 になるまで待機します。RXDLYSRESETDONE は少なくとも 100ns 間アサートされたままとなります。
4. RXPHALIGNDONE の 2 番目の立ち上がりエッジが検出されると、RX 位相アライメントが完了したことを示します。RXPHALIGNDONE の最初のアサートでは、最小パルス幅は 100ns です。RXPHALIGNDONE の 2 番目の立ち上がりエッジでは、この信号は、別のアライメントが開始されるまでアサートされた状態を維持する必要があります。

5. 温度や電圧の変化に対応するために RXUSRCLK を継続的に調整して、RX 遅延を調整します。

RX リカバリ クロックと RXUSRCLK が安定し、確実にクロック調整で使えるようにするには、RXELECIDLE がディアサートされて RX CDR がロックされた後に、必ず RX 位相アライメントを実行する必要があります。RX エラスティック バッファをバイパスする場合、GTX トランシーバー リセットやレート変更などによる位相差によって、PMA からの受信データにずれが生じる可能性があります。ファブリック インターフェイスで評価された受信データが無効な場合は、RX CDR がロックされている間 RX 位相アライメントを繰り返す必要があります。

シングル レーン自動モードでの RX バッファ バイパスの使用 (GTH トランシーバーのみ)

RX バッファをバイパスするには、GTH トランシーバーを次のように設定する必要があります。

- RXBUF_EN = FALSE
- RX_XCLK_SEL = RXUSR
- RXOUTCLKSEL = 010b — RXOUTCLK のソースとして RX リカバリ クロックを選択します。
- RXDDIEN = 1

RX リカバリ クロックが選択される場合、RXOUTCLK が RXUSRCLK のソースとして使用されます。RXOUTCLK および選択した RX リカバリ クロックが確実に必要な周波数で動作するようにします。RX エラスティック バッファをバイパスする場合は、次の条件の後に必ず RX 位相アライメント プロセスを実行します。

- GTH レシーバーのリセットまたは電源投入
- CPLL/QPLL のリセットまたは電源投入
- RX のリカバリ クロック ソースまたは周波数の変更
- GTH トランシーバーの RX ライン レートの変更

シングル レーン自動モードで RX バッファ バイパスをセットアップするには、属性を次のように設定する必要があります。

- RXSYNC_MULTILANE = 0
- RXSYNC_OVRD = 0

図 4-41 に示すようにポートを設定します。

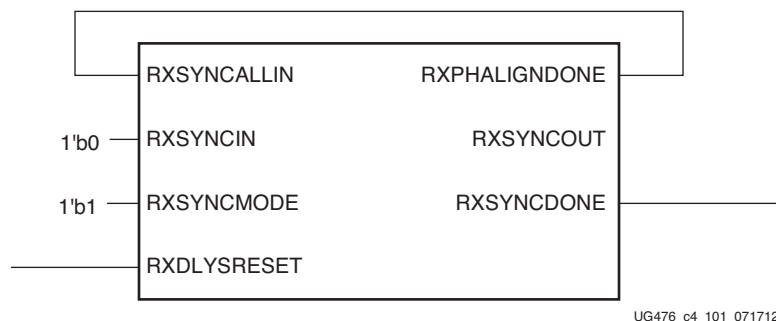


図 4-41 : RX バッファ バイパス — シングル レーン、自動モード ポート接続
(GTH トランシーバーのみ)

図 4-42 に、温度や電圧の変化に対応して RXUSRCLK を調整するのに必要な、自動 RX 位相アライメントと RX 遅延調整を示します。

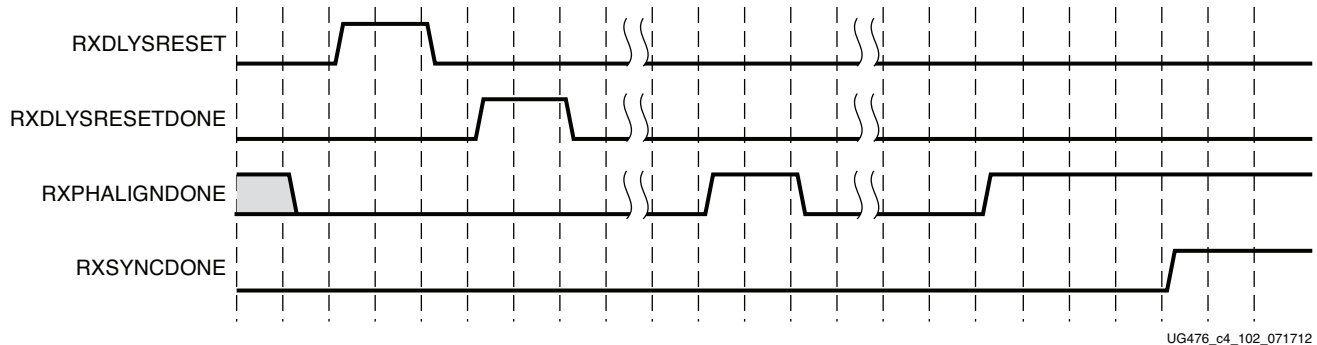


図 4-42 : RX バッファ バイパスの例 — シングル レーン自動モード (GTH トランシーバーのみ)

図 4-42 について説明します。

1. 図 4-42 はイベント シーケンスを表しており、正確な縮尺ではありません。
2. GTH レシーバーのリセットや RX のレート変更などが行われた後、XCLK と RXUSRCLK の位相を揃えるために、RX 位相アライメントが実行される必要があります。RX 位相および遅延調整を開始するには、RXDLYSRESET をアサートする前に、既存の RXELECIDLE および RX CDR がロックされるまで待機します。RXDLYSRESET のアサートは 50ns 未満とする必要があります。
3. RXDLYSRESETDONE が High になるまで待機します。RXDLYSRESETDONE は少なくとも 100ns 間アサートされたままとなります。
4. RXSYNCDONE がアサートされると、アライメントが完了します。この信号は、アライメントが再開されるまでアサートされたままとなります。
5. RXSYNCDONE がアサートされると、RXPHALIGNDONE によってアライメントの完了および継続が示されます。
6. 温度や電圧の変化に対応するために RXUSRCLK を継続的に調整して、RX 遅延を調整します。

RX リカバリ クロックと RXUSRCLK が安定し、確実にクロック調整で使えるようにするには、RX CDR がロックされた後に、必ず RX 位相アライメントを実行する必要があります。RX エラスティック バッファをバイパスする場合、GTH トランシーバー リセットやレート変更などによる位相差によって、PMA からの受信データにずれが生じる可能性があります。ファブリック インターフェイスで評価された受信データが無効な場合は、RX CDR がロックされている間 RX 位相アライメントを繰り返す必要があります。

マルチ レーン手動モードでの RX バッファ バイパスの使用 (GTX および GTH トランシーバー)

SSI ベースのデバイスの SLR 境界を超えることをサポートするマルチ レーン RX バッファ バイパスは高度な機能であるため、標準動作での使用は推奨されていません。この機能の動作は、特定のシステム レベルの条件下およびデータ レートでのみ保証されます。

GTX トランシーバーの場合、マルチ レーンのアプリケーションで RX バッファのバイパスが必要な場合は、位相アライメントを手動で実行してください。GTH トランシーバーの場合、位相アライメントは手動または自動で実行できます。

このセクションでは、マルチ レーン RX バッファ バイパスのアライメントを手動で実行するために必要な手順を説明します。

- マスター：マルチ レーンのアプリケーションでは、バッファ バイパス マスターは RXOUTCLK をソースとするレーンです。
- スレーブ：バッファ バイパス マスターの RXOUTCLK から生成される、同じ RXUSRCLK/RXUSRCLK2 を共有するすべてのレーンです。

図 4-43 に、バッファ バイパス マスターおよびスレーブ レーンの例を示します。

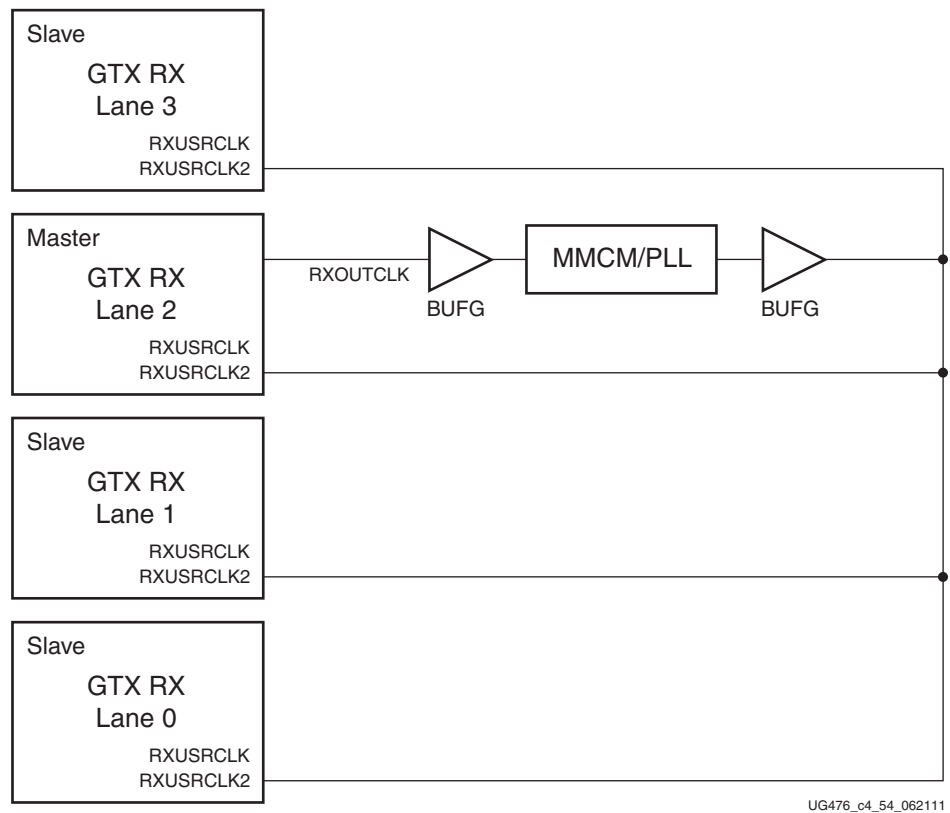


図 4-43 : RX のバッファ バイパス マスターおよびスレーブ レーンの例

RX エラスティック バッファをバイパスするには、GTX/GTH トランシーバーを次のように設定する必要があります。

- RXBUF_EN = FALSE
- RX_XCLK_SEL = RXUSR
- RXOUTCLKSEL = 010 — RXOUTCLK のソースとして RX リカバリ クロックを選択します。
- RXDDIEN = 1

RX リカバリ クロックが選択される場合、RXOUTCLK が RXUSRCLK のソースとして使用されます。RXOUTCLK および選択した RX リカバリ クロックが確実に必要な周波数で動作するようにします。RX エラスティック バッファをバイパスする場合は、次の条件の後に必ず RX 位相アライメント プロセスを実行します。

- GTX/GTH レシーバーのリセットまたは電源投入
- CPLL/QPLL のリセットまたは電源投入

- RX のリカバリ クロック ソースまたは周波数の変更
- GTX/GTH トランシーバーの RX ライン レートの変更

図 4-44 に、手動による RX の位相および遅延調整を示します。

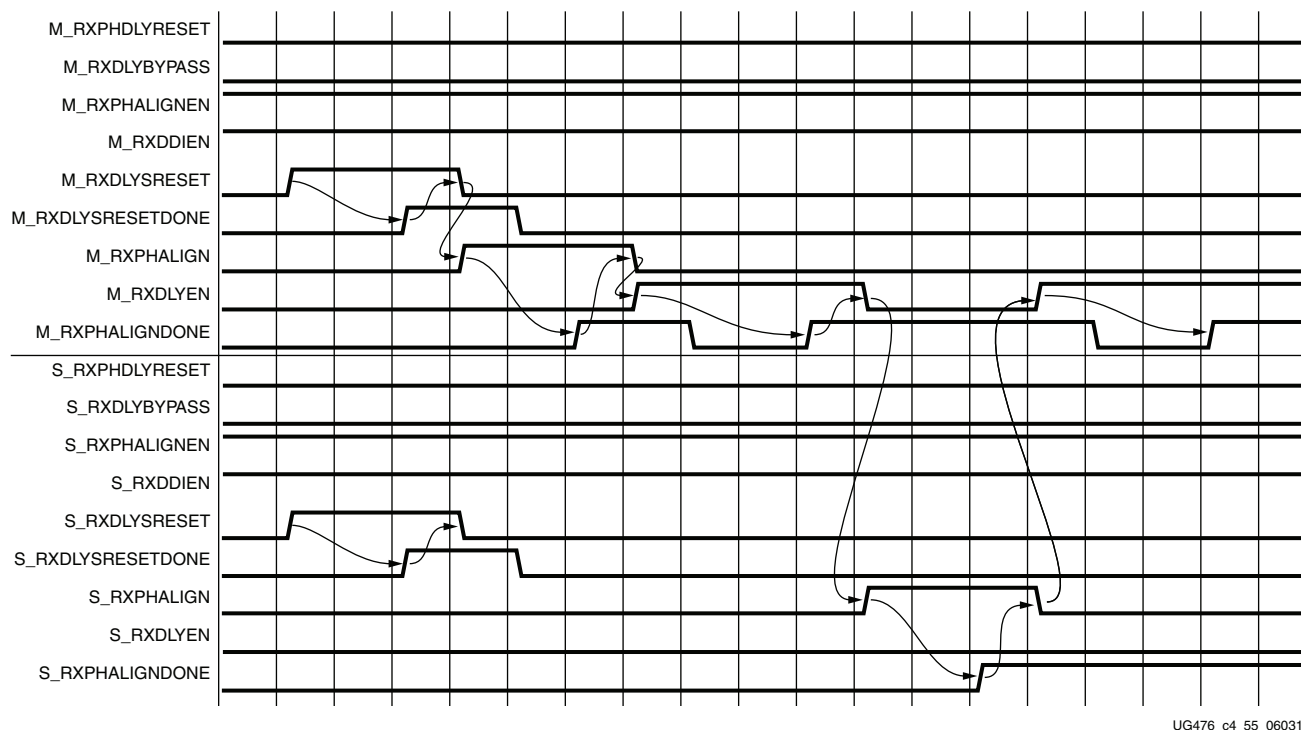


図 4-44：手動モードでの RX の位相および遅延調整

図 4-44 について説明します。

1. [図 4-44](#) はイベント シーケンスを表しており、正確な縮尺ではありません。
2. **M_*** はマスター レーンに関連するポートを示します。
3. **S_*** はスレーブ レーンに関連するポートを示します。
4. GTX トランシーバー : PCS_RSVD_ATTR[2] 属性を 1'b1 に設定します。
GTH トランシーバー : RXSYNC_OVRD 属性を 1'b1 に設定します。
5. すべてのレーンの RXPHDLYRESET および RXDLYBYPASS を Low に設定します。
6. すべてのレーンの RXPHALIGNEN および RXDDIEN を High に設定します。
7. すべてのレーンの RXDLYSRESET をアサートします。各レーンの RXDLYSRESETDONE がアサートされるまでこの信号を High に保持します。
8. RXDLYSRESETDONE がアサートされるレーンの RXDLYSRESET をディアサートします。
9. すべてのレーンの RXDLYSRESET がディアサートされる場合、マスター レーンの RXPHALIGN をアサートします。マスター レーンの RXPHALIGNDONE の立ち上がりエッジが確認されるまでこの信号を High に保持します。
10. マスター レーンの RXPHALIGN をディアサートします。
11. マスター レーンの RXDLYEN をアサートします。これにより、RXPHALIGNDONE がディアサートされます。

12. マスター レーンの RXPALIGNDONE の立ち上がりエッジが確認されるまでこのレーンの RXDLYEN を High に保持します。
13. マスター レーンの RXDLYEN をディアサートします。
14. すべてのスレーブ レーンの RXPALIGN をアサートします。各スレーブ レーンの RXPALIGNDONE の立ち上がりエッジが確認されるまでこの信号を High に保持します。
15. RXPALIGNDONE がアサートされるレーンの RXPALIGN をディアサートします。
16. すべてのスレーブ レーンの RXPALIGN がディアサートされる場合、マスター レーンの RXDLYEN をアサートします。これにより、マスター レーンの RXPALIGNDONE がディアサートされます。
17. マスター レーンの RXPALIGNDONE が再度アサートされるまで待機します。マルチ レーン インターフェイスの位相および遅延調整が完了します。温度および電圧の変化に対応するため、マスター レーンの RXDLYEN を引き続き High に保持します。

マルチ レーンのアプリケーションでは、RXELECIDLE がいずれかのレーンでディアサートされた後、RX アライメントをインターフェイスで開始する必要があります。すべてのレーンの RX CDR は、RX アライメントを開始する前にロックします。これは、アライメント前に RX リカバリ クロックおよび RXUSRCLK が安定し、確実にアライメント可能な状態にするためです。

RX エラスティック バッファをバイパスする場合、GTX/GTH トランシーバー リセットやレート変更などによる位相差によって、PMA からの受信データにずれが生じる可能性があります。ファブリック インターフェイスで評価された受信データがいずれかのレーンで無効な場合は、すべてのレーンの RX CDR がロックされた後にインターフェイスの RX アライメントを繰り返す必要があります。

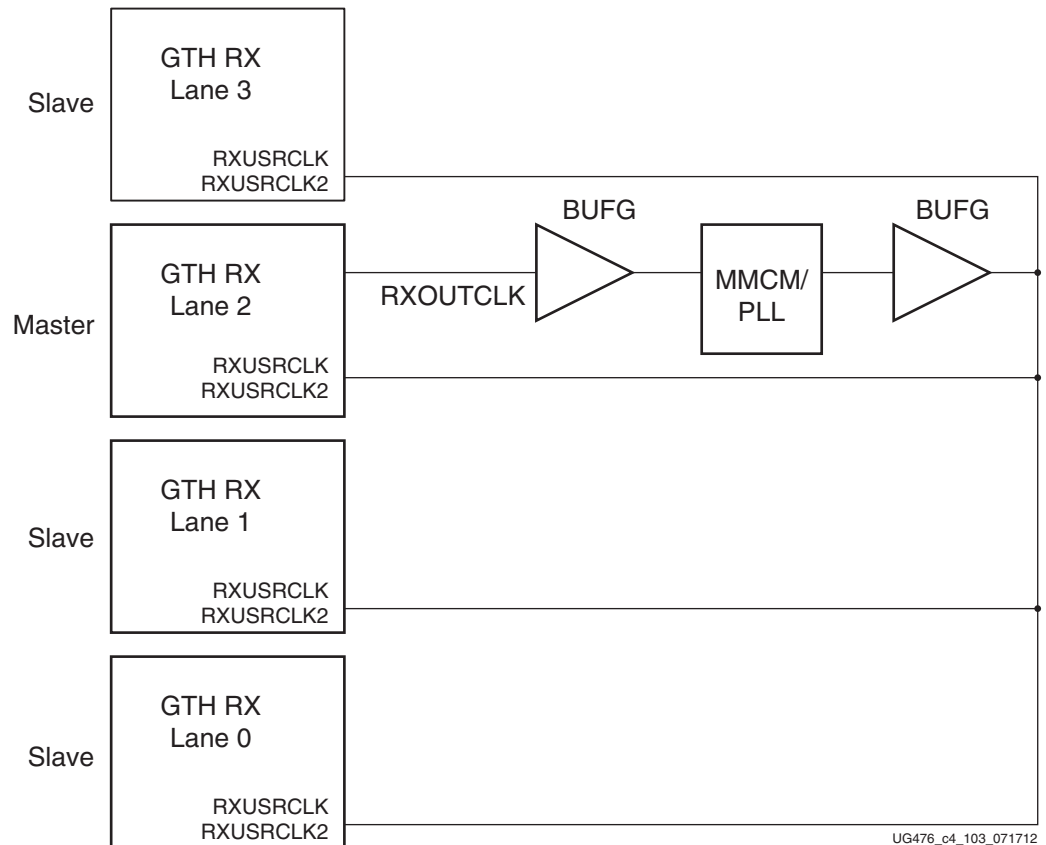
マルチ レーン自動モードでの RX バッファ バイパスの使用 (GTH トランシーバーのみ)

SSI ベースのデバイスの SLR 境界を超えることをサポートするマルチ レーン TX バッファ バイパスは高度な機能であるため、標準動作での使用は推奨されていません。この機能の動作は、特定のシステム レベルの条件下およびデータ レートでのみ保証されます。

GTH トランシーバーの場合、マルチ レーンのアプリケーションで RX バッファのバイパスが必要なときは、位相アライメントを手動または自動で実行できます。このセクションでは、マルチ レーン RX バッファ バイパスのアライメントを自動で実行するために必要な手順を説明します。

- マスター：マルチ レーンのアプリケーションでは、バッファ バイパス マスターは RXOUTCLK をソースとするレーンです。
- スレーブ：これらはすべて、バッファ バイパス マスターの RXOUTCLK から生成される、同じ RXUSRCLK/RXUSRCLK2 を共有するレーンです。

図 4-45 に、バッファ バイパス マスターおよびスレーブ レーンの例を示します。



UG476_c4_103_071712

図 4-45 : バッファ バイパス マスターおよびスレーブ レーンの例

RX バッファをバイパスするには、GTH トランシーバーを次のように設定する必要があります。

- RXBUF_EN = FALSE
- RX_XCLK_SEL = RXUSR
- RXOUTCLKSEL = 010 — RXOUTCLK のソースとして RX リカバリ クロックを選択します。
- RXDDIEN = 1

RX リカバリ クロックが選択される場合、RXOUTCLK が RXUSRCLK のソースとして使用されます。RXOUTCLK および選択した RX リカバリ クロックが確実に必要な周波数で動作するようにします。RX エラスティック バッファをバイパスする場合は、次の条件の後に必ず RX 位相アライメント プロセスを実行します。

- GTH レシーバーのリセットまたは電源投入
- CPLL/QPLL のリセットまたは電源投入
- RX のリカバリ クロック ソースまたは周波数の変更
- GTH トランシーバーの RX ライン レートの変更

マルチ レーン自動モードで RX バッファ バイパスをセットアップするには、属性を次のように設定する必要があります。

- RXSYNC_MULTILANE = 1
- RXSYNC_OVRD = 0

図 4-46 に示すようにポートを設定します。

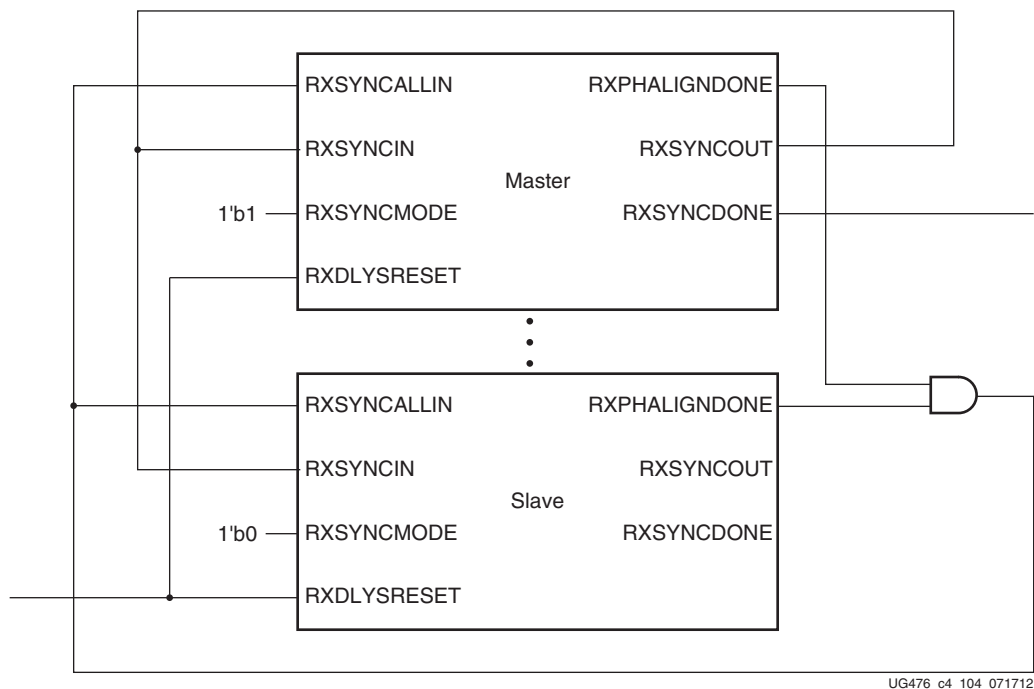
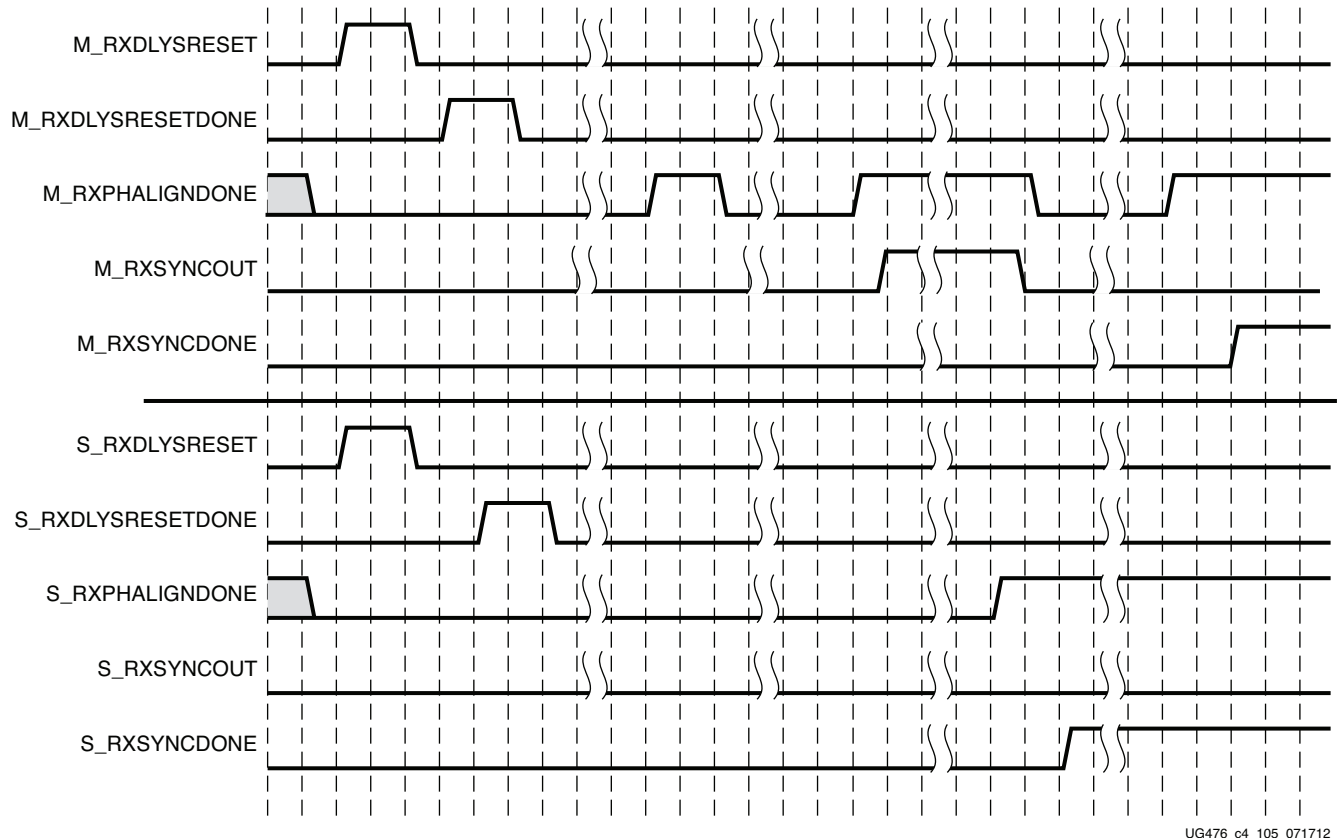


図 4-46 : RX バッファ バイパス — マルチ レーン自動モード ポート接続
(GTH トランシーバーのみ)

図 4-47 に、RX の位相および遅延の自動調整を示します。



UG476_c4_105_071712

図 4-47 : RX バッファ バイパスの例 — マルチ レーン自動モード (GTH トランシーバーのみ)

図 4-47 について説明します。

- 図 4-47 はイベント シーケンスを表しており、正確な縮尺ではありません。
- M_* はマスター レーンに関連するポートを示します。
- S_* はスレーブ レーンに関連するポートを示します。
- GTH レシーバーのリセットや RX のレート変更などが行われた後、XCLK と RXUSRCLK の位相を揃えるために、RX 位相アライメントが実行される必要があります。RX 位相および遅延調整を開始するには、RXDLYSRESET をアサートする前に、既存の RXELECIDLE および RX CDR がロックされるまで待機します。RXDLYSRESET のアサートは 50ns 未満とする必要があります。
- RXDLYSRESETDONE が High になるまで待機します。RXDLYSRESETDONE は少なくとも 100ns 間アサートされたままとなります。
- マスター レーンの RXSYNCDONE がアサートされると、アライメントが完了します。この信号は、アライメントが再開されるまでアサートされたままとなります。
- マスター レーンの RXSYNCDONE がアサートされると、マスター レーンの RXPHALIGNDONE によってアライメントの完了および継続が示されます。
- 温度や電圧の変化に対応するために RXUSRCLK を継続的に調整して、RX 遅延を調整します。

マルチレーンのアプリケーションでは、RXELECIDLE がいずれかのレーンでディアサートされた後、RX アライメントをインターフェイスで開始する必要があります。すべてのレーンの RX CDR は、RX アライメントを開始する前にロックします。これは、アライメント前に RX リカバリ クロックおよび RXUSRCLK が安定し、確実にアライメント可能な状態にするためです。

RX エラスティック バッファをバイパスする場合、GTH トランシーバー リセットやレート変更などによる位相差によって、PMA からの受信データにずれが生じる可能性があります。ファブリック インターフェイスで評価された受信データがいずれかのレーンで無効な場合は、すべてのレーンの RX CDR がロックされた後にインターフェイスの RX アライメントを繰り返す必要があります。

RX エラスティック バッファ

機能の説明

GTX/GTH トランシーバー RX のデータパスには、PCS で使用される 2 つの内部平行 クロック ドメイン (PMA 平行 クロック ドメイン (XCLK) および RXUSRCLK ドメイン) があります。データを受信する場合は、PMA 平行 レートと RXUSRCLK レートが近似し、2 つのドメイン間の位相差をなくす必要があります。図 4-48 に、2 つの平行 クロック ドメイン (XCLK および RXUSRCLK) を示します。

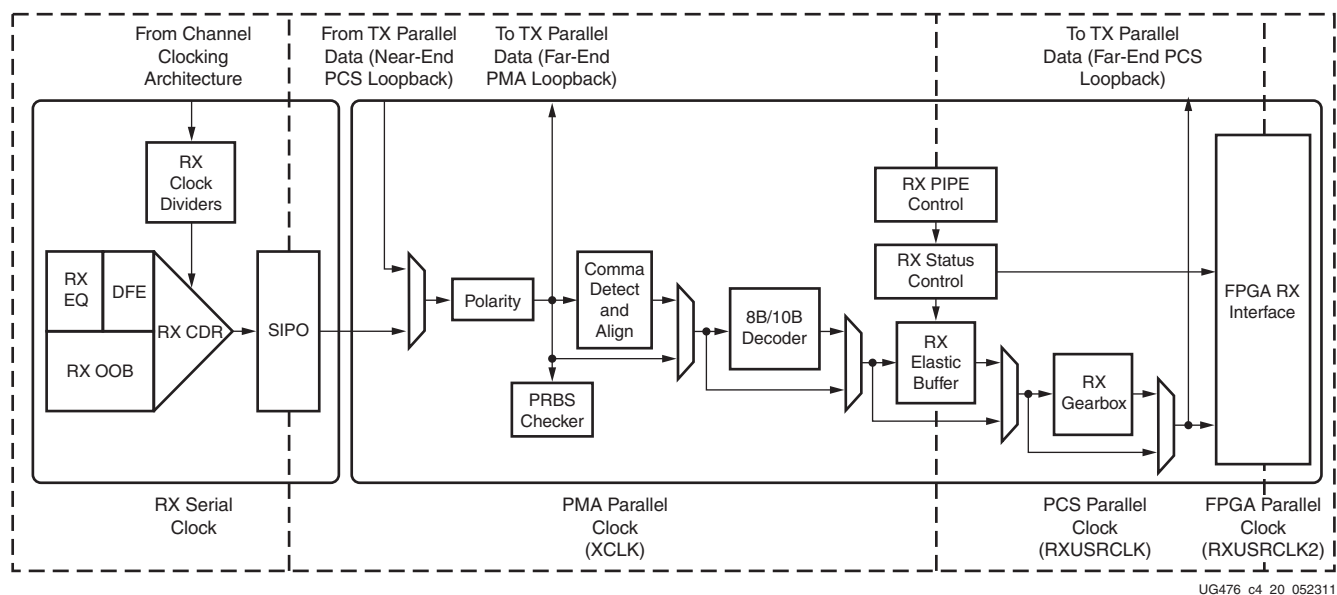


図 4-48 : RX クロック ドメイン

GTX/GTH トランシーバーには、XCLK ドメインと RXUSRCLK ドメイン間の位相差をなくすため、RX エラスティック バッファが内蔵されています。また、RX バッファをバイパスする場合は、トランシーバーからのリカバリ クロックを使用して RXUSRCLK を駆動し、その位相を XCLK と一致するよう調整することで、2 つのドメインの位相を一致させることも可能です (247 ページの「RX バッファのバイパス」参照)。すべての RX データパスにおいて、これらの方法のいずれかを使用して位相を一致させる必要があります。表 4-38 に、各方法の長所および短所を示します。

表 4-38 : RX バッファと位相アライメントの比較

	RX エラスティック バッファ	RX 位相アライメント
使いやすさ	可能な限り RX バッファをデフォルトで使用することを推奨。動作が堅牢で扱いやすい。	追加ロジックやクロック ソースに追加制約が必要なアドバンス機能。RXUSRCLK を駆動するための RXOUTCLK のソースとして、RXOUTCLKSEL が RX リカバリ クロックを選択する必要がある。
クロッキングオプション	RX リカバリ クロックまたはローカル クロック (クロック コレクションあり) を使用可能。	RX リカバリ クロックの使用が必須。
初期化	すぐに実行可能。	RX 位相および遅延調整を実行する前に、全クロックが安定するまで待機する必要がある。
レイテンシ	クロック コレクションおよびチャネル ボンディングなど、使用する機能によって異なる。	より低く確定的なレイテンシ。
クロック コレクション/チャネル ボンディング	クロック コレクションやチャネル ボンディングには必須。	トランシーバ内部では実行されない。ユーザー ロジックにインプリメントする必要がある。

ポートおよび属性

表 4-39 に、RX バッファのポートを示します。

表 4-39 : RX バッファのポート

ポート	方向	クロック ドメイン	説明
RXBUFRESET	入力	非同期	RX エラスティック バッファをリセットして再初期化します。
RXBUFSTATUS[2:0]	出力	RXUSRCLK2	<p>RX バッファのステータスです。RX エラスティック バッファのアンダーフローまたはオーバーフロー エラー ステータスはスティッキー ビットではないため、エラーがクリアされれば通常の状態 (000b) に戻ります。エラー状態が検出されたときは、RX エラスティック バッファのリセットを推奨します。クロック コレクションが無効の場合は、RXBUF_ADDR_MODE を FULL に設定することにより、RXBUFSTATUS コード 001b および 010b を使用できます。</p> <p>000b: 通常条件</p> <p>001b: バッファのバイト数が CLK_COR_MIN_LAT 未満</p> <p>010b: バッファのバイト数が CLK_COR_MAX_LAT より多い</p> <p>101b: RX エラスティック バッファがアンダーフロー</p> <p>110b: RX エラスティック バッファがオーバーフロー</p>

表 4-40 に、RX バッファの属性を示します。

表 4-40：RX バッファの属性

属性	タイプ	説明
RXBUF_EN	ブール型	RX エラスティック バッファの使用またはバイパスを指定します。 TRUE : RX エラスティック バッファを使用 (デフォルト) FALSE : RX エラスティック バッファをバイパス (アドバンス機能)
RX_XCLK_SEL	文字列	RX パラレル クロック ドメイン (XCLK) を駆動するクロックを選択します。 RXREC : XCLK のソースとして RX リカバリ クロックを選択。RX エラスティック バッファを使用するときに使用。 RXUSR : XCLK のソースとして RXUSRCLK を選択。RX エラスティック バッファをバイパスするときに使用。
RX_BUFFER_CFG	6 ビット バイナリ	RX エラスティック バッファのコンフィギュレーションです。 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RX_DEFER_RESET_BUF_EN	ブール型	カンマ リアライメント時の RX エラスティック バッファ リセット動作を延期します。延期時間は RXBUF_EIDLE_HI_CNT で制御されます。 TRUE : カンマ リアライメント時の RX エラスティック バッファ リセット動作の延期が有効。 FALSE : カンマ リアライメント時の RX エラスティック バッファ リセット動作の延期が無効。
RXBUF_ADDR_MODE	文字列	RX エラスティック バッファのアドレス (処理スピード) モードを指定します。 FULL : クロック コレクションおよびチャネル ボンディングをサポートする RX エラスティック バッファが有効。 FAST : クロック コレクションおよびチャネル ボンディングをサポートしない RX エラスティック バッファが有効。 このモードは、高ライン レートに推奨される。
RXBUF_EIDLE_HI_CNT	4 ビット バイナリ	RXP/RXN シリアル ラインに有効なデータが現れない場合、電気的アイドル時に GTX/GTH トランシーバー内部で生成される RX エラスティック バッファのリセット信号をアサートするタイミングを制御します。 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。

表 4-40 : RX バッファの属性 (続き)

属性	タイプ	説明
RXBUF_EIDLE_LO_CNT	4 ビット バイナリ	RXP/RXN シリアル ラインに有効なデータが現れる場合、電氣的アイドル時に GTX/GTH トランシーバー内部で生成される RX エラスティック バッファのリセット信号をディアサートするタイミングを制御します。 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
RXBUF_RESET_ON_CB_CHANGE	ブール型	チャンネル ボンディング変更時に GTX/GTH トランシーバー内部で生成される RX エラスティック バッファのリセット機能を制御します。 TRUE : チャンネル ボンディング変更時、RX エラスティック バッファの自動リセット機能が有効。 FALSE : チャンネル ボンディング変更時、RX エラスティック バッファの自動リセット機能が無効。
RXBUF_RESET_ON_COMMAALIGN	ブール型	カンマ リアライメント時に GTX/GTH トランシーバー内部で生成される RX エラスティック バッファのリセット機能を制御します。 TRUE : カンマ リアライメント時、RX エラスティック バッファの自動リセット機能が有効。 FALSE : カンマ リアライメント時、RX エラスティック バッファの自動リセット機能が無効。
RXBUF_RESET_ON_EIDLE	ブール型	電氣的アイドル時に GTX/GTH トランシーバー内部で生成される RX エラスティック バッファのリセット機能を制御します。 TRUE : PCI Express 動作における電氣的アイドル状態のオプション リセット シーケンス中、RX エラスティック バッファの自動リセット機能が有効。 FALSE : 電氣的アイドル時、RX エラスティック バッファの自動リセット機能が無効。これをデフォルト設定とする。 注記 : 信号減衰が大きいチャンネル (Nyquist 周波数で通常 15dB を超えるチャンネル損失) では、CJPAT/CJTPAT の 101010 シーケンスのように高速変化するデータ パターンは電氣的アイドルをトリガーする可能性があるため、RXBUF_RESET_ON_EIDLE を FALSE に設定することを推奨します。
RXBUF_RESET_ON_RATE_CHANGE	ブール型	レート変更時、GTX/GTH トランシーバー内部で生成される RX エラスティック バッファのリセット機能を示します。 TRUE : レート変更時、RX エラスティック バッファの自動リセット機能が有効。 FALSE : レート変更時、RX エラスティック バッファの自動リセット機能が無効。

表 4-40：RX バッファの属性 (続き)

属性	タイプ	説明
RXBUF_THRESH_OVRD	ブール型	<p>RX エラスティック バッファのしきい値オーバーライド機能を示します。</p> <p>TRUE : RXBUF_THRESH_OVFLW および RXBUF_THRESH_UNDFLW 属性を使用して、RX エラスティック バッファのオーバーフロー / アンダーフローしきい値を設定。</p> <p>FALSE : RX エラスティック バッファのオーバーフロー / アンダーフローしきい値を自動計算。これをデフォルト設定とする。</p>
RXBUF_THRESH_OVFLW	整数	<p>バイト数で指定された RX エラスティック バッファのオーバーフローしきい値です。RX エラスティック バッファを通るデータ レイテンシがこのしきい値に到達あるいは超える場合は、バッファがオーバーフロー状態であると認識されます。</p> <p>RXBUF_THRESH_OVRD = TRUE のときに使用します。</p> <p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p>
RXBUF_THRESH_UNDFLW	整数	<p>整数バイト数で指定された RX エラスティック バッファのアンダーフローしきい値です。RX エラスティック バッファを通るデータ レイテンシがこのしきい値に到達あるいは下回る場合は、バッファがアンダーフロー状態であると認識されます。</p> <p>RXBUF_THRESH_OVRD = TRUE のときに使用します。</p> <p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p>
RXBUFRESET_TIME	5 ビット バイナリ	<p>RX エラスティック バッファのリセット時間です。</p> <p>予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。</p>

RX エラスティック バッファーを使用

XCLK および RXUSRCLK ドメイン間の位相差を調整する RX バッファーを有効にするには、次のように設定します。

- RXBUF_EN = TRUE
- RX_XCLK_SEL = RXREC

RX エラスティック バッファーがオーバーフロー / アンダーフローになると、RX エラスティック バッファーの内容は無効になります。オーバーフロー / アンダーフローのいずれかが生じた場合は、GTRXRESET、RXPCSRESET、RXBUFRESET、または GTX/GTH トランシーバーで内部生成された RX エラスティック バッファー リセット信号を使用し、RX エラスティック バッファーをリセットして再初期化する必要があります (72 ページの「RX の初期化およびリセット」参照)。内部生成された RX エラスティック バッファーのリセット信号は、チャンネル ボンディングの変更、カンマ リアライメント、電気的アイドル、またはレート変更時に発生します。

RX エラスティック バッファーは、クロック コレクション (「RX クロック コレクション」参照) およびチャンネル ボンディング (278 ページの「RX チャンネル ボンディング」参照) にも使用されます。クロック コレクションは、XCLK と RXUSRCLK の周波数が一致しない場合に使用されます。表 4-41 に、一般的なクロック コンフィギュレーションとクロック コレクションの必要性を示します。

表 4-41：一般的なクロック構成

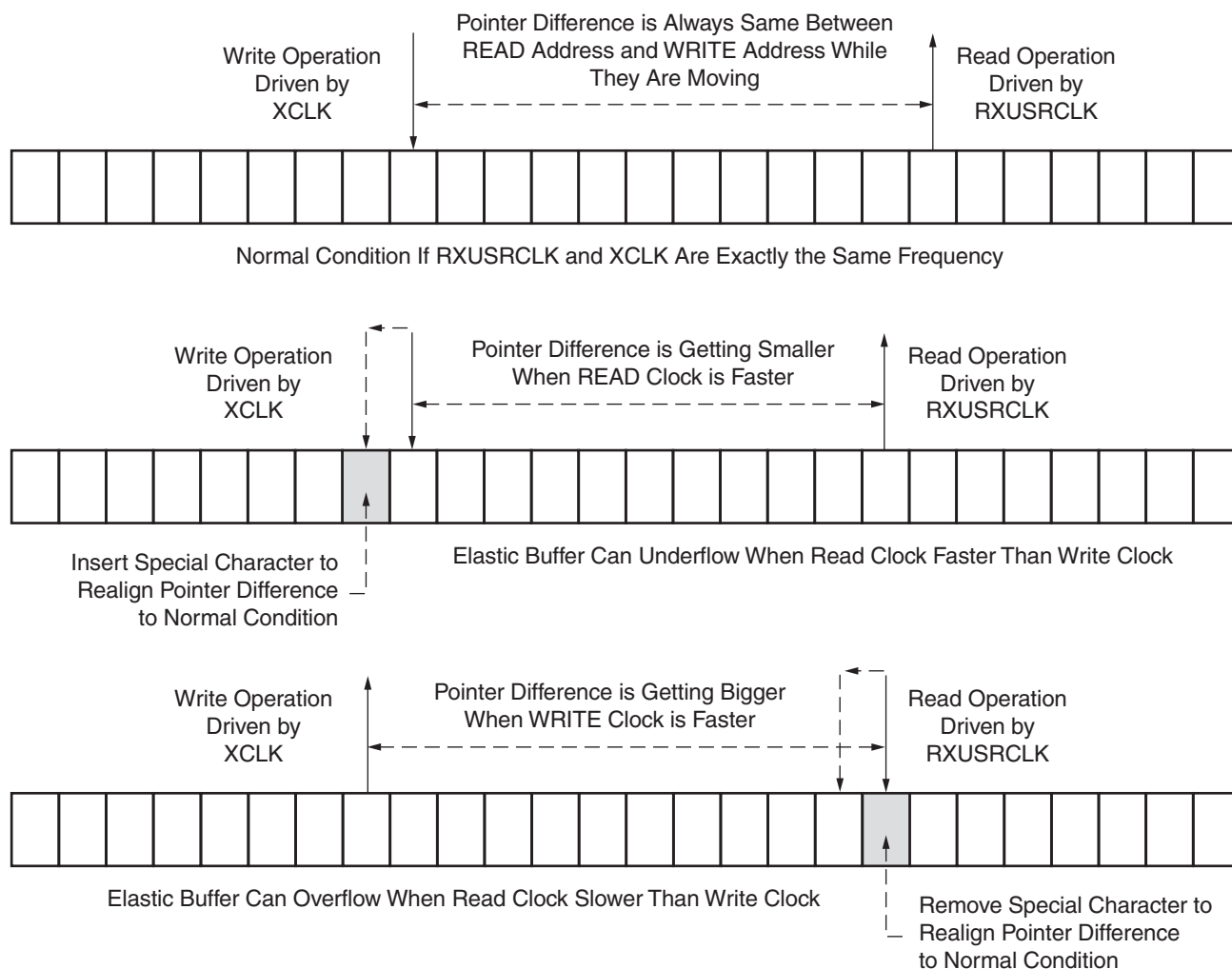
クロッキングの種類	クロック コレクションの必要性
両サイドが物理的に同じオシレーターからの基準クロックを使用している同期システム	なし
異なる基準クロックを使用し、GTX/GTH レシーバーが RX リカバリ クロックを使用している非同期システム	なし
異なる基準クロックを使用し、GTX/GTH レシーバーがローカル クロックを使用している非同期システム	あり

RX エラスティック バッファーを使用すると、クロック コレクション機能の使用にかかわらず、CLK_COR_MIN_LAT の設定による影響がそのバッファーを通る際に生じるレイテンシにおよびます。

RX クロック コレクション

機能の説明

RX エラスティック バッファーは、CDR からのリカバリ クロックである 2 つのクロック ドメイン (RXUSRCLK および XCLK) 間をブリッジします。RXUSRCLK と XCLK が同じクロック周波数で動作している場合でも、わずかな周波数のずれが常に生じます。XCLK と RXUSRCLK はまったく同じではないため、修正されない場合は、これらの位相差が累積されて最終的に RX エラスティック バッファーがオーバーフローまたはアンダーフローとなります。クロック コレクションを行うには、各 GTX/GTH トランシーバー TX は定期的に 1 つまたは複数の特殊キャラクターを送信します。このキャラクターは、GTX/GTH トランシーバー RX が RX エラスティック バッファーで必要に応じて削除/複製できます。RX エラスティック バッファーがフルになりそうな場合はこれらのキャラクターを削除し、空になりそうな場合は複製することで、レシーバーはオーバーフローやアンダーフローを回避できます。



UG476_c4_23_071312

図 4-49 : クロック コレクションの詳細図

ポートおよび属性

表 4-42 に、RX クロック コレクションに必要なポートを示します。

表 4-42 : RX クロック コレクションのポート

ポート	方向	クロック ドメイン	説明
RXBUFRESET	入力	非同期	RX エラスティック バッファと関連ロジックをリセットします。
RXBUFSTATUS[2:0]	出力	RXUSRCLK2	RX エラスティック バッファのステータスを示します。 000 : バッファが CLK_COR_MIN_LAT から CLK_COR_MAX_LAT 内の通常動作 001 : RX エラスティック バッファが CLK_COR_MIN_LAT 未満 010 : RX エラスティック バッファが CLK_COR_MAX_LAT を超えている 101 : RX エラスティック バッファがアンダーフロー 110 : RX エラスティック バッファがオーバーフロー
RXCLKCORCNT[1:0]	出力	RXUSRCLK2	クロック コレクション シーケンスの最初のバイトが RXDATA に現れるときに、RX エラスティック バッファのクロック コレクション ステータスを示します。 00 : クロック コレクションなし 01 : 1 シーケンスをスキップ 10 : 2 シーケンスをスキップ 11 : 1 シーケンスを追加
RX8B10BEN	入力	RXUSRCLK2	High の場合、GTX/GTH トランシーバー RX の 8B/10B デコーダーを有効にします。8B/10B エンコーダーが有効の場合、RX_DATA_WIDTH を 10 の倍数 (20 ビット、40 ビット、または 80 ビット) に設定する必要があります。8B/10B エンコーダーが無効の場合、RX_DATA_WIDTH を 8 の倍数 (16 ビット、32 ビット、または 64 ビット) に設定する必要があります。

表 4-43 に、RX チャネル ボンディングに必要な属性を示します。

表 4-43：RX クロック コレクションの属性

属性	タイプ	説明
CBCC_DATA_SOURCE_SEL	文字列	<p>クロック コレクションやチャネル ボンディング用のデータ ソースの選択に、RX8B10BEN と共に使用されます。</p> <p>RX8B10BEN が High で、CBCC_DATA_SOURCE_SEL = DECODED の場合、クロック コレクション シーケンスは、8B/10B デコーダー後のデコードされたデータと一致します。CBCC_DATA_SOURCE_SEL = ENCODED の場合、クロック コレクション シーケンスは、8B/10B デコーダー前のカンマ検出やリアライメント ブロックからの生データと一致します。</p> <p>RX8B10BEN が Low の場合、CBCC_DATA_SOURCE_SEL = DECODED はサポートされません。CBCC_DATA_SOURCE_SEL = ENCODED の場合は、クロック コレクション シーケンスがカンマ検出やリアライメント ブロックからの生データと一致します。</p>
CLK_CORRECT_USE	ブール型	<p>TRUE に設定すると、クロック コレクション機能が有効になります。FALSE に設定すると、無効になります。</p> <p>クロック コレクション機能が無効のときは、次の属性を設定する必要があります。</p> <pre>CLK_COR_SEQ_1_1 = 10'b0100000000 CLK_COR_SEQ_2_1 = 10'b0100000000 CLK_COR_SEQ_1_ENABLE = 4'b1111 CLK_COR_SEQ_2_ENABLE = 4'b1111</pre>
CLK_COR_KEEP_IDLE	ブール型	<p>TRUE に設定すると、受信したクロック コレクション シーケンスの各連続ストリームに対して、最低 1 クロック コレクション シーケンスを保持します。</p> <p>RX エラスティック バッファの範囲をリセットする必要がある場合は、FALSE に設定してバイト ストリームからのすべてのクロック コレクション シーケンスを削除します。</p>
CLK_COR_MAX_LAT	整数	<p>RX エラスティック バッファの最大レイテンシを指定します。RX エラスティック バッファが CLK_COR_MAX_LAT を越えると、クロック コレクション回路では、入力されているクロック コレクション シーケンスが削除され、オーバーフローを回避できます。</p> <p>7 Series FPGA Transceivers Wizard がアプリケーション要件に応じて適切な値を選択します。最適な性能を保持するためにウィザードで選択された値に従い、これを上書きしないようにします。</p>

表 4-43 : RX クロック コレクションの属性 (続き)

属性	タイプ	説明
CLK_COR_MIN_LAT	整数	<p>RX エラスティック バッファの最小レイテンシを指定します。RX エラスティック バッファが CLK_COR_MIN_LAT 未満になると、クロック コレクション回路では、入力されているクロック コレクション シーケンスを反復し、アンダーフローを回避できます。</p> <p>RX エラスティック バッファがリセットされたとき、ポインターはバッファ内に未読 (および未初期化) の CLK_COR_MIN_LAT データ バイトがあるように設定されます。</p> <p>詳細は、表 4-44 を参照してください。7 Series FPGA Transceivers Wizard がアプリケーション要件に応じて適切な CLK_COR_MIN_LAT 値を選択します。最適な性能を保持するためにウィザードで選択された値に従い、これを上書きしないようにします。</p>
CLK_COR_PRECEDENCE	ブール型	<p>クロック コレクションとチャネル ボンディングが同時にトリガーされた場合に、どちらを優先するかを指定します。</p> <p>TRUE : チャネル ボンディングよりクロック コレクションを優先</p> <p>FALSE : クロック コレクションよりチャネル ボンディングを優先</p>
CLK_COR_REPEAT_WAIT	整数	<p>次のクロック コレクションまでの最少 RXUSRCLK サイクル数を指定します。0 の場合は、クロック コレクション キャラクターの送信頻度に制限はありません。</p> <p>有効な設定値は 0 ~ 31 です。</p>
CLK_COR_SEQ_LEN	整数	<p>クロック コレクションを検出するために一致させるシーケンスの長さをバイトで定義します。また、クロック コレクションでの調整サイズ (反復またはスキップするバイト数) を定義します。</p> <p>有効な長さは、1、2 および 4 バイトです。</p>

表 4-43 : RX クロック コレクションの属性 (続き)

属性	タイプ	説明
CLK_COR_SEQ_1_ENABLE	4 ビット バイナリ	<p>最初のクロック コレクション シーケンスのマスク イネーブル ビットです。</p> <p>CLK_FOR_SEQ_1_ENABLE[0] は、CLK_COR_SEQ_1_1 のマスク ビットです。</p> <p>CLK_FOR_SEQ_1_ENABLE[1] は、CLK_COR_SEQ_1_2 のマスク ビットです。</p> <p>CLK_FOR_SEQ_1_ENABLE[2] は、CLK_COR_SEQ_1_3 のマスク ビットです。</p> <p>CLK_FOR_SEQ_1_ENABLE[3] は、CLK_COR_SEQ_1_4 のマスク ビットです。</p> <p>CLK_FOR_SEQ_1_ENABLE[*] = 0 の場合、対応する CLK_COR_SEQ_1_* は DON'T CARE として処理、または比較しないで自動的に一致として処理されます。</p> <p>CLK_FOR_SEQ_1_ENABLE[*] = 1 の場合、対応する CLK_COR_SEQ_1_* が一致しているかどうか比較されます。</p>
CLK_COR_SEQ_1_1	10 ビット バイナリ	CLK_FOR_SEQ_1_ENABLE[0] = 1 の場合に比較される最初のクロック コレクション シーケンス 1 です。
CLK_COR_SEQ_1_2	10 ビット バイナリ	CLK_FOR_SEQ_1_ENABLE[1] = 1 の場合に比較される最初のクロック コレクション シーケンス 2 です。
CLK_COR_SEQ_1_3	10 ビット バイナリ	CLK_FOR_SEQ_1_ENABLE[2] = 1 の場合に比較される最初のクロック コレクション シーケンス 3 です。
CLK_COR_SEQ_1_4	10 ビット バイナリ	CLK_FOR_SEQ_1_ENABLE[3] = 1 の場合に比較される最初のクロック コレクション シーケンス 4 です。
CLK_COR_SEQ_2_USE	ブール型	TRUE に設定すると、常に使用される CLK_COR_SEQ_1_* に追加して、2 つ目のクロック コレクション シーケンス (CLK_COR_SEQ_2_*) が使用されます。

表 4-43 : RX クロック コレクションの属性 (続き)

属性	タイプ	説明
CLK_COR_SEQ_2_ENABLE	4 ビット バイナリ	<p>2 つ目のクロック コレクション シーケンスのマスク イネーブル ビットです。</p> <p>CLK_FOR_SEQ_2_ENABLE[0] は、CLK_COR_SEQ_2_1 のマスク ビットです。</p> <p>CLK_FOR_SEQ_2_ENABLE[1] は、CLK_COR_SEQ_2_2 のマスク ビットです。</p> <p>CLK_FOR_SEQ_2_ENABLE[2] は、CLK_COR_SEQ_2_3 のマスク ビットです。</p> <p>CLK_FOR_SEQ_2_ENABLE[3] は、CLK_COR_SEQ_2_4 のマスク ビットです。</p> <p>CLK_FOR_SEQ_2_ENABLE[*] = 0 の場合、対応する CLK_COR_SEQ_2_* は DON'T CARE として処理、または比較しないで自動的に一致として処理されます。</p> <p>CLK_FOR_SEQ_2_ENABLE[*] = 1 の場合、対応する CLK_COR_SEQ_2_* が一致しているかどうか比較されます。</p>
CLK_COR_SEQ_2_1	10 ビット バイナリ	CLK_FOR_SEQ_2_ENABLE[0] = 1 の場合に比較される 2 番目のクロック コレクション シーケンス 1 です。
CLK_COR_SEQ_2_2	10 ビット バイナリ	CLK_FOR_SEQ_2_ENABLE[1] = 1 の場合に比較される 2 番目のクロック コレクション シーケンス 2 です。
CLK_COR_SEQ_2_3	10 ビット バイナリ	CLK_FOR_SEQ_2_ENABLE[2] = 1 の場合に比較される 2 番目のクロック コレクション シーケンス 3 です。
CLK_COR_SEQ_2_4	10 ビット バイナリ	CLK_FOR_SEQ_2_ENABLE[3] = 1 の場合に比較される 2 番目のクロック コレクション シーケンス 4 です。
RX_DATA_WIDTH	整数	<p>RXDATA ポートのビット幅を設定します。</p> <p>8B/10B エンコーダーが有効の場合、RX_DATA_WIDTH は 20 ビット、40 ビット、または 80 ビットに設定される必要があります。有効な値は、16、20、32、40、64、および 80 です。</p> <p>詳細は、303 ページの「インターフェイス幅の設定」を参照してください。</p>

表 4-43：RX クロック コレクションの属性 (続き)

属性	タイプ	説明
RX_DISPERR_SEQ_MATCH	ブール型	<p>デコードされたバイトのディスパリティ エラーがチャネル ボンディングやクロック コレクション シーケンスのインジケータと一致すべきかを指定します。</p> <p>TRUE：ディスパリティ エラー ステータスが一致。</p> <p>FALSE：ディスパリティ エラー ステータスを無視。</p>
RX_INT_DATAWIDTH	整数	<p>内部データパス幅を指定します。</p> <p>0：2 バイトの内部データパス</p> <p>1：4 バイトの内部データパス</p>
ALIGN_COMMA_WORD	整数	<p>マルチバイトのデータパスで検出されたカンマのアライメントを制御します。</p> <p>1：2 バイト インターフェイスの場合は 2 バイト、4 バイト インターフェイスの場合は 4 バイト、8 バイト インターフェイスの場合は 8 バイトのいずれかのバイトにカンマを揃える。</p> <p>カンマは、RXDATA 出力の偶数バイトまたは奇数バイトのいずれかに揃えることができる。</p> <p>2：カンマを偶数バイトにのみ揃える。揃えられたカンマは、2 バイト インターフェイスの場合は RXDATA[9:0]、4 バイト インターフェイスの場合は RXDATA[9:0]/RXDATA[29:20]、8 バイト インターフェイスの場合は RXDATA[9:0]/RXDATA[29:20]/RX[49:40]/RX[69:60] の偶数バイトに確実に揃えられます。</p> <p>4：カンマを 4 バイト境界に揃える。この設定は、RX_INT_DATAWIDTH = 0 では利用不可。揃えられたカンマは、4 バイト インターフェイスの場合は RXDATA[9:0]、8 バイト インターフェイスの場合は RXDATA[9:0]/RXDATA[49:40] に確実に揃えられる。</p> <p>ALIGN_COMMA_WORD、RX_DATA_WIDTH、および RX_INT_DATAWIDTH の異なる設定で利用できるカンマ アライメント バウンダリの詳細は、図 4-34 を参照してください。</p> <p>カンマを偶数位置および奇数位置に送信するプロトコルでは、ALIGN_COMMA_WORD を 1 に設定します。</p>

RX クロック コレクションの使用

このセクションでは、レシーバーのクロック コレクション機能を使用する際の手順を説明します。

クロック コレクションの有効化

GTX/GTH トランシーバーには、クロック コレクション回路が備わっています。この回路は、RX エラスティック バッファのポインターを制御することにより、クロック コレクションを実行します。クロック コレクションを使用するには、RXBUF_EN を TRUE に設定して RX エラスティック バッファを有効にし、CLK_CORRECT_USE を TRUE に設定してクロック コレクション回路をオンにします。

RX エラスティック バッファのレイテンシが大きすぎる、または小さすぎる場合にクロック コレクション回路が一致シーケンスを検出すると、クロック コレクションがトリガーされます。クロック コレクションを使用する場合は、クロック コレクション回路に対して次の設定を行う必要があります。

- RX エラスティック バッファの制限
- クロック コレクション シーケンス

RX エラスティック バッファの制限の設定

RX エラスティック バッファの制限は、CLK_COR_MIN_LAT (最小レイテンシ) および CLK_COR_MAX_LAT (最大レイテンシ) を使用して設定されます。RX エラスティック バッファ内のバイト数が CLK_COR_MIN_LAT 未満になると、バッファのアンダーフローを回避するため、クロック コレクション回路は最初のクロック コレクション シーケンス含まれていた同様の CLK_COR_SEQ_LEN バイトを追加で書き込みます。これと同じように、RX エラスティック バッファのバイト数が CLK_COR_MAX_LAT を越えると、クロック コレクション回路は、最初のクロック コレクション シーケンスに含まれていた同様の CLK_COR_SEQ_LEN バイトを削除し、シーケンスの最初のバイトから開始します。7 Series FPGA Transceivers Wizard がアプリケーション要件に応じて適切な CLK_COR_MIN_LAT および CLK_COR_MAX_LAT の設定値を選択します。

CLK_COR_MIN_LAT は、最初の RX エラスティック バッファ レイテンシの設定に使用されるため、ALIGN_COMMA_WORD で割り切れる値にして、エラスティック バッファを通過するカンマ アライメントを保持する必要があります。CLK_COR_MIN_LAT の値は、表 4-44 で示す RX_INT_DATAWIDTH および ALIGN_COMMA_WORD の値に従う必要があります。

CLK_COR_MAX_LAT の設定は、定義済みの RX エラスティック バッファ レイテンシに影響を与えないため、3 ～ 60 の、任意の値を設定できます。

表 4-44 : CLK_COR_MIN_LAT 設定における制限

ALIGN_COMMA_WORD	RX_INT_DATAWIDTH	CLK_COR_MIN_LAT
1	0 (16/20)	3 ～ 60 のすべての値を設定可能です。
1	1 (32/40)	3 ～ 60 のすべての値を設定可能です。
2	0 (16/20)	2 で割り切れる値にしてください。
2	1 (32/40)	2 で割り切れる値にしてください。

表 4-44 : CLK_COR_MIN_LAT 設定における制限 (続き)

ALIGN_COMMA_WORD	RX_INT_DATAWIDTH	CLK_COR_MIN_LAT
4 ⁽¹⁾	0 (16/20)	サポートされていません。
4	1 (32/40)	4 で割り切れる値にしてください。

注記：

1. ALIGN_COMMA_WORD = 4 および RX_INT_DATAWIDTH = 0 (16/20) は、有効な設定ではありません。詳細は、[図 4-34](#) を参照してください。

クロック コレクション シーケンスの設定

クロック コレクション シーケンスは、CLK_COR_SEQ_1_* の属性および CLK_COR_SEQ_LEN を使用してプログラムされます。CLK_COR_SEQ_1_* の属性はそれぞれ、クロック コレクション シーケンス 1 のサブシーケンス 1 つに対応します。CLK_COR_SEQ_LEN は、一致させるサブシーケンス数の設定に使用されます。40 または 20 ビットの内部データパス幅が使用される場合、クロック コレクション回路は各サブシーケンスの 10 ビットすべてを一致させます。一方、16 または 32 ビットの内部データパス幅が使用される場合は、各サブシーケンスの右から 8 ビットのみが使用されます。

CLK_COR_SEQ_2_USE を TRUE に設定することで、2 番目の代替クロック コレクション シーケンスをアクティブにできます。最初および 2 番目のシーケンスでは、長さの設定は共通ですが、一致させるシーケンスに異なる値を使用します。2 番目のシーケンスのサブシーケンスを定義するには、CLK_COR_SEQ_2_* 属性を設定します。

8B/10B デコード (RX8B10BEN は High) を使用する場合、CBCC_DATA_SOURCE_SEL は DECODED に設定され、シーケンス一致にデコードされていないデータではなく、8B/10B デコーダー出力を検索します。これによって、回路では正または負のディスパリティを持つ 8 ビット値の検索が可能となり、K 符号と通常のキャラクターを区別できるようになります (詳細は、[118 ページの「TX 8B/10B エンコーダー」](#) および [241 ページの「RX 8B/10B デコーダー」](#) 参照)。図 4-50 に、RX8B10BEN が High で、CBCC_DATA_SOURCE_SEL が DECODED に設定されている場合のクロック コレクション シーケンスの設定方法を示します。

CBCC_DATA_SOURCE_SEL が ENCODED に設定されている場合、シーケンスと入力される生データが正確に一致する必要があります。RX_DISPERR_SEQ_MATCH が FALSE に設定されている場合、CLK_COR_SEQ_x_y[9] は一致させる際に使用されません。

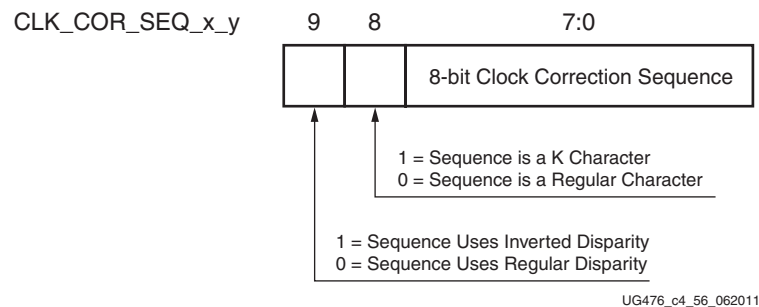
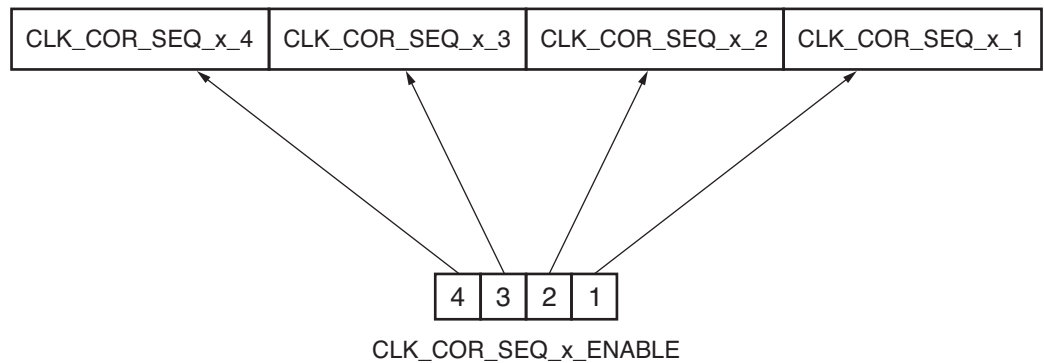


図 4-50 : CBCC_DATA_SOURCE_SEL = DECODED の場合の
クロック コレクション シーケンス設定

一部のプロトコルでは、Don't Care サブシーケンスを含むクロック コレクション シーケンスが使用されます。CLK_COR_SEQ_1_ENABLE および CLK_COR_SEQ_2_ENABLE を使用して、クロック コレクション回路がこれらのシーケンスを認識するようにプログラムできます。シーケンスのイネーブル ビットが Low のとき、そのバイトは、値にかかわらず一致します。図 4-51 に、クロック コレクション シーケンスとクロック コレクション シーケンスのイネーブル ビット間のマッピングを示します。



UG476_c4_57_052511

図 4-51 : クロック コレクション シーケンスのマッピング

エラスティック バッファードを通るカンマ アライメントを保持するには、表 4-45 で示す値に従うように CLK_COR_SEQ_LEN および ALIGN_COMMA_WORD を選択する必要があります。

表 4-45 : 有効な ALIGN_COMMA_WORD/CLK_COR_SEQ_LEN の組み合わせ

ALIGN_COMMA_WORD	CLK_COR_SEQ_LEN
1	1、2、4
2	2、4
4	4

クロック コレクションのオプション

クロック コレクションの周波数制御には、CLK_COR_REPEAT_WAIT を使用します。この値は、クロック コレクション イベント間に必要な RXUSRCLK サイクルの最小数に設定する必要があります。クロック コレクションを随時実行可能にする場合は、この属性を 0 に設定します。一部のプロトコルはクロック コレクションを随時実行可能ですが、クロック コレクション回路からシーケンスを削除する際に、ストリームに最少 1 シーケンス残す必要があります。これが要件となっているプロトコルの場合、CLK_COR_KEEP_IDLE を TRUE に設定します。

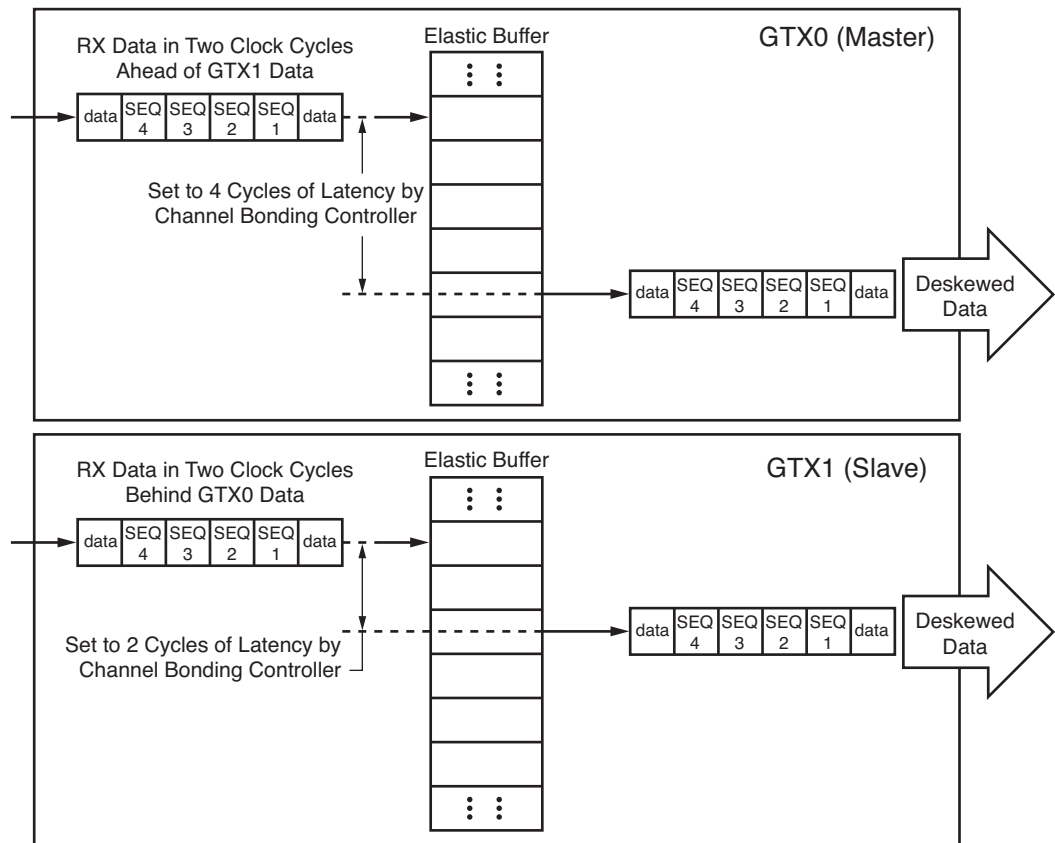
クロック コレクションのモニタリング

クロック コレクション回路は、RXCLKCORCNT および RXBUFSTATUS ポートを使用してモニターできます。表 4-42 の RXCLKCORCNT の項目に、クロック コレクション回路のステータスを決定するための RXCLKCORCNT 値のデコード方法が説明されています。表 4-42 の RXBUFSTATUS の項目に、RX エラスティック バッファードをどこまで満たすかを決定するための RXBUFSTATUS 値のデコード方法が説明されています。

RX チャンネル ボンディング

機能の説明

XAUI や PCI Express などのプロトコルは、複数のシリアル トランシーバー チャンネルを組み合わせ、1 つの高スループット チャンネルを構築します。この結合したシリアル トランシーバー チャンネルをレーンと呼びます。これらすべてのシリアル チャンネルがまったく同じ長さでない限り、レーン間のスキューによってデータは同時に送信されますが、到達するタイミングにずれが生じます。チャンネル ボンディングでは、RX エラスティック バッファを可変レイテンシ ブロックとして使用することにより、GTX/GTH トランシーバー レーン間のスキューが相殺されます。チャンネル ボンディングは、チャンネルのスキュー調整やレーン間のスキュー調整ともいわれています。結合されたチャンネルに使用される GTX/GTH トランスミッターは、すべてのチャンネル ボンディング キャラクター (キャラクター シーケンス) を同時に送信します。シーケンスが受信される時、GTX/GTH レシーバーが各レーン間のスキューを判断して RX エラスティック バッファのレイテンシを調整します。このため、RX ファブリック ユーザー インターフェイスにスキューのないデータが現れます。



UG476_c4_21_091610

図 4-52：チャンネル ボンディングの詳細図

RX チャンネル ボンディングは、8B/10B エンコードされたデータをサポートしますが、次のエンコード データはサポートされていません。

- 64B/66B
- 64B/67B
- 128B/130B
- 暗号データ

ポートおよび属性

表 4-46 に、RX チャンネル ボンディングに必要なポートを示します。

表 4-46 : RX チャンネル ボンディングのポート

ポート	方向	クロック ドメイン	説明
RXCHANBONDSEQ	出力	RXUSRCLK2	RXDATA にチャンネル ボンディング シーケンスの開始が含まれると High になります。
RXCHANISALIGNED	出力	RXUSRCLK2	RX エラスティック バッファからの信号です。データ ストリーム内の確認されたチャンネル ボンディング シーケンスに従って、チャンネルがマスター トランシーバーと適切に揃えられると High になります。揃えられていないチャンネル ボンディング シーケンスが検出され、チャンネル アライメントが失われた場合は Low になります。
RXCHANREALIGN	出力	RXUSRCLK2	RX エラスティック バッファからの信号です。レシーバーでトランシーバーとマスター間のアライメントが変更されると、少なくとも 1 サイクル間 High を保持します。
RXCHBONDI[4:0]	入力	RXUSRCLK	スレーブ専用のチャンネル ボンディングを制御するポートです。これらのポートを使用して、マスター GTX/GTH トランシーバーの RXCHBONDO ポート、またはマスター GTX/GTH トランシーバーから接続されているデイジー チェーン上のスレーブ GTX/GTH トランシーバーの RXCHBONDO ポートから、チャンネル ボンディング情報やクロック コレクション情報を受信します。
RXCHBONDO[4:0]	出力	RXUSRCLK	チャンネル ボンディングを制御するポートです。マスターから、あるいはマスターと接続しているデイジー チェーン上のスレーブから GTX/GTH トランシーバーへチャンネル ボンディング情報やクロック コレクション情報を送信するために使用されます。マスター RXCHBONDO は、1 つまたは複数のスレーブ RXCHBONDI ポートへ接続できます。スレーブ RXCHBONDO は、デイジー チェーンを構築してマスターから各スレーブへ情報を伝搬するため、次のレベルのスレーブ RXCHBONDI へ接続する必要があります。

表 4-46：RX チャンネル ボンディングのポート (続き)

ポート	方向	クロック ドメイン	説明
RXCHBONDLEVEL[2:0]	入力	RXUSRCLK2	RX エラスティック バッファの制御信号に使用される内部パイプライン レベル (量) を示します。値が大きいほど、よりレベル数の多い RXCHBONDO および RXCHBONDI デイジー チェーンが可能になり、配置配線制約が容易になります。RX エラスティック バッファを通る際に生じるレイテンシを最小にするには、マスターの CHAN_BOND_LEVEL を、可能な限り最も少ないデイジー チェーン数にします。4 バイトの内部データパス (RX_INT_DATAWIDTH = 1) を使用する場合、マスターは RXCHANBONDLEVEL = 3 を超過できません。
RXCHBONDMASTER	入力	RXUSRCLK2	トランシーバーがチャンネル ボンディングのマスターであることを示します。RXCHBONDO ポートは、1 つまたは複数のスレーブ トランシーバーの RXCHBONDI ポートを直接駆動します。このポートは、RXCHBONDSLAVE と同時に High 駆動できません。
RXCHBONDSLAVE	入力	RXUSRCLK2	トランシーバーがチャンネル ボンディングのスレーブであることを示します。RXCHBONDI ポートは、別のスレーブまたはマスター トランシーバーにある RXCHBONDO ポートによって駆動されます。RXCHBONDLEVEL[2:0] の設定が 0 よりも大きい場合、RXCHBONDO ポートが 1 つまたは複数のスレーブ トランシーバーの RXCHBONDI ポートを直接駆動することがあります。このポートは、RXCHBONDMASTER と同時に High 駆動できません。
RXCHBONDEN	入力	RXUSRCLK2	チャンネル ボンディングを有効にします (FPGA ロジックからマスターとスレーブの両方へ)。

表 4-47 に、RX チャンネル ボンディングに必要な属性を示します。

表 4-47 : RX チャンネル ボンディングの属性

属性	タイプ	説明
CHAN_BOND_MAX_SKEW	整数	整数スレーブにチャンネル ボンディングの実行を命令する前に、マスターが待機する USRCLK サイクル数を制御します。この属性により、チャンネル ボンディングで許容可能な最大スキューが決定します。この値は、常にチャンネル ボンディングシーケンス間の最小距離の半分 (バイトまたは 10 ビット コード) 未満とする必要があります。有効な設定値は 1 ~ 14 です。
CHAN_BOND_KEEP_ALIGN	ブール型	PCI Express デザインでチャンネル ボンディング中に ALIGN キャラクターを保持します。
CHAN_BOND_SEQ_1_1 CHAN_BOND_SEQ_1_2 CHAN_BOND_SEQ_1_3 CHAN_BOND_SEQ_1_4	10 ビット バイナリ	CHAN_BOND_SEQ_1 属性は、CHAN_BOND_SEQ_1_ENABLE と併用してチャンネル ボンディング シーケンス 1 を定義します。各サブシーケンスの長さは 10 ビットです。サブシーケンスの設定規則は、RX_DATA_WIDTH および CBCC_DATA_SOURCE_SEL によって決定します。 すべてのサブシーケンスを使用する必要はありません。CHAN_BOND_SEQ_LEN は、一致させる際のシーケンス数を決定します。CHAN_BOND_SEQ_LEN = 1 の場合、CHAN_BOND_SEQ_1_1 のみ使用します。 CHAN_BOND_SEQ_1_ENABLE を使用すると、シーケンスの一部を Don't Care にできます。 CHAN_BOND_SEQ_1_ENABLE[k] が 0 の場合、CHAN_BOND_SEQ_1_k は Don't Care サブシーケンスとなり、常に一致します。
CHAN_BOND_SEQ_1_ENABLE	4 ビット バイナリ	

表 4-47：RX チャンネル ボンディングの属性 (続き)

属性	タイプ	説明
CHAN_BOND_SEQ_2_1 CHAN_BOND_SEQ_2_2 CHAN_BOND_SEQ_2_3 CHAN_BOND_SEQ_2_4	10 ビット バイナリ	CHAN_BOND_SEQ_2 属性は、CHAN_BOND_SEQ_2_ENABLE と併用して 2 番目のチャンネル ボンディングを定義します。CHAN_BOND_SEQ_2_USE が TRUE の場合は、2 番目のシーケンスがチャンネル ボンディングをトリガーする代替シーケンスとして使用されます。
CHAN_BOND_SEQ_2_ENABLE	4 ビット バイナリ	<p>各サブシーケンスの長さは 10 ビットです。サブシーケンスの設定規則は、RX_DATA_WIDTH および CBCC_DATA_SOURCE_SEL によって決定します。</p> <p>すべてのサブシーケンスを使用する必要はありません。CHAN_BOND_SEQ_LEN は、一致させる際に使用するシーケンス数を決定します。CHAN_BOND_SEQ_LEN = 1 の場合、CHAN_BOND_SEQ_2_1 のみ使用します。</p> <p>CHAN_BOND_SEQ_2_ENABLE を使用すると、シーケンスの一部を Don't Care にできます。</p> <p>CHAN_BOND_SEQ_2_ENABLE[k] が 0 の場合、CHAN_BOND_SEQ_2_k は Don't Care サブシーケンスとなり、常に一致します。</p>
CHAN_BOND_SEQ_2_USE	ブール型	<p>2 つのチャンネル ボンディング シーケンスを使用するかを指定します。</p> <p>TRUE: チャンネル ボンディングは、シーケンス 1 または 2 でトリガー可能。</p> <p>FALSE: シーケンス 1 でのみトリガー。</p>
CHAN_BOND_SEQ_LEN	整数	スキューを検出するために GTX/GTH トランシーバーが一致させるチャンネル ボンディング シーケンスの長さをバイトで定義します。有効な長さは、1、2 および 4 バイトです。

表 4-47 : RX チャンネル ボンディングの属性 (続き)

属性	タイプ	説明
CBCC_DATA_SOURCE_SEL	文字列	<p>クロック コレクションやチャンネル ボンディング用のデータ ソースの選択に使用します。</p> <p>DECODED に設定した場合、RX8B10BEN が High になると 8B/10B デコーダーからのデータを選択します。</p> <p>ENCODED に設定した場合、カンマ検出およびリアライメントブロックからのデータを選択します。</p>
FTS_DESKEW_SEQ_ENABLE	4 ビット バイナリ	<p>FTS_LANE_DESKEW_CFG のイネーブル マスク ビットです。</p> <p>FTS_LANE_DESKEW_CFG[0] には、FTS_DESKEW_SEQ_ENABLE[0] のマスク ビットです。</p> <p>FTS_LANE_DESKEW_CFG[1] には、FTS_DESKEW_SEQ_ENABLE[1] のマスク ビットです。</p> <p>FTS_LANE_DESKEW_CFG[2] には、FTS_DESKEW_SEQ_ENABLE[2] のマスク ビットです。</p> <p>FTS_LANE_DESKEW_CFG[3] には、FTS_DESKEW_SEQ_ENABLE[3] のマスク ビットです。</p> <p>デフォルト値は 1111 です。</p>

表 4-47：RX チャネル ボンディングの属性 (続き)

属性	タイプ	説明
FTS_LANE_DESKEW_CFG	4 ビット バイナリ	<p>ビット 3：スレーブで 1'b1 に設定すると、最適なチャネル アライメントが保持されている場合でもスリップ 4、スナップ 4、またはクロック コレクションに続いて生じる、誤ったアライメントや間違って修正されたアライメントが実行されるのを回避するため、アライメント機能を停止させます。スレーブで 1'b0 に設定すると、アライメント機能の停止を解除します。</p> <p>ビット 2：ルックアヘッド制御ロジックで、FTS OS の最後に到達した、FTS レーンのスキュー調整を実行しているマスター チャネルが、クロック コレクション コマンドの生成を短い間禁止すべきかを指定します。これは、クロック コレクション コマンドがスレーブのスリップ 4 やスナップ 4 ロジックの動作に干渉するのを回避することが目的です。ロジックは、完全な SKP OS が存在する場合でもクロック コレクションを必ず実行します。</p> <p>ビット 1：マスターよりも先に、FTS に続いてスレーブが SKP OS へ到達した場合、FTS レーンのスキュー調整を実行しているスレーブ チャネルが 4 バイト (スリップ 4) の即時バックワード アライメントを実行することを許可 (1'b1) または禁止 (1'b0) します。</p> <p>ビット 0：スレーブよりも先に FTS に続いてマスターが SKP OS へ到達した場合、FTS レーンのスキュー調整を実行しているスレーブ チャネルが 4 バイト (スナップ 4) の即時フォワード アライメントを実行することを許可 (1'b1) または禁止 (1'b0) します。</p>
FTS_LANE_DESKEW_EN	ブール型	<p>TRUE に設定すると、FTS レーンのスキュー調整用のチャネル ボンディング ロジックが有効になります。FTS レーンのスキュー調整は、チャネル ボンディング シーケンス 1 と 2 を使用する標準アルゴリズムから独立しているため、標準アルゴリズムと同時に動作します。FTS レーンのスキュー調整は、2 バイト モードでのみ動作します。</p>

表 4-47 : RX チャンネル ボンディングの属性 (続き)

属性	タイプ	説明
PCS_PCIE_EN	ブール型	GTX/GTH トランシーバーが PCI Express で使用される場合は、この属性を TRUE に設定し、その他のプロトコルで使用される場合は FALSE に設定します。チャンネルボンディング機能では、PIPE エンコードや FTS レーンのスキュー調整をサポートするため、この属性と併せて TXCHARDISPMODE および TXCHARDISPVAL を使用する必要があります。また、GTX/GTH トランシーバーが電氣的アイドルから復帰した後に以前のチャンネル ボンディング情報を再利用することで、短いシーケンスと一致させるため、TXELECIDLE と併用もできます。詳細は、 第 6 章の「PCI Express」 を参照してください。
RX_DATA_WIDTH	整数	RXDATA ポートのビット幅を設定します。8B/10B エンコーダーが有効の場合、RX_DATA_WIDTH は 20 ビット、40 ビット、または 80 ビットに設定される必要があります。有効な値は、16、20、32、40、64、および 80 です。 詳細は、 303 ページの「インターフェイス幅の設定」 を参照してください。
RX_DISPERR_SEQ_MATCH	ブール型	デコードされたバイトのディスパリティエラーがチャンネル ボンディングやクロック コレクション シーケンスのインジケータと一致すべきかを指定します。 TRUE : ディスパリティ エラーが一致。 FALSE : ディスパリティ エラー ステータスを無視。

RX チャネル ボンディングの使用

このセクションでは、レシーバーのチャネル ボンディング機能を使用する際の手順を説明します。

チャネル ボンディングの有効化

各 GTX/GTH トランシーバーには、RX エラスティック バッファのポインターを制御することでチャネル ボンディングを実行する回路が含まれています。チャネル ボンディングでは RX バッファを使用する必要があるため、RXBUF_EN 属性を TRUE に設定します。

各 GTX/GTH トランシーバーにはチャネル ボンディング回路が 1 つあります。チャネル ボンディングを実行するように GTX/GTH トランシーバーを構成するには、次の手順に従います。

1. 各 GTX/GTH トランシーバーにチャネル ボンディング モードを設定します。
2. マスター トランシーバーの RXCHBONDMASTER を High に接続します。
3. スレーブ トランシーバーの RXCHBONDSLAVE を High に接続します。
4. マスターからのチャネル ボンディング ポートを各スレーブに直接接続、またはダイジー チェーン接続します。
5. チャネル ボンディング シーケンスおよび検出パラメーターを設定します。

チャネル ボンディングのモード

チャネル ボンディングのモードは、各 GTX/GTH トランシーバーのチャネル ボンディングを有効にするべきか、また GTX/GTH トランシーバーがマスターかスレーブかを決定します。チャネル ボンディングが有効となる GTX/GTH トランシーバーには、マスターが 1 つと任意数のスレーブが必要です。GTX/GTH トランシーバー グループのチャネル ボンディングをオンにするには、1 つのトランシーバーをマスターに設定し、その他の GTX/GTH トランシーバーをすべてスレーブに設定してください。

チャネル ボンディング ポートの接続

チャネル ボンディングの実行には、グループのマスター GTX/GTH トランシーバー RXCHBONDO ポートをすべてのスレーブの RXCHBONDI ポートに接続する必要があります。同じカラムに属する GTX/GTH トランシーバーのみが、共にチャネル ボンディング可能です。隣接した GTX/GTH トランシーバーは直接接続してください。マスターからスレーブへの直接接続の手順は、次のとおりです。

1. マスターの RXCHBONDO ポートをスレーブの RXCHBONDI ポートに接続します。
2. マスター トランシーバーの RXCHBONDMASTER を High に接続します。
3. 各スレーブ トランシーバーの RXCHBONDSLAVE を High に接続します。

GTX/GTH トランシーバーが直接接続されていると、トランシーバー間の距離が大きくなるため、タイミング制約を満たすことが困難になります。この問題の解決策として、トランシーバーをデイジーチェーン接続するという方法があります。デイジーチェーン接続は、RXCHBONDLEVEL[2:0] ポートを使用し、マスターおよびスレーブ間にパイプライン ステージを追加して行います。各スレーブの RXCHBONDO ポートは、マスターからの RXCHBONDO パスでのパイプライン ステージとして使用されます。図 4-53 および図 4-54 に、デイジーチェーンの例を 2 つ示します。

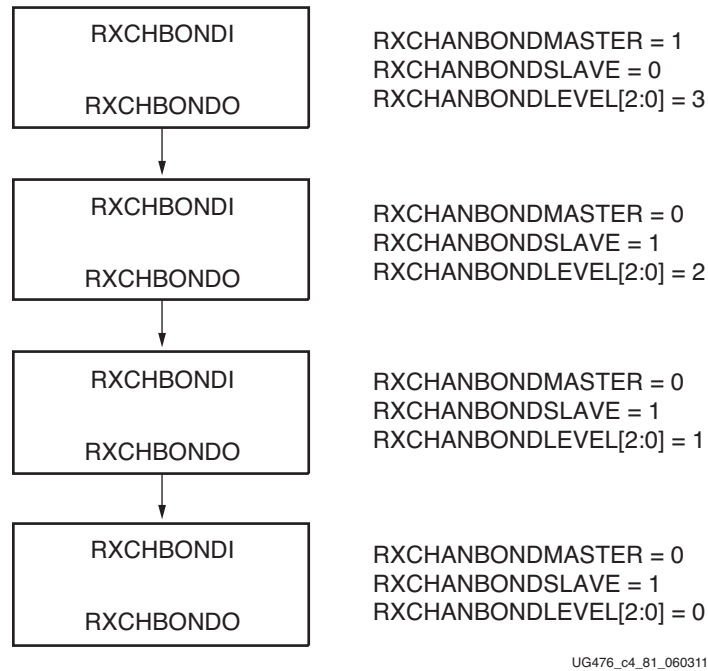


図 4-53 : チャンネル ボンディングのデイジーチェーン例 (1)

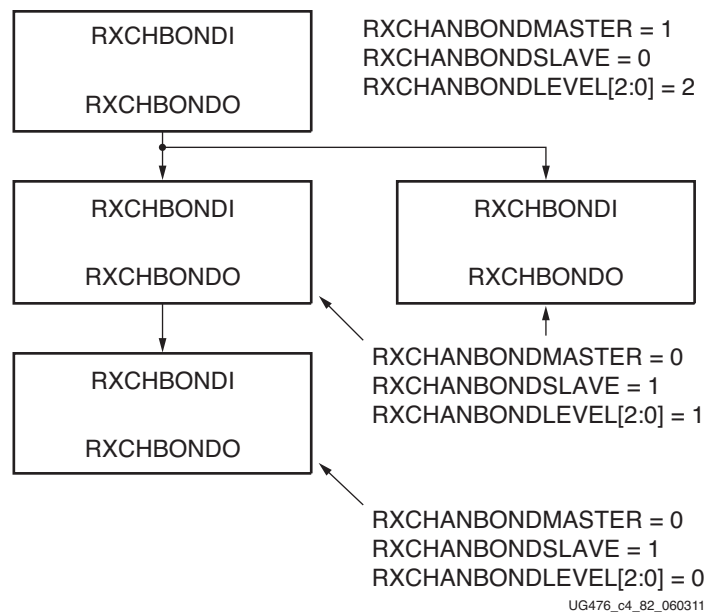


図 4-54 : チャンネル ボンディングのデイジーチェーン例 (2)

デジタイズ チェーンを設定する場合、最初に RXCHBONDO および RXCHBONDI を使用して GTX/GTH トランシーバーを接続し、各スレーブの RXCHBONDI ポートからマスターの RXCHBONDO ポートへのパスを作成します。チェーン内の GTX/GTH トランシーバーの RXCHANBONDLEVEL を設定する手順は、次のとおりです。

1. マスターの RXCHANBONDLEVEL を 7 に設定します。
2. 各スレーブの RXCHANBONDLEVEL を、スレーブの RXCHBONDI ポートを駆動している GTX/GTH トランシーバーの RXCHANBONDLEVEL から 1 を引いた値に設定します。
3. 最も低いレベルのスレーブを見つけます。GTX/GTH トランシーバーすべての RXCHANBONDLEVEL からこのレベルを減算し、最も低いスレーブのレベルが 0 となり、マスターがすべてのスレーブに対して機能するための最少のレベル数となるようにします。4 バイトの内部データパス (RX_INT_DATAWIDTH = 1) を使用する場合は、マスターが RXCHANBONDLEVEL = 3 を超過しないようにします。

各 GTX/GTH トランシーバーにおけるチャネル ボンディング ポート間の接続が定義されるときは、RXCHBONDI および RXCHBONDO が RXUSRCLK クロック ドメインに属していることに注意してください。RXUSRCLK の周波数増加に伴い、また直接接続されたトランシーバーの距離が離れるに従って、RXUSRCLK のタイミング制約を満たすことが困難になります。タイミング制約が満たされている限り、隣接する SLR にトランシーバーをまとめてチャネル ボンディングできます。

GTX/GTH トランシーバー カラムの中央にある GTX トランシーバーをチャネル ボンディングのマスターとして選択すると、ポート接続を柔軟に行うことが可能です。つまり、チャネル ボンディング マスターが GTX/GTH トランシーバー カラムの中央に配置されていると、マスターの上下方向にある GTX/GTH への接続が可能になります。また、GTX/GTH トランシーバーの専用クロック配線構造によって、チャネル ボンディング マスターがカラムの中央に配置されていると、さらなる利点として 1 組のクロック ピン ペアの使用で最大 12 個の GTX/GTH トランシーバーをチャネル ボンディングできるようになります。

タイミング制約が満たされている限り、1 つの RXCHANBONDLEVEL 上の GTX/GTH トランシーバー数は制限されません。

チャネル ボンディング シーケンスの設定

チャネル ボンディング シーケンスは、クロック コレクション シーケンスと同じ方法でプログラムされます。CHAN_BOND_SEQ_LEN はシーケンスの長さを設定し、CHAN_BOND_SEQ_1_* はシーケンスの値を設定します。CHAN_BOND_SEQ_2_USE が TRUE の場合、CHAN_BOND_SEQ_2_* は 2 番目のシーケンスの値を設定します。各サブシーケンスのアクティブ ビット数は、RX_DATA_WIDTH および CBCC_DATA_SOURCE_SEL によって決定されます (267 ページの「RX クロック コレクション」参照)。RX_DISPERR_SEQ_MATCH が FALSE に設定されている場合、CHAN_BOND_SEQ_x_y[9] は一致させる際に使用されません。

図 4-55 に、サブシーケンスのビットがどのようにマップされるかを示します。

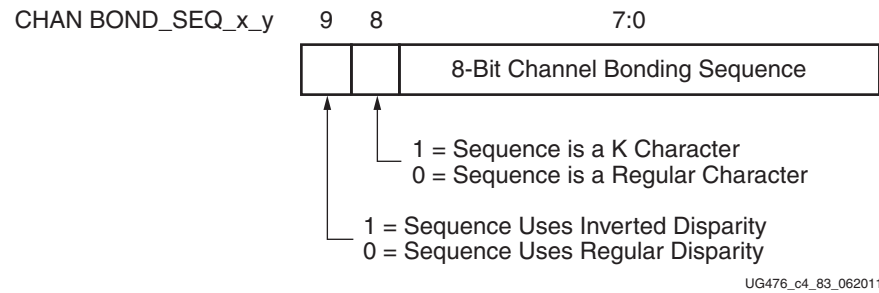


図 4-55 : チャンネル ボンディング シーケンスの設定

クロック コレクション シーケンスと同様、チャンネル ボンディング シーケンスにも Don't Care サブシーケンスを含めることができます。CHAN_BOND_SEQ_1_ENABLE および CHAN_BOND_SEQ_2_ENABLE がこれらのバイトを設定します。図 4-56 に、チャンネル ボンディング サブシーケンスのイネーブル属性のマップを示します。

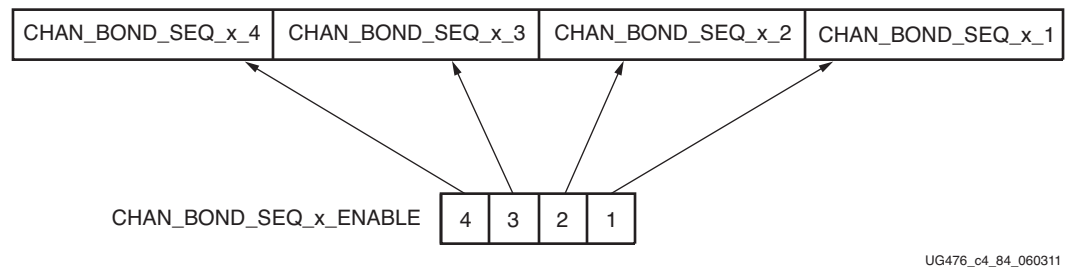


図 4-56 : チャンネル ボンディング シーケンスのマッピング

最大スキューの設定

チャンネル ボンディング シーケンスがマスターで受信されても、すぐにチャンネル ボンディングが実行されるわけではありません。スレーブにレイテンシがある場合は、さらに数バイトを受信する必要があります。この待機時間が、実質的には RX エラスティック バッファが許容可能な最大スキューとなります。スキューが待機時間よりも大きい場合、マスターがチャンネル ボンディングをトリガーするまでに、スレーブでシーケンスが受信されない可能性があります。

図 4-57 に、マスターとスレーブになっている 2 つの FIFO を示します。スレーブがマスターの後にある場合、マスターはチャンネル ボンディングをトリガーするまで数サイクル待機する必要があります。待機しないと、遅いスレーブのバッファにはチャンネル ボンディング シーケンスが含まれなくなります。

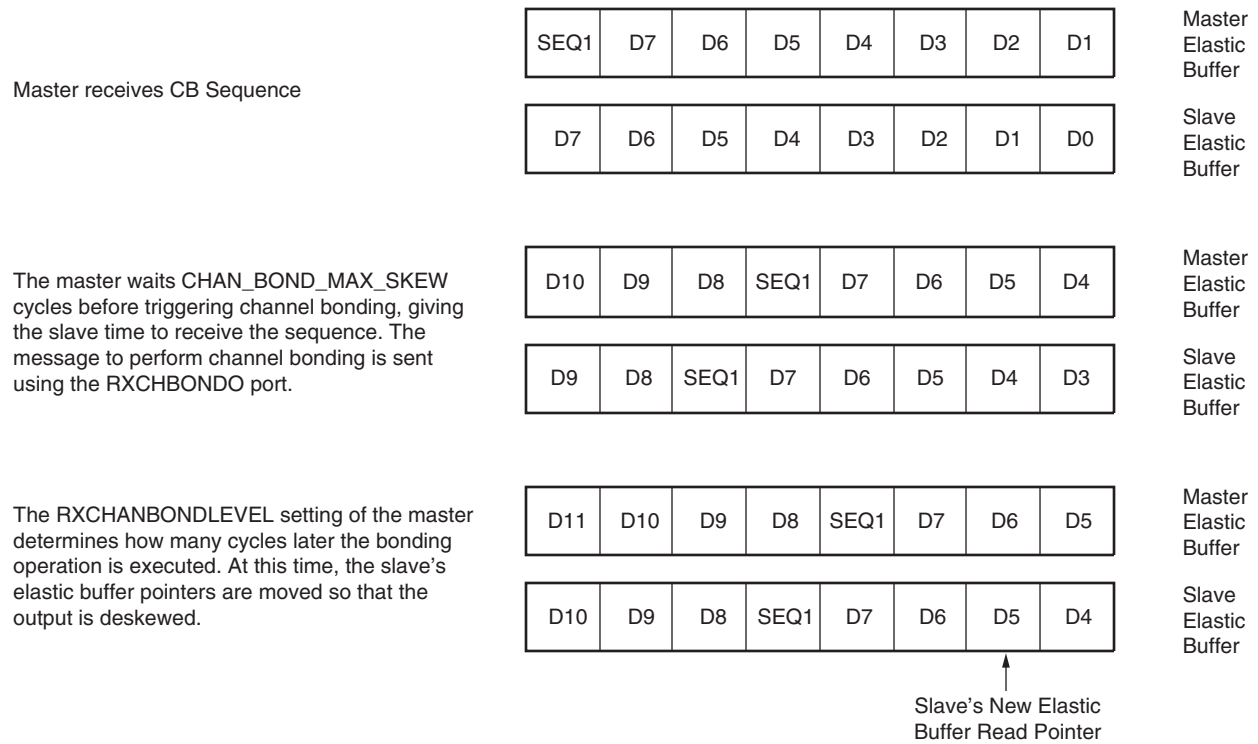


図 4-57 : チャネル ボンディングの例 (CHAN_BOND_MAX_SKEW = 2 および
マスター RXCHANBONDLEVEL[2:0] = 1)

CHAN_BOND_MAX_SKEW は、各チャネル ボンディング シーケンス 1 および 2 で許容可能な最大スキューの設定に使用されます。最大スキューの範囲は 1 ~ 14 です。この範囲は、常にチャネル ボンディング シーケンス間の最小距離の半分 (バイトまたは 10 ビット コード) 未満の必要があります。この最小距離の値は、使用しているプロトコルに依存します。

チャネル ボンディングとクロック コレクション間の優先順位

クロック コレクション (267 ページの「RX クロック コレクション」参照) およびチャネル ボンディングは、共に RX エラスティック バッファのポインターで動作します。通常、2 つの回路は競合することなく機能しますが、これらのイベントが同時に発生すると競合が発生します。このような場合は、一方の回路を優先させる必要があります。クロック コレクションを優先させる場合は、CLK_COR_PRECEDENCE を TRUE に設定し、チャネル ボンディングを優先させる場合は、これを FALSE に設定します。

RX ギアボックス

機能の説明

RX ギアボックスは、64B/66B と 64B/67B のヘッダーおよびペイロードの分割をサポートします。受信したデータのペイロードとヘッダーの出力ピンとして、RXDATA[63:0] および RXHEADER [2:0] を通常モードで使用します。122 ページの「TX ギアボックス」と同様に、RX ギアボックスもシングルクロックを使用する PMA と共に動作します。このため、出力データが無効になる可能性があります。出力ピンの RXHEADERVALID および RXDATAVALID が、適切なヘッダーおよびデータが有効な値であることを示します。RX ギアボックスは、2 バイト、4 バイト、および 8 バイトのインターフェイスをサポートします。

RX ギアボックスから出力されるデータは、アラインされる必要はありません。アライメントは、FPGA ロジックで実行されます。正確にアラインされるまで、RXGEARBOXSLIP ポートを使用してギアボックスから各サイクルごとにデータをスリップします。ビットスリップ動作が完了して出力データが安定するまでには、特定のサイクル数が必要です。データのデスクランブルとブロックの同期化は FPGA ロジックで実行されます。GTH トランシーバーでは、一般的なギアボックスモードのほかに CAUI インターフェイス モードがサポートされます。

ポートおよび属性

表 4-48 に、RX ギアボックスのポートを示します。

表 4-48 : RX ギアボックスのポート

ポート名	方向	クロックドメイン	説明
RXDATAVALID/ RXDATAVALID[1:0] (GTH トランシーバーのみ)	出力	RXUSRCLK2	<p>ギアボックス 64B/66B または 64B/67B が使用される場合、RXDATA に現れたデータが有効であることを示すステータス出力です。たとえば 64B/66B エンコードの場合、8 バイト インターフェイス (および RX_INT_DATAWIDTH = 0 の 4 バイト インターフェイス) では 32 サイクルごとにディアサートされ、2 バイト インターフェイス (および RX_INT_DATAWIDTH = 1 の 4 バイト インターフェイス) では 64 サイクルごとにディアサートされます。</p> <p>GTH トランシーバー :</p> <p>RXDATAVALID[0] は、RXDATA に現れたデータが通常モードで有効であることを示します。データ ストリーム A の現在の RXDATA は、CAUI インターフェイス モードで有効です。</p> <p>RXDATAVALID[1] は、現在の RXDATA が CAUI インターフェイス モードのデータ ストリーム B に対して有効であることを示します。</p>

表 4-48 : RX ギアボックスのポート (続き)

ポート名	方向	クロック ドメイン	説明
RXGEARBOXSLIP	入力	RXUSRCLK2	<p>High に遷移すると、ギアボックスの内容が次の可能なアライメントへスリップします。このポートは、FPGA ロジックとのアライメントに使用されます。このポートを RXUSRCLK2 クロックの 1 サイクル間アサートすると、ギアボックスから出力されるデータ アライメントが変更されます。</p> <p>データを新たにリアラインする場合は、RXGEARBOXSLIP を最低 1 サイクル間ディアサートし、再びアサートする必要があります。複数のリアライメントが連続して実行される場合は、FPGA ロジックで正しいアライメント ポイントを認識しなくても、適切なアライメント ポイントを渡すことができます。</p> <p>GTH トランシーバー： CAUI インターフェイス モードのデータストリーム A の RXGEARBOXSLIP として使用されます。</p>
RXHEADER[2:0]/ RXHEADER[5:0] (GTH トランシーバーのみ)	出力	RXUSRCLK2	<p>GTX トランシーバー： 64B/66B (1:0) および 64B/67B (2:0) のヘッダー出力です。</p> <p>GTH トランシーバー： RXHEADER[2:0] : 通常モード、および CAUI インターフェイス モードのデータストリーム A のヘッダー出力です。 RXHEADER[5:3] : CAUI インターフェイス モードのビットストリーム B のヘッダー出力です。</p>

表 4-48 : RX ギアボックスのポート (続き)

ポート名	方向	クロック ドメイン	説明
RXHEADERVALID/ RXHEADERVALID[1:0] (GTH トランシーバーのみ)	出力	RXUSRCLK2	<p>ギアボックスを使用する場合、RXHEADER が有効であることを示します。</p> <p>GTH トランシーバー :</p> <p>RXHEADERVALID[0] : RXHEADER が通常モード、および CAUI インターフェイス モードのデータ ストリーム A の現在のデータについて有効であることを示します。</p> <p>RXHEADERVALID[1] : RXHEADER が CAUI インターフェイス モードのデータ ストリーム B に対して有効であることを示します。</p>
RXSLIDE (GTH トランシーバーのみ)	入力	RXUSRCLK2	CAUI インターフェイス モードではデータ ストリーム B 用に RXGEARBOXSLIP として使用されます。
RXSTARTOFSEQ/ RXSTARTOFSEQ[1:0] (GTH トランシーバーのみ)	出力	RXUSRCLK2	<p>ギアボックス 64B/66B または 64B/67B が有効の場合、現在の RXDATA 出力のシーケンス カウンターが 0 であることを示します。</p> <p>GTH トランシーバー :</p> <p>RXSTARTOFSEQ[0] : 通常モードの現在の RXDATA、および CAUI インターフェイス モードのデータ ストリーム A に対してシーケンス カウンターが 0 であることを示す出力です。</p> <p>RXSTARTOFSEQ[1] : CAUI インターフェイス モードのデータ ストリーム B に対してシーケンス カウンターが 0 であることを示す出力です。</p>

表 4-49 に、RX ギアボックスの属性を示します。

表 4-49：RX ギアボックスの属性

属性	タイプ	説明
GEARBOX_MODE	3 ビット バイナリ	<p>TX および RX ギアボックス モードを示します。</p> <ul style="list-style-type: none"> ビット 2： <ul style="list-style-type: none"> GTX トランシーバー：未使用。標準動作モードで 0 に設定。 GTH トランシーバー：CAUI インターフェイスが使用される場合は、1 に設定。 ビット 1： <p>0：外部シーケンス カウンターを使用し、TX ギアボックスの TXSEQUENCE へ入力を適用する。</p> <p>1：内部シーケンス カウンターを使用し、TX ギアボックスの TXGEARBOXREADY 出力に基づいて入力ヘッダーとデータを制御する。</p> GTH トランシーバー：未使用かつ 1 に設定。内部シーケンス カウンターは、GTH トランシーバーではサポートされていません。 ビット 0： <p>0：Interlaken 用の 64B/67B ギアボックス モード</p> <p>1：64B/66B ギアボックス</p>
RXGEARBOX_EN	ブール型	TRUE の場合、RX ギアボックスが有効になります。

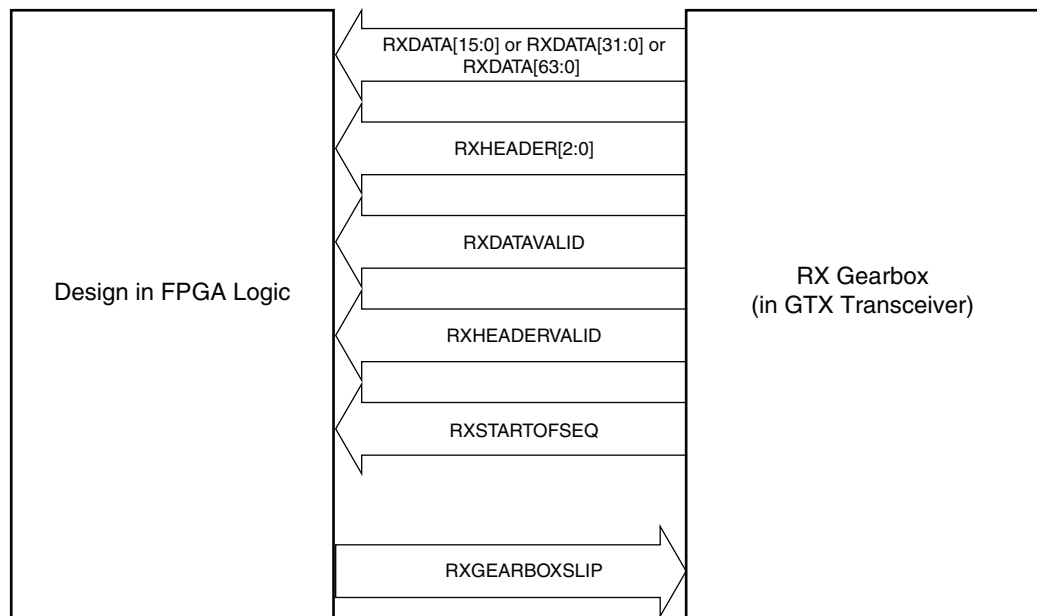
RX ギアボックスの有効化

GTX/GTH トランシーバーの RX ギアボックスを有効にする場合は、RXGEARBOX_EN 属性を TRUE に設定します。GEARBOX_MODE の Bit 2 は、GTX トランシーバーでは未使用かつ 0 に設定されなければなりません。通常動作モードの GTH トランシーバーにおいても同様です。GTH トランシーバーで CAUI インターフェイスを使用する場合は 1 に設定します。GEARBOX_MODE 属性によって GTX/GTH トランシーバーの TX および RX ギアボックス使用モードを制御します。

RX ギアボックスの動作モード

RX ギアボックスの外部シーケンス カウンター モードと内部シーケンス カウンター モードは同じ動作です。RX ギアボックスは、FPGA ロジックに対して 2、4、および 8 バイトのインターフェイスのみサポートします。

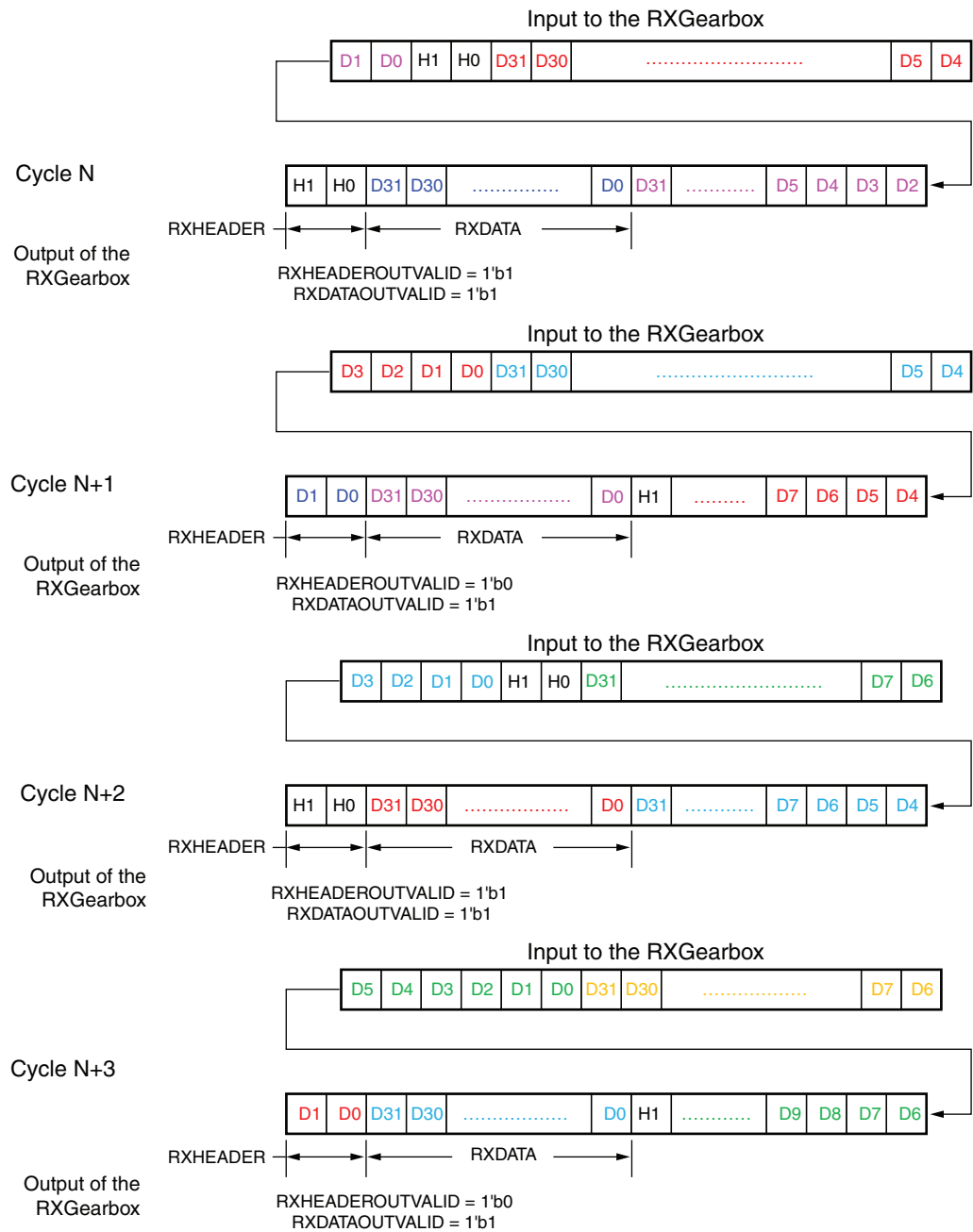
図 4-58 に示すように、いずれのモードも標準モード (GEARBOX_MODE[2] = 1'b0) で RXGEARBOXSLIP 入力を使用するのに加えて RXHEADER、RXDATAOUTVALID、および RXHEADEROUTVALID 出力を使用します。



UG476_c4_58_060811

図 4-58 : 標準モード (GEARBOX_MODE[2] = 1'b0) における
内部または外部シーケンス モードのギアボックス

図 4-59 に、4 バイト ロジック インターフェイス (RX_DATA_WIDTH = 32 (4 バイト)、RX_INT_DATAWIDTH = 1 (4 バイト)) を通常モード (GEARBOX_MODE[2] = 1'b0) で使用した場合の 64B/66B エンコードで、RX ギアボックスへ入力されるデータおよび RX ギアボックスから出力されるデータの 4 サイクルを例示します。



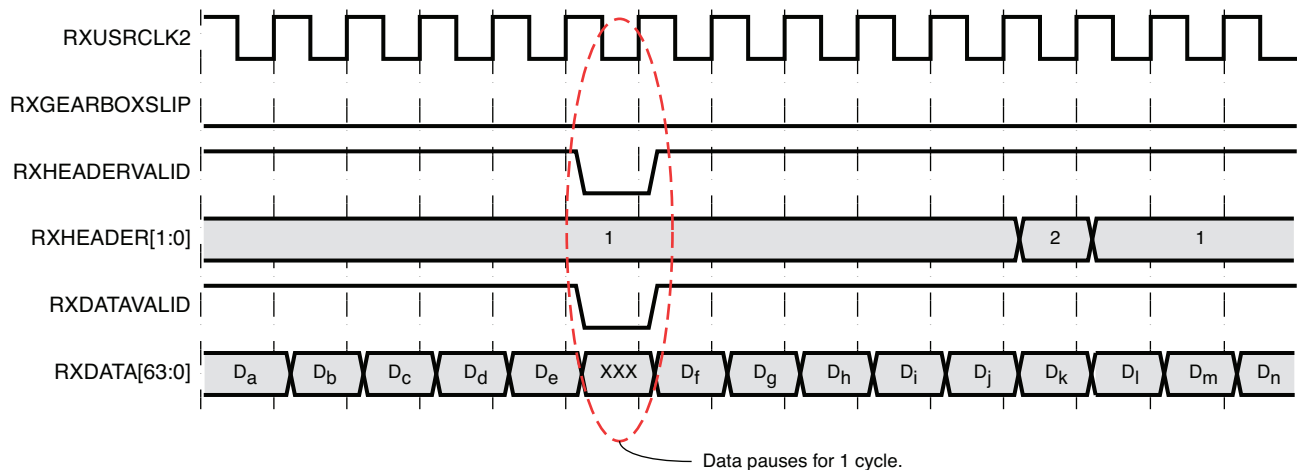
UG476_c4_59_062711

図 4-59 : 通常モード (GEARBOX_MODE[2] = 1'b0) における RX ギアボックスの動作

図 4-59 について説明します。

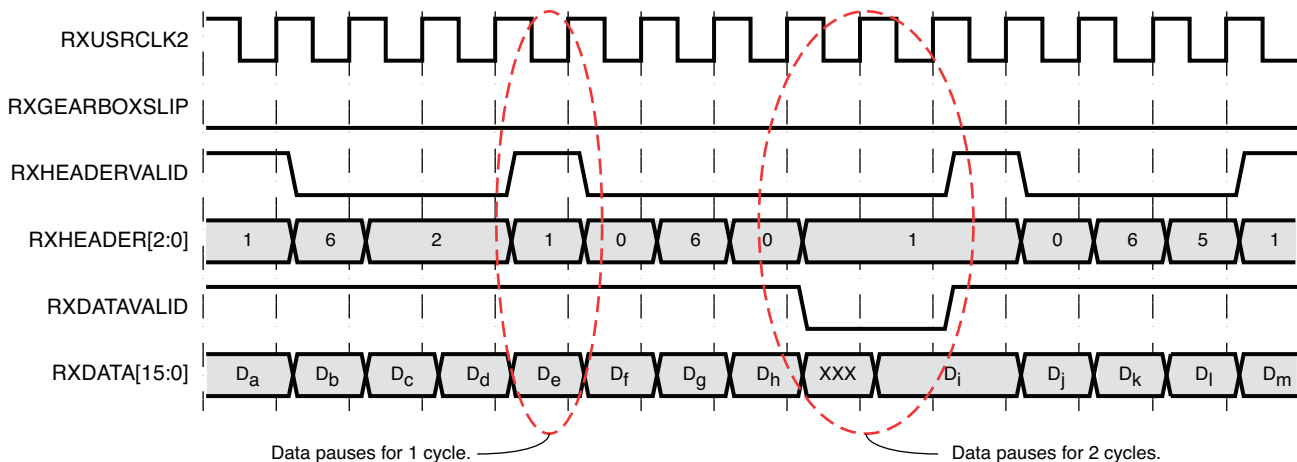
1. IEEE Std 802.3ae-2002 の命名規則に従って、H1 は RxB0、H0 は RxB1 などのように対応します。RX ギアボックスはすべてのシーケンスを内部処理します。

この点では、内部シーケンスか外部シーケンスのいずれかを処理する TX ギアボックスのオプションとは異なります。2、4、または 8 バイトのインターフェイスのいずれを使用するかによって、RXDATAOUTVALID および RXHEADEROUTVALID 信号のアサート/ディアサート期間は異なります。データおよびヘッダーの長さに関しては、RX ギアボックスと TX ギアボックスで同じです。図 4-60 に、これらの長さを示すと共に、1 サイクル間ディアサートされる RXHEADERVALID 信号と RXDATAVALID 信号を示します。図 4-61 に、通常モード (GEARBOX_MODE[2] = 1'b0) で RX_DATA_WIDTH = 16 (2 バイト) および RX_INT_DATAWIDTH = 0 (2 バイト) を使用した場合の 64B/67B エンコードの動作を示します。



UG476_c4_60_061711

図 4-60 : 通常モード (GEARBOX_MODE[2] = 1'b0) で RX_DATA_WIDTH = 64 (8 バイト) と RX_INT_DATAWIDTH = 1 (4 バイト) を使用した場合の 64B/66B エンコードにおける RX ギアボックス



UG476_c4_61_061711

図 4-61 : RX_DATA_WIDTH = 16 (2 バイト) と RX_INT_DATAWIDTH = 0 (2 バイト) を使用した場合の 64B/67B エンコードにおける RX ギアボックス

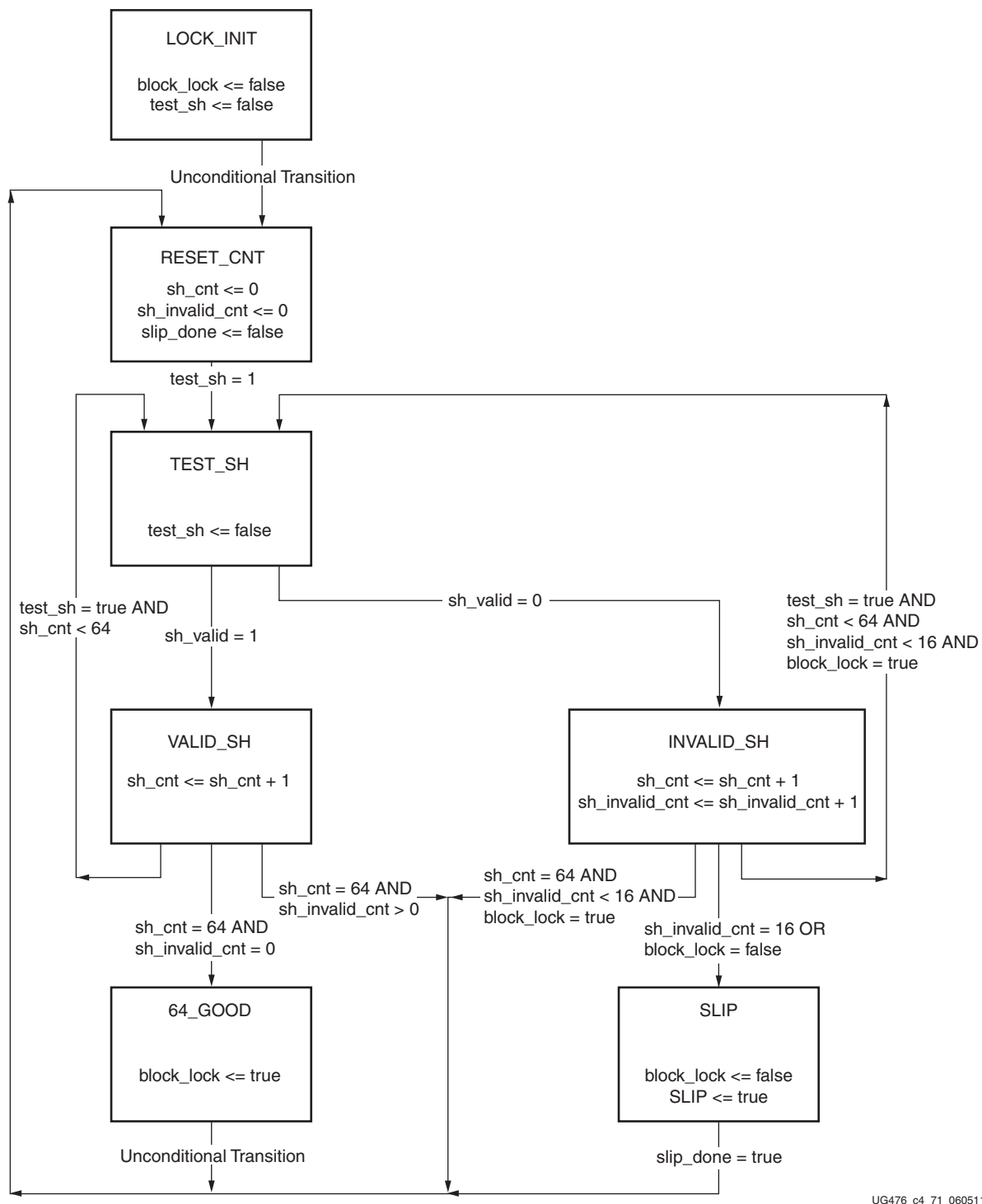
RX ギアボックス ブロックの同期化

64B/66B および 64B/67B プロトコルは、ブロックの同期によってその境界が決まります。すべての入力データはブロックがロックされるまで安定しないため、ブロックは同期化する必要があります。同期化するには、データ アライメントを変更して、有効な同期ヘッダーを検出します。

RXGEARBOXSLIP 入力ポートを使用して、ギアボックスのデータ アライメントを変更すると、すべての可能なアライメントを通常モード (GEARBOX_MODE[2] = 1'b0) でチェックできます。(RXSLIDE は、GTH トランシーバーの CAUI インターフェイス モード (GEARBOX_MODE[2] = 1'b1) での 2 番目のデータ ストリームに対しては RXGEARBOXSLIP として利用できます。)

RXGEARBOXSLIP 信号がブロック同期化ステート マシンから RX ギアボックスへフィードバックすることで、そのギアボックスにデータ アライメントをスリップするように伝えます。このプロセス (スリップして同期ヘッダーをテスト) は、ブロックがロックされるまで繰り返されます。RX ギアボックスを使用する場合、FPGA ロジックではブロック同期化ステート マシンが必要です。

[図 4-62](#) に、ブロック同期化ステート マシンの動作を示します。7 Series FPGA Transceivers Wizard に、このようなモジュールのコード例があります。



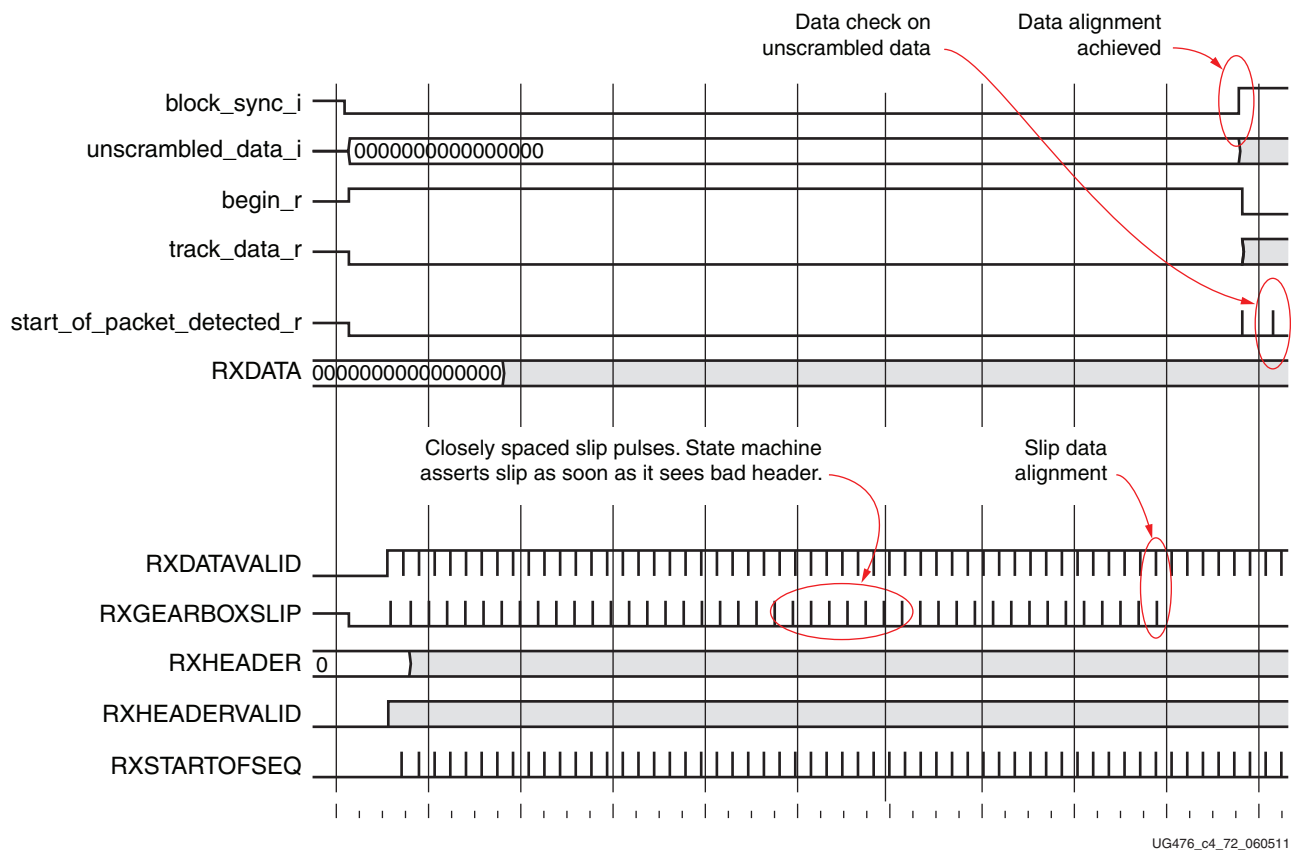
UG476_c4_71_060511

図 4-62 : ブロック同期化ステート マシン

ステート マシンは、有効な同期ヘッダーと無効な同期ヘッダーをトラッキングすることで機能しています。リセット時は、ブロック ロックがディASSERTされてステートは LOCK_INIT になります。次に、RESET_CNT ステートへ遷移して、すべてのカウンタが 0 にリセットされます。同期ヘッダーは TEST_SH ステートで解析されます。ヘッダーが有効の場合は、VALID_SH ステートで sh_cnt がインクリメントされます。無効の場合は、INVALID_SH ステートで sh_count および sh_invalid_count がインクリメントされます。

図 4-62 に示すブロック同期化ステート マシンでは、sh_cnt_max が 64 で sh_invalid_cnt_max が 16 に設定されています。VALID_SH ステートでは、sh_cnt が sh_cnt_max 値よりも小さく、test_sh が High のときに TEST_SH ステートへ遷移します。一方、sh_cnt が sh_cnt_max と等しく、sh_invalid_cnt が 0 のときは、GOOD_64 ステートへ遷移して block_lock がアサートされます。そしてプロセスが再び繰り返されてカウンタが 0 にクリアされます。ブロックのロックを完了するには、ステート マシンが有効な同期ヘッダーを sh_cnt_max の数だけ連続して (無効な同期ヘッダーを受信せず) 受信する必要があります。しかし、ブロックのロックが完了すると、有効な同期ヘッダーを sh_cnt_max の数だけ受信する間に、sh_invalid_cnt_max - 1 数の無効な同期ヘッダーを受信できます。したがって、一度ロックすると、ロックは解除されることはほとんどありません。

図 4-63 に、ブロック同期化ステート マシンの波形を示します。このステート マシンは、無効な同期ヘッダーがあるため、データ アライメントが完了する前までに多数の RXGEARBOXSLIP がアサートされています。RXGEARBOXSLIP が送信された後、ステート マシンは RXUSRCLK2 の 32 サイクル間待機してから、有効な同期ヘッダーをチェックします。



UG476_c4_72_060511

図 4-63：通常モード (GEARBOX_MODE[2] = 1'b0) における、ブロック同期化を用いた RX ギアボックス

CAUI インターフェイス (GTH トランシーバー)

CAUI インターフェイスには、トランシーバーに 2 つのデータ インターフェイスが必要です。このセクションでは、GTH トランシーバーにインプリメントされている RX の CAUI インターフェイスブロックのデザインについて説明します。これにより、64/66 および 64/67 モード (データ ストリーム A およびデータ ストリーム B) でのデュアルデータ インターフェイスがサポートされます。CAUI インターフェイス モードは、GEARBOX_MODE[2] 属性を 1'b1 に設定することで選択可能です。CAUI インターフェイス モードでは、RX_INT_DATAWIDTH = 1 (4 バイト) および RX_DATA_WIDTH = 64 (8 バイト) または 32 (4 バイト) の設定のみが認められています。

使用モード

2 つの PCSL が、CAUI インターフェイスを介して PCS と接続するとされています。各 PCSL は各自のブロック アライメントを実行します。図 4-64 に、2 つの PCSL と PCS 間の接続を示します。

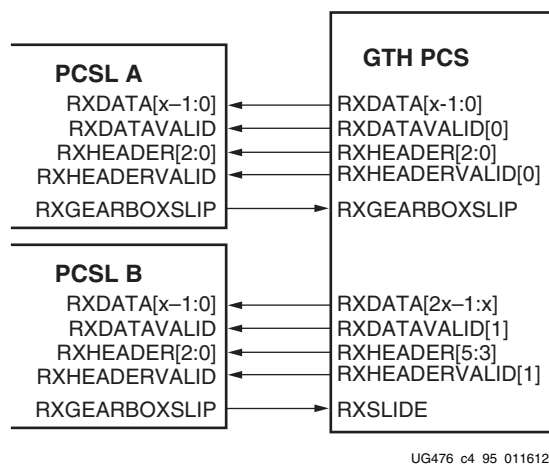


図 4-64 : CAUI インターフェイス - RX 使用例

図 4-64 では、x は PCSL データ バスの幅を示しています。設定可能な値は 16 および 32 です。

RX ギアボックス ブロック (GTH トランシーバー)

GTX トランシーバーの RX ギアボックスの最上位には、次の各コンポーネントのインスタンスが 1 つずつあります。

1. 64/66 4 バイト ギアボックス
2. 64/66 2 バイト ギアボックス
3. 64/67 4 バイト ギアボックス
4. 64/67 2 バイト ギアボックス
5. シーケンス検出

GTH トランシーバーで CAUI インターフェイスをサポートするために、各 2 バイト ギアボックスのインスタンスが 1 つずつ追加されています。Bit Demux ブロックのインスタンスも 1 つ追加されています。RXGEARBOXSLIP 入力信号はデータ ストリーム A に使用し、RXSLIDE 入力信号はデータ ストリーム B に対してギアボックス スリップ入力として使用します。RXDATAVALID、RXHEADER、RXHEADERVALID および RXSTARTOFSEQ の出力の幅を 2 倍にすると、2 番目のデータ ストリームに対応できます。

図 4-65 に、GTH トランシーバーの CAUI インターフェイス (RX パス) を示します。

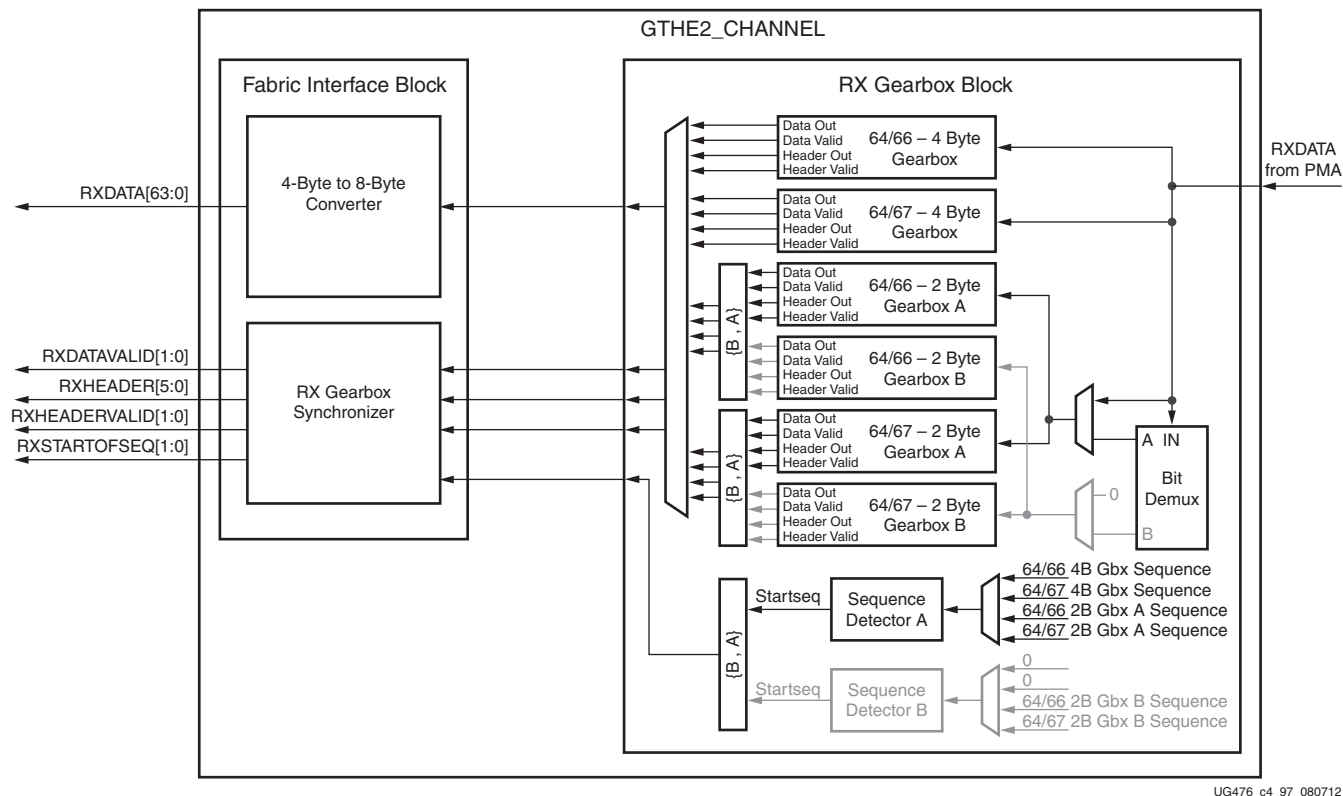


図 4-65 : CAUI インターフェイス (RX データパス)

CAUI インターフェイス モードでは、Bit Demux ブロックによって、PMA から A および B ストリームへの入力データ ストリームが分割されます。ブロック レシーバーは、サイクルごとに 32 ビットのエンコード データを受信します。すべての偶数ビットはデータ ストリーム A に割り当てられ、すべての奇数ビットはデータ ストリーム B に割り当てられます。

RX_INT_DATAWIDTH = 1 (4 バイト) がこのモードで使用されていますが、2 つの 2 バイト ギアボックスを使用して図 4-65 に示す機能性を実現します。これら 2 バイト ギアボックスの機能性は、前述のセクションで説明した、RX_INT_DATAWIDTH = 0 (2 バイト) の場合と同じです。

PCSL データ幅がそれぞれ 32 ビットの場合 (RX_DATA_WIDTH = 64 (8 バイト))、データ ストリーム A およびデータ ストリーム B がそれぞれ対応するギアボックスに達するように、4-8 バイト コンバーターによってデータが組み合わせられます (図 4-66 および図 4-67 参照)。

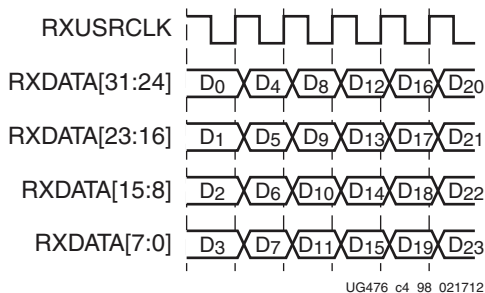


図 4-66 : 4-8 バイト コンバーター (RX_DATA_WIDTH = 64 (8 バイト)、RX_INT_DATAWIDTH = 1 (4 バイト)、GEARBOX_MODE[2] = 1'b1) への入力

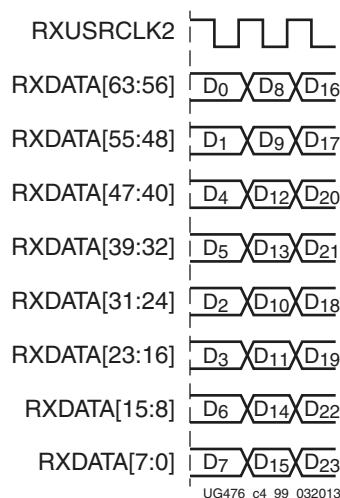


図 4-67 : 4-8 バイト コンバーター (RX_DATA_WIDTH = 64 (8 バイト)、RX_INT_DATAWIDTH = 1 (4 バイト)、GEARBOX_MODE[2] = 1'b1) の出力

機能が追加されているため、ギアボックス ブロックを通る際に生じるレイテンシは、GTX トランシーバーと比較した場合 GTH トランシーバーでより長くなることが予想されます。

FPGA RX インターフェイス

機能の説明

FPGA RX インターフェイスは、GTX/GTH トランシーバーの RX データパスへの入り口です。アプリケーションは、RXUSCLK2 の立ち上がりエッジで RXDATA ポートにデータを書き込むことで GTX/GTH トランシーバーにデータを送信します。ポート幅は、2、4、または 8 バイト幅から選択できます。実際のポート幅は、RX_DATA_WIDTH 属性と RX_INT_DATAWIDTH 属性そして RX8B10BEN ポートの設定で定義します。有効なポート幅は、16、20、32、40、64 および 80 ビットです。インターフェイスでのパラレル クロック (RXUSCLK2) レートは、RX ラインレート、RXDATA ポート幅、および 8B/10B デコードの使用有無によって決定します。パラレル動作モードの場合、2 番目のパラレル クロック (RXUSRCLK) は、トランスミッターの内部 PCS ロジックに使用する必要があります。ここでは、パラレル クロックがどのように駆動されるかを示し、それらが正しく動作するための制約について説明します。最高速トランスミッター データレートの場合、指定動作範囲内で RXUSCLK2 レートを実現するには 8 バイト インターフェイスが必要です。

インターフェイス幅の設定

7 シリーズ GTX/GTH トランシーバーには、2 バイトと 4 バイトの内部データパスがあり、RX_INT_DATAWIDTH 属性で設定できます。FPGA インターフェイス幅は、RX_DATA_WIDTH 属性で設定できます。8B/10B エンコーダーが有効の場合、RX_DATA_WIDTH 属性は 20 ビット、40 ビット、または 80 ビットに設定される必要があります。そしてこの場合、FPGA RX インターフェイスは RXDATA ポートのみを使用します。たとえば、FPGA インターフェイス幅が 16 の場合は、RXDATA[15:0] が使用されます。8B/10B デコーダーをバイパスする場合、RX_DATA_WIDTH は 16 ビット、20 ビット、32 ビット、40 ビット、64 ビットまたは 80 ビットで設定できます。

表 4-50 に、RX データパスのインターフェイス幅がどのように決定されるかを示します。8B/10B デコードについては、241 ページの「RX 8B/10B デコーダー」で詳細に説明します。

表 4-50 : FPGA RX インターフェイスのデータパス設定

RX8B10BEN	RX_DATA_WIDTH	RX_INT_DATAWIDTH	FPGA インターフェイス幅	内部データ幅
1	20	0	16	20
	40	0	32	20
	40	1	32	40
	80	1	64	40
0	16	0	16	16
	20	0	20	20
	32	0	32	16
	32	1	32	32
	40	0	40	20
	40	1	40	40
	64	1	64	32
	80	1	80	40

8B/10B デコーダーがバイパスされ、TX_DATA_WIDTH は 20、40、または 80 の場合、RXDISPERR および RXCHARISK ポートを使用して RXDATA ポートを 16 から 20 へ、32 から 40 へ、または 64 から 80 へ拡張します。表 4-51 に、8B/10B デコーダーが無効の場合の受信データを示します。RX ギャップボックスを使用する場合のデータ転送順は、291 ページの「RX ギャップボックス」を参照してください。

表 4-51 : 8B/10B デコーダーをバイパスする場合での RX 受信データ

	<<< 右から左へデータ受信 (LSB から MSB) <<<																																							
	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
受信 データ	RXDISPERR[3]	RXCHARISK[3]	RXDATA[31:24]								RXDISPERR[2]	RXCHARISK[2]	RXDATA[23:16]								RXDISPERR[1]	RXCHARISK[1]	RXDATA[15:8]								RXDISPERR[0]	RXCHARISK[0]	RXDATA[7:0]							
<<< 右から左へデータ受信 (LSB から MSB) <<<																																								
受信 データ	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40
	RXDISPERR[7]	RXCHARISK[7]	RXDATA[56:63]								RXDISPERR[6]	RXCHARISK[6]	RXDATA[48:55]								RXDISPERR[5]	RXCHARISK[5]	RXDATA[40:47]								RXDISPERR[4]	RXCHARISK[4]	RXDATA[32:39]							

RXUSRCLK および RXUSRCLK2 の生成

FPGA RX インターフェイスには、2つのパラレルクロック (RXUSRCLK および RXUSRCLK2) があります。RXUSRCLK は、GTX/GTH トランスミッターの PCS ロジック用の内部クロックです。RXUSRCLK で必要なレートは、GTXE2_CHANNEL/GTHE2_CHANNEL プリミティブの内部データパス幅および GTX/GTH トランスミッターの RX ライン レートによって決まります。RXUSRCLK のレートは式 4-2 から求められます。

$$RXUSRCLK \text{ Rate} = \frac{\text{Line Rate}}{\text{Internal Datapath Width}} \quad \text{式 4-2}$$

RXUSRCLK2 は、GTX/GTH トランシーバーの RX 側に入る信号すべてを同期化するためのプライマリ クロックです。GTX/GTH トランシーバーの RX 側に入力されるほとんどの信号は、RXUSRCLK2 の立ち上がりエッジで取り込まれます。RXUSRCLK2 と RXUSRCLK は、RX_DATA_WIDTH と RX_INT_DATAWIDTH の設定に基づく固定されたレート関係があります。表 4-52 に、RX_DATA_WIDTH と RX_INT_DATAWIDTH 値に対する RXUSRCLK2 と RXUSRCLK の関係を示します。ライン レートが 6.6Gb/s よりも高い場合は、RX_INT_DATAWIDTH を 1 に設定して、4 バイトの内部データパスが必要です。

表 4-52 : RXUSRCLK2 と RXUSRCLK の周波数関係

FPGA インターフェイス幅	RX_DATA_WIDTH	RX_INT_DATAWIDTH	RXUSRCLK2 の周波数
2 バイト	16, 20	0	$F_{RXUSRCLK2} = F_{RXUSRCLK}$
4 バイト	32, 40	0	$F_{RXUSRCLK2} = F_{RXUSRCLK} / 2$
4 バイト	32, 40	1	$F_{RXUSRCLK2} = F_{RXUSRCLK}$
8 バイト	64, 80	1	$F_{RXUSRCLK2} = F_{RXUSRCLK} / 2$

RXUSRCLK と RXUSRCLK2 の関係には、次のような規則があります。

- RXUSRCLK および RXUSRCLK2 は、クロック スキューを可能な限り最小限に抑え、立ち上がりエッジで揃える必要があります。そのため、スキューが小さいクロック リソース (BUFG および BUFR) を使用して RXUSRCLK および RXUSRCLK2 を駆動する必要があります。
- トランスミッターおよびレシーバーの基準クロックが同じオシレーターで駆動するようにチャネルが構成されていると、TXOUTCLK を使用して TXUSRCLK および TXUSRCLK2 を駆動する場合と同様の方法で、RXUSRCLK および RXUSRCLK2 が駆動できます。クロック コレクションがオフのとき、または RX バッファをバイパスするときは、RX 位相アライメント機能を使用してシリアル クロックおよびパラレル クロックを揃える必要があります。
- チャネルのトランスミッターおよびレシーバーの基準クロックを別々のオシレーターで駆動し、クロック コレクションが未使用の場合は、RXUSRCLK および RXUSRCLK2 は、RXOUTCLK (RXOUTCLKPMA の場合は RXOUTCLKSEL = 3'b010) で分周して位相アライメント回路を使用する必要があります。
- クロック コレクションを使用している場合は、RXOUTCLK または TXOUTCLK をソースとして RXUSRCLK および RXUSRCLK2 が使用可能です。

ポートおよび属性

表 4-53 に、FPGA RX インターフェイスのポートを示します。

表 4-53 : FPGA RX インターフェイスのポート

ポート	方向	クロック ドメイン	説明
RXDISPERR[7:0]	出力	RXUSRCLK2	8B/10B デコードが無効の場合、20、40、および 80 ビット RX インターフェイスのデータ バスの拡張に使用されます。
RXCHARISK[7:0]	出力	RXUSRCLK2	8B/10B デコードが無効の場合、20、40、および 80 ビット RX インターフェイスのデータ バスの拡張に使用されます。
RXDATA[63:0]	出力	RXUSRCLK2	データ送信用のバスです。ポート幅は RX_DATA_WIDTH によって決定します。 RX_DATA_WIDTH = 16、20 : RXDATA[15:0] = 16 ビット幅 RX_DATA_WIDTH = 32、40 : RXDATA[31:0] = 32 ビット幅 RX_DATA_WIDTH = 64、80 : RXDATA[63:0] = 64 ビット幅 20 ビット、40 ビットまたは 80 ビットのバスが必要な場合は、8B/10B エンコーダーの RXCHARISK および RXDISPERR ポートと RXDATA ポートを結合します。304 ページの表 4-51 を参照してください。
RXUSRCLK	入力	クロック	内部 RX PCS データバスへのクロック提供に使用します。
RXUSRCLK2	入力	クロック	FPGA ロジックと RX インターフェイスの同期に使用します。ユーザーが RXUSRCLK を提供する場合、このクロックは RXUSRCLK の立ち上がりエッジに揃う必要があります。

表 4-54 に、FPGA RX インターフェイスの属性を示します。

表 4-54 : FPGA RX インターフェイスの属性

属性	タイプ	説明
RX_DATA_WIDTH	整数	RXDATA ポートのビット幅を設定します。8B/10B エンコーダーが有効の場合、RX_DATA_WIDTH は 20 ビット、40 ビット、または 80 ビットに設定される必要があります。有効な値は、16、20、32、40、64、および 80 です。 詳細は、 303 ページの「インターフェイス幅の設定」 を参照してください。
RX_INT_DATAWIDTH	整数	内部データパス幅を指定します。 0 : 2 バイトの内部データパス 1 : 4 バイトの内部データパス。ライン レートが 6.6Gb/s よりも高い場合は 1 に設定。

ボード デザインのガイドライン

概要

この章では、7 シリーズ FPGA GTX/GTH トランシーバーを使用するデザインを PCB 上に実装する際のガイドラインを示します。GTX/GTH トランシーバーはアナログ回路であるため、PCB に実装するには特別な配慮が必要です。デザインを正常に動作させるには、デバイス ピンの機能を理解し、デバイス インターフェイス、伝送ラインのインピーダンスと配線、電源回路デザインのフィルタリングと分配、コンポーネント選択、PCB レイアウトとスタックアップ デザインなどの問題に取り組む必要があります。

ピンの説明およびデザインのガイドライン

GTX/GTH トランシーバーのピンの説明

表 5-1 に、GTX/GTH トランシーバー クワッドのピンを示します。

表 5-1 : GTX/GTH トランシーバー クワッドのピンの説明

ピン	方向	説明
MGTREFCLK0P MGTREFCLK0N	入力 (パッド)	GTX/GTH トランシーバー クワッドの基準クロック用の差動クロック入力ピン ペアです。
MGTREFCLK1P MGTREFCLK1N	入力 (パッド)	GTX/GTH トランシーバー クワッドの基準クロック用の差動クロック入力ピン ペアです。
MGTXRXP[3:0]/MGTXRXN[3:0] MGTHRXP[3:0]/MGTHRXN[3:0]	入力 (パッド)	RXP と RXN は、GTX/GTH トランシーバー クワッドにある各レシーバーの差動入力ペアです。
MGTXTXP[3:0]/MGTXTXN[3:0] MGHTXP[3:0]/MGHTTXN[3:0]	出力 (パッド)	TXP と TXN は、GTX/GTH トランシーバー クワッドにある各トランスミッターの差動出力ペアです。
MGTAVTTRCAL	入力 (パッド)	終端抵抗キャリブレーション回路のバイアス電源電流です。「 終端抵抗キャリブレーション回路 」を参照してください。
MGTRREF	入力 (パッド)	終端抵抗キャリブレーション回路のキャリブレーション抵抗入力ピンです。「 終端抵抗キャリブレーション回路 」を参照してください。

表 5-1 : GTX/GTH トランシーバー クワッドのピンの説明 (続き)

ピン	方向	説明
MGTAVCC	入力 (パッド)	MGTAVCC は、GTX/GTH トランシーバー クワッド タイルの内部アナログ回路へ電力供給するアナログ電源ピンです。この回路には、PLL、トランスミッター、およびレシーバー用のアナログ回路が含まれます。多くのパッケージには、その内部に MGTAVCC 用の電源接続グループが複数あります。特定の GTX/GTH トランシーバー クワッドに配置される電源グループの詳細は、パッケージピンの説明を参照してください。公称電圧は、1.0V _{DC} です。
MGTAVTT	入力 (パッド)	MGTAVTT は、GTX/GTH トランシーバー クワッド タイルのトランスミッター回路およびレシーバー回路へ電力供給するアナログ電源ピンです。多くのパッケージには、その内部に MGTAVTT 用の電源接続グループが複数あります。特定の GTX/GTH トランシーバー クワッドに配置される電源グループの詳細は、パッケージピンの説明を参照してください。公称電圧は、1.2V _{DC} です。
MGTVCCAUX	入力 (パッド)	MGTVCCAUX は、トランシーバーの QPLL へ電圧を供給するアナログ補助電源ピンです。多くのパッケージには、その内部に MGTVCCAUX 用の電源接続グループが複数あります。特定の GTX/GTH トランシーバー クワッドに配置される電源グループの詳細は、パッケージピンの説明を参照してください。公称電圧は、1.8V _{DC} です。

図 5-1 に 7 シリーズ FPGA GTX/GTH トランシーバーと外部電力供給との接続を示し、312 ページの図 5-2 に GTX/GTH トランシーバーの電源ピンの内部接続を示します。

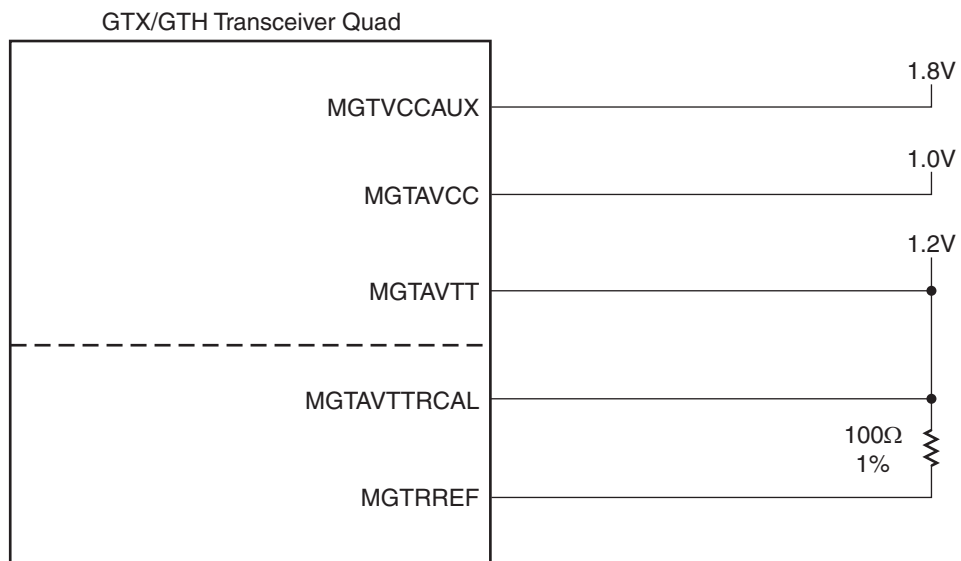
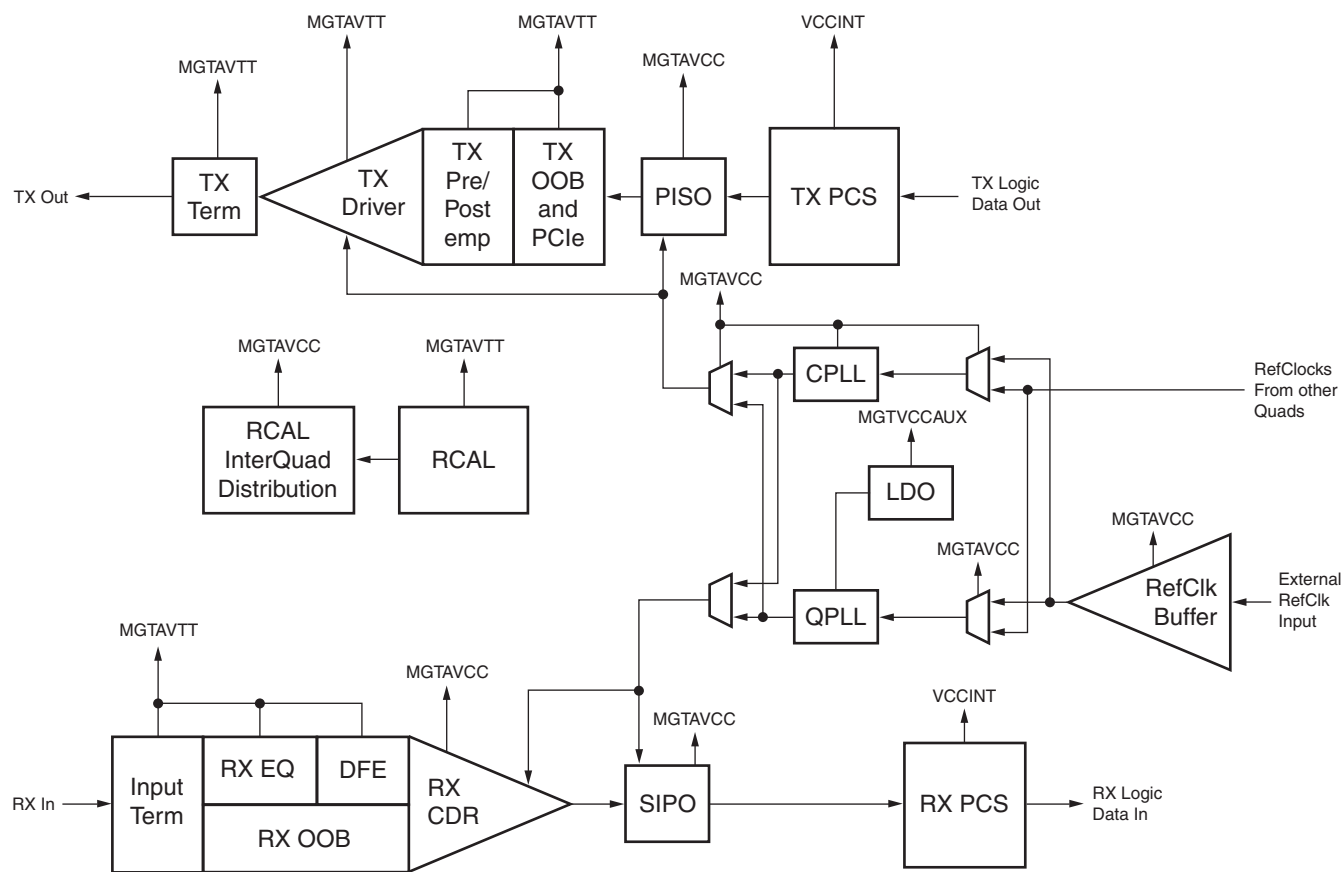


図 5-1 : 7 シリーズ FPGA GTX/GTH トランシーバーの電源の外部接続

図 5-1 について説明します。

1. 電圧値は公称値です。値および耐性の詳細は、各 7 シリーズ FPGA デバイスのデータシートを参照してください。



UG476 c5 09 031312

図 5-2 : 7 シリーズ FPGA GTX/GTH トランシーバーの電源の内部接続

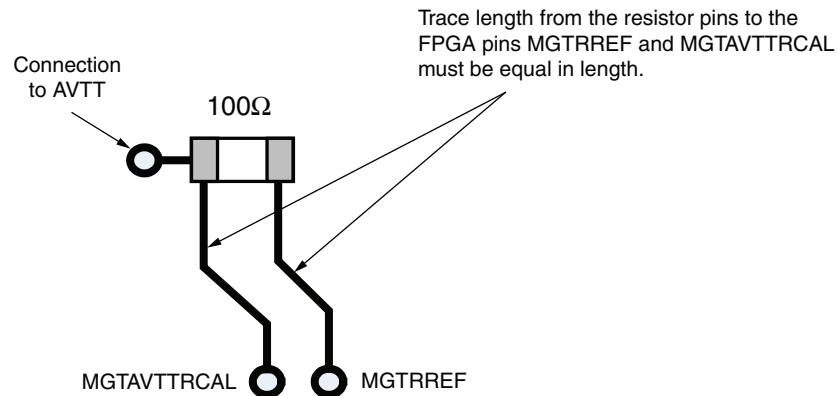
終端抵抗キャリブレーション回路

GTX/GTH トランシーバー クワッド カラム内にあるすべての GTX/GTH トランシーバー クワッド プリミティブで共有される抵抗キャリブレーション回路 (RCAL) が 1 つあります。

MGTAVTTRCAL ピンおよび MGTRREF ピンを使用して、バイアス回路と外部キャリブレーション抵抗を RCAL 回路へ接続します。RCAL 回路は、FPGA のコンフィギュレーション中のみ抵抗キャリブレーションを実行します。コンフィギュレーション前には、すべてのアナログ電源電圧が供給され、各 7 シリーズ FPGA データシートで指定される耐性範囲内になる必要があります。GTX/GTH カラム全体が使用されていない場合、MGTAVTTRCAL および MGTRREF をグランドに接続する必要があります。

RCAL 回路は、RCAL マスターである GTX/GTH トランシーバー クワッドに含まれます。RCAL マスターは、FPGA のコンフィギュレーション中に終端抵抗キャリブレーションを実行し、コラム内のすべての GTX/GTH トランシーバー クワッドへキャリブレーションした値を分配します。RCAL 回路は、コンフィギュレーション クロックによって駆動されます。RCAL 回路が配置されているクワッドに電源を投入する必要があります。MGTAVTTTRCAL ピンのクワッド位置については、表 5-2 を参照してください。スタックド シリコン インターコネクト (SSI) テクノロジを使用するデバイスについては、使用される各スライス (複数のクワッドを含む) に電源を投入してください。

MGTAVTTRCAL ピンは、MGTAVTT 電源ピンと 100Ω の外部精密抵抗のピンへ接続する必要があります。抵抗のもう一方のピンは、MGTRREF ピンへ接続します。抵抗キャリブレーション回路によって、MGTRREF ピンへ接続されている抵抗に、制御された電流負荷が提供されます。そして、この回路は外部キャリブレーション抵抗における電圧降下を判断し、その値に基づいて抵抗キャリブレーション値を変更 (調整) します。抵抗キャリブレーションの品質は、MGTAVTTRCAL ピンおよび MGTRREF ピンでの電圧測定精度によって決まります。抵抗から FPGA ピンまでのトレース間での電圧降下が原因で生じるエラーを回避するため、MGTAVTTRCAL ピンから抵抗までのトレース長および構造は、抵抗のもう一方のピンから MGTRREF ピンまでのトレース長および構造と同じにする必要があります。図 5-3 に、推奨されるレイアウトを示します。



UG476_c5_02_121311

図 5-3 : RCAL 抵抗の PCB レイアウト

アナログ電源ピン

GTX/GTH トランシーバー クワッドのアナログ電源 (MGTAVCC、MGTAVTT、MGTVCCAUX) には、パッケージ内にプレーンがあります。一部のパッケージには、各アナログ電源に対して複数のプレーンがあります。パッケージに複数の電源グループがある場合、電源ピンの名前に接尾辞「_G# suffix」が付き、どのピンが特定の電源グループに含まれるかを示します。電源グループのすべてのクワッドを使用しない場合は、関連する電源ピンを未接続のままにするか、グランドに接続できます (RCAL 回路がクワッドに配置されている場合を除く)。

GTX/GTH トランシーバーの各アナログ電源グループには、3 つの電源 (MGTAVCC、MGTAVTT、MGTVCCAUX) があります。パッケージに 2 つの電源グループがある場合、これらのグループのパッケージ内に合計 6 つの電源プレーン (各電源グループに 3 つのプレーン) があります。

表 5-2 に、GTX トランシーバー付き Kintex™-7 デバイスの各パッケージにおける電源グループを示します。この表は、RCAL キャリブレーション回路を含むクワッドも示しています。

表 5-2 : Kintex-7 FPGA GTX トランシーバーのパッケージごとの電源グループ

	Kintex-7 FPGA GTX トランシーバーのクワッド							
	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118
XC7K70T-FBG484					単一 プレーン (RCAL)			
XC7K70T-FBG676					単一 プレーン (RCAL)	単一 プレーン		
XC7K160T-FBG484					単一 プレーン (RCAL)			
XC7K160T-FBG676					単一 プレーン (RCAL)	単一 プレーン		
XC7K160T-FFG676					単一 プレーン (RCAL)	単一 プレーン		
XC7K325T-FBG676					単一 プレーン (RCAL)	単一 プレーン		
XC7K325T-FBG900					単一 プレーン (RCAL)	単一 プレーン	単一 プレーン	単一 プレーン
XC7K325T-FFG676					単一 プレーン (RCAL)	単一 プレーン		
XC7K325T-FFG900					単一 プレーン (RCAL)	単一 プレーン	単一 プレーン	単一 プレーン
XC7K355T-FFG901		G10	G10	G10	G11 (RCAL)	G11	G11	
XC7K410T-FBG676					単一 プレーン (RCAL)	単一 プレーン		
XC7K410T-FBG900					単一 プレーン (RCAL)	単一 プレーン	単一 プレーン	単一 プレーン
XC7K410T-FFG676					単一 プレーン (RCAL)	単一 プレーン		

表 5-2 : Kintex-7 FPGA GTX トランシーバーのパッケージごとの電源グループ (続き)

	Kintex-7 FPGA GTX トランシーバーのクワッド							
	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118
XC7K410T-FFG900					単一 プレーン (RCAL)	単一 プレーン	単一 プレーン	単一 プレーン
XC7K420T-FFG901	G10	G10	G10	G10	G11 (RCAL)	G11	G11	
XC7K420T-FFG1156	G10	G10	G10	G10	G11 (RCAL)	G11	G11	G11
XC7K480T-FFG901	G10	G10	G10	G10	G11 (RCAL)	G11	G11	
XC7K480T-FFG1156	G10	G10	G10	G10	G11 (RCAL)	G11	G11	G11

表 5-3 に、GTX/GTH トランシーバー付き Virtex[®]-7 デバイスの各パッケージにおける電源グループを示します。

表 5-3 : Virtex-7 FPGA GTX/GTH トランシーバーのパッケージごとの電源グループ

	Virtex-7 FPGA GTX/GTH トランシーバーのクワッド											
	MGT 210	MGT 211	MGT 212	MGT 213	MGT 214	MGT 215	MGT 216	MGT 217	MGT 218	MGT 219	MGT 220	MGT 221
	MGT 110	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118	MGT 119	MGT 120	MGT 121
XC7V585T-FFG1157					G10	G10 (RCAL)	G10	G11	G11			
XC7V585T-FFG1761		G10	G10	G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7V2000T-FHG1761		G10	G10 (RCAL)	G10	G10	G10 (RCAL)	G10	G11	G11 (RCAL)	G11		
XC7V2000T-FLG1925			G10 (RCAL)	G10	G11	G11 (RCAL)						
XC7VX330T-FFG1157					G10	G10 (RCAL)	G10	G11	G11			
XC7VX330T-FFG1761				G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX415T-FFG1157					G10	G10 (RCAL)	G10	G11	G11			

表 5-3 : Virtex-7 FPGA GTX/GTH トランシーバーのパッケージごとの電源グループ (続き)

		Virtex-7 FPGA GTX/GTH トランシーバーのクワッド											
		MGT 210	MGT 211	MGT 212	MGT 213	MGT 214	MGT 215	MGT 216	MGT 217	MGT 218	MGT 219	MGT 220	MGT 221
		MGT 110	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118	MGT 119	MGT 120	MGT 121
XC7VX415T- FFG1158	左側					G20	G20 (RCAL)	G20	G21	G21	G21		
	右側					G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX415T- FFG1927	左側					G20	G20 (RCAL)	G20	G21	G21	G21		
	右側					G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX485T- FFG1157	左側												
	右側					G10	G10 (RCAL)	G10	G11	G11			
XC7VX485T- FFG1761	左側												
	右側				G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX485T- FFG1158	左側					G20	G20 (RCAL)	G20	G21	G21	G21		
	右側					G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX485T- FFG1927	左側				G20	G20	G20 (RCAL)	G20	G21	G21	G21		
	右側				G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX485T- FFG1930	左側												
	右側				G10	G10	G10 (RCAL)	G11	G11	G11			
XC7VX550T- FFG1158	左側					G20	G20 (RCAL)	G20	G21	G21	G21		
	右側					G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX550T- FFG1927	左側	G19	G19	G19	G20	G20	G20 (RCAL)	G20	G21	G21	G21		
	右側	G9	G9	G9	G10	G10	G10 (RCAL)	G10	G11	G11	G11		

表 5-3 : Virtex-7 FPGA GTX/GTH トランシーバーのパッケージごとの電源グループ (続き)

		Virtex-7 FPGA GTX/GTH トランシーバーのクワッド											
		MGT 210	MGT 211	MGT 212	MGT 213	MGT 214	MGT 215	MGT 216	MGT 217	MGT 218	MGT 219	MGT 220	MGT 221
		MGT 110	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118	MGT 119	MGT 120	MGT 121
XC7VX690T-FFG1157	左側												
	右側					G10	G10 (RCAL)	G10	G11	G11			
XC7VX690T-FFG1761	左側												
	右側		G10	G10	G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX690T-FFG1158	左側					G20	G20 (RCAL)	G20	G21	G21	G21		
	右側					G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX690T-FFG1926	左側		G20	G20	G21	G21	G21 (RCAL)	G22	G22	G22			
	右側		G10	G10	G11	G11	G11 (RCAL)	G12	G12	G12			
XC7VX690T-FFG1927	左側	G19	G19	G19	G20	G20	G20 (RCAL)	G20	G21	G21	G21		
	右側	G9	G9	G9	G10	G10	G10 (RCAL)	G10	G11	G11	G11		
XC7VX690T-FFG1930	左側												
	右側				G10	G10	G10 (RCAL)	G11	G11	G11			
XC7VX980T-FFG1926	左側		G20	G20	G21	G21	G21 (RCAL)	G22	G22	G22			
	右側		G10	G10	G11	G11	G11 (RCAL)	G12	G12	G12			
XC7VX980T-FFG1928	左側	G20	G20	G20 (RCAL)	G21	G21	G21 (RCAL)	G22	G22	G22 (RCAL)			
	右側	G10	G10	G10 (RCAL)	G11	G11	G11 (RCAL)	G12	G12	G12 (RCAL)			
XC7VX980T-FFG1930	左側												
	右側				G10	G10	G10 (RCAL)	G11	G11	G11			

表 5-3 : Virtex-7 FPGA GTX/GTH トランシーバーのパッケージごとの電源グループ (続き)

		Virtex-7 FPGA GTX/GTH トランシーバーのクワッド											
		MGT 210	MGT 211	MGT 212	MGT 213	MGT 214	MGT 215	MGT 216	MGT 217	MGT 218	MGT 219	MGT 220	MGT 221
		MGT 110	MGT 111	MGT 112	MGT 113	MGT 114	MGT 115	MGT 116	MGT 117	MGT 118	MGT 119	MGT 120	MGT 121
XC7VX1140T- FLG1926	左側		G20	G20 (RCAL)	G21	G21	G21 (RCAL)	G22	G22	G22 (RCAL)			
	右側		G10	G10 (RCAL)	G11	G11	G11 (RCAL)	G12	G12	G12 (RCAL)			
XC7VX1140T- FLG1928	左側	G20	G20	G20 (RCAL)	G21	G21	G21 (RCAL)	G22	G22	G22 (RCAL)	G23	G23	G23 (RCAL)
	右側	G10	G10	G10 (RCAL)	G11	G11	G11 (RCAL)	G12	G12	G12 (RCAL)	G13	G13	G13 (RCAL)
XC7VX1140T- FLG1930	左側												
	右側				G10	G10	G10 (RCAL)	G11	G11	G11 (RCAL)			
XC7VH580T- FLG1155	左側				G20	G20	G20 (RCAL)						
	右側				G10	G10	G10 (RCAL)						
XC7VH580T- FLG1931	左側				G21	G21	G21 (RCAL)	G22	G22	G22 (RCAL)			
	右側				G11	G11	G11 (RCAL)	G12	G12	G12 (RCAL)			
XC7VH870T- FLG1932	左側	G20	G20	G20 (RCAL)	G21	G21	G21 (RCAL)	G22	G22	G22 (RCAL)			
	右側	G10	G10	G10 (RCAL)	G11	G11	G11 (RCAL)	G12	G12	G12 (RCAL)			

基準クロック

概要

このセクションでは、基準クロック ソースやオシレーターの選択について説明します。オシレーターは、次の特性で評価されます。

- 周波数範囲
- 出力電圧幅
- ジッター (予測可能、ランダム、Peak-to-Peak)
- 立ち上がりおよび立ち下がり時間
- 電源電圧および電流
- ノイズ仕様
- デューティ サイクルおよびデューティ サイクル耐性
- 周波数の安定性

これらの特性は、GTX/GTH トランシーバー デザインで使用するオシレーターを決定する際の選択基準です。図 5-4 に、7 シリーズ FPGA の各データシートの GTX/GTH トランシーバー セクションに記載されているシングルエンド クロック入力の Peak-to-Peak 電圧幅を示します。この図は、図 5-5 に示す差動クロック入力の電圧幅との対比となるものです。

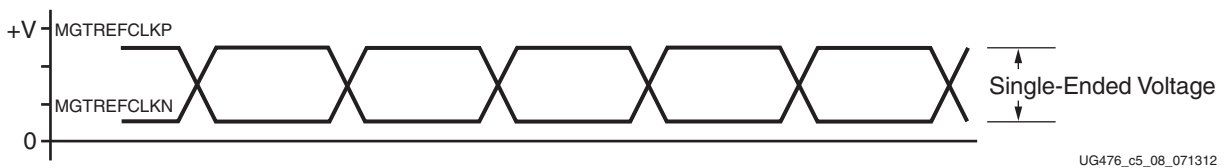


図 5-4 : シングルエンド クロック入力の Peak-to-Peak 電圧幅

図 5-5 に、「MGTREFCLKP – MGTREFCLKN」として定義された差動クロック入力の Peak-to-Peak 電圧幅を示します。

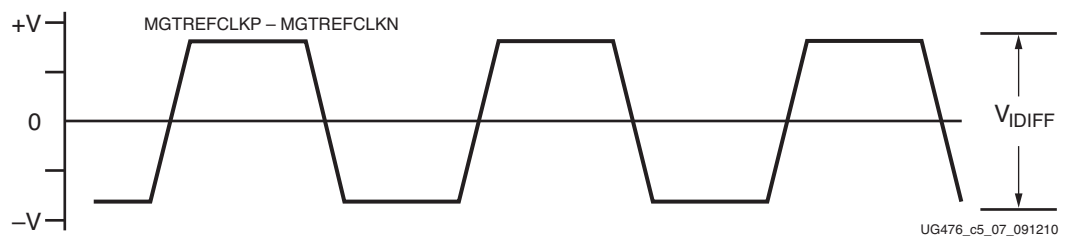


図 5-5 : 差動クロック入力の Peak-to-Peak 電圧幅

図 5-6 に、基準クロックの立ち上がりおよび立ち下がり時間を示します。

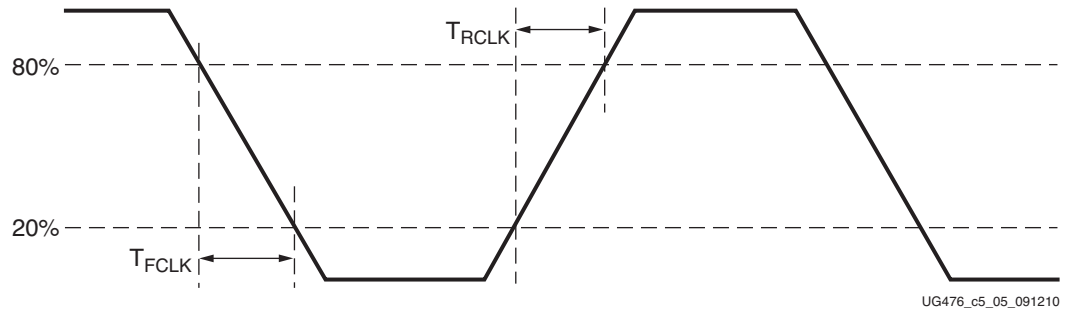


図 5-6 : 立ち上がりおよび立ち下がり時間

図 5-7 に、IBUFDS 内部の詳細を示します。専用の差動基準クロック入力ペア (MGTREFCLKP/MGTREFCLKN) が 100Ω の差動インピーダンスで内部終端されています。この差動基準クロック入力ペアの同相電圧は $4/5$ の MGTAVCC です ($= 0.8V$ 、公称値)。正確な仕様については、7 シリーズ FPGA の各データシートを参照してください。

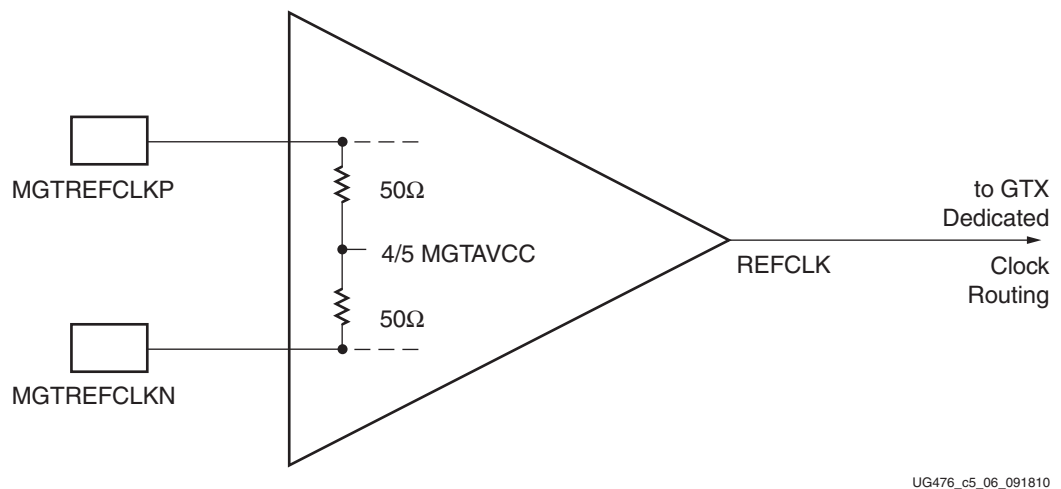


図 5-7 : MGTREFCLK 入力の詳細

図 5-7 について説明します。

1. 抵抗値は公称値です。正確な仕様については、7 シリーズ FPGA の各データシートを参照してください。

GTX/GTH トランシーバーの基準クロックのチェック項目

GTX/GTH トランシーバー デザインで使用するオシレーターを選択する際には、次の条件を満たしているかを判断する必要があります。

- オシレーターの出力ピンと GTX/GTH トランシーバー クワッド専用のクロック入力ピン間に AC カップリングを提供する。
- 基準クロックの差動電圧幅が、『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』(DS182) および 『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』(DS183) で指定されている範囲である。

- 『Kintex-7 FPGA データシート：DC 特性およびスイッチ特性』および『Kintex-7 FPGA データシート：DC 特性およびスイッチ特性』で指定された基準クロックの特性を満たす、またはそれ以上である。
- GTX/GTH トランシーバーが物理層に対応する場合の、標準的な基準クロックの特性を満たす、またはそれ以上である。
- オシレーター ベンダーが提供する、電源、ボード配置、およびノイズ仕様に関する規定要件を満たしている。
- オシレーターと GTX/GTH トランシーバー クワッドのクロック入力ピン間には、専用の Point-to-Point 接続を使用する。
- 差動送信ライン上のインピーダンス断絶を最小限に抑える（インピーダンス断絶はジッターを発生する）。

基準クロックのインターフェイス

LVDS

図 5-8 では、LVDS オシレーターと GTX/GTH トランシーバーの基準クロック入力の接続を示します（この図では、GTX トランシーバーのコンフィギュレーションを示す）。

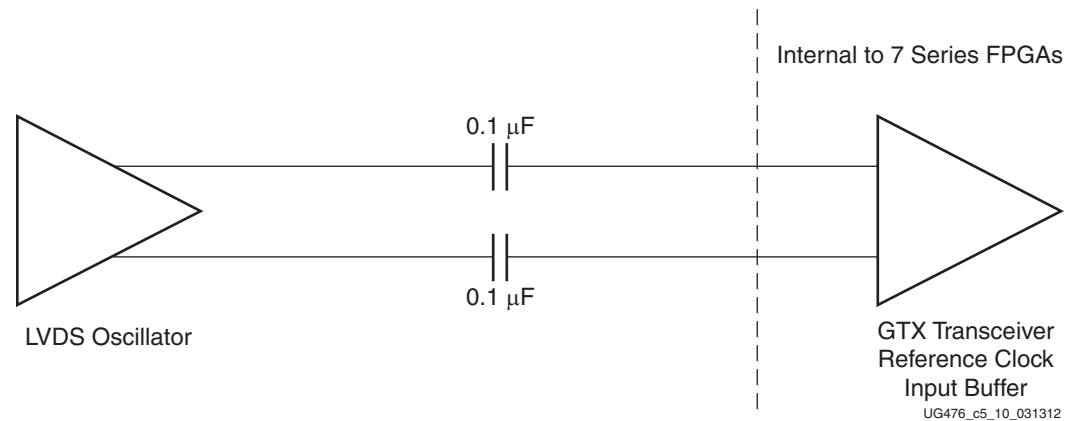


図 5-8 : LVDS オシレーターと 7 シリーズ FPGA GTX/GTH トランシーバーの基準クロック入力の接続

LVPECL

図 5-9 では、LVPECL オシレーターと GTX/GTH トランシーバーの基準クロック入力の接続を示します (この図では、GTX トランシーバーのコンフィギュレーションを示す)。

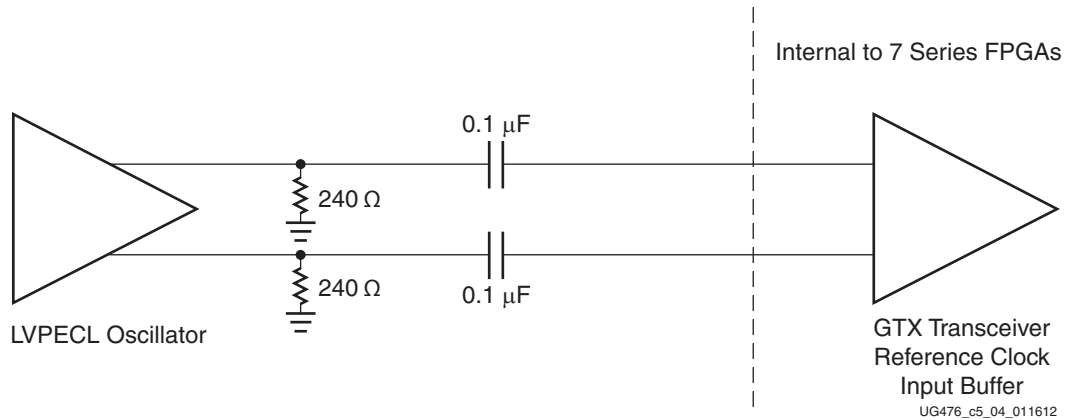


図 5-9 : LVPECL オシレーターと 7 シリーズ FPGA GTX トランシーバーの基準クロック入力の接続

図 5-9 について説明します。

1. 抵抗値は公称値です。実際のバイアス抵抗要件は、オシレーター ベンダーが発行するデータシートを参照してください。

AC カップリングされた基準クロック

オシレーター基準クロック出力と GTX/GTH トランシーバー クワッドの基準クロック入力の AC カップリングは、次のような役割を果たします。

- オシレーターと GTX/GTH トランシーバー クワッド専用クロック入力ピンの間の DC 電流をブロックします (これにより、両方の消費電力が削減される)。
- 同相電圧を独立させます。
- AC カップリング キャパシタがオンチップ終端を持つハイパス フィルターとなり、基準クロックのワンダーを低減させます。

ノイズおよび消費電力を最小限にするため、ソースとなっているオシレーターと GTX/GTH トランシーバー クワッド専用の基準クロック入力ピンの間に外部 AC カップリング キャパシタが必要です。

未使用基準クロック

基準クロック入力を使用しない場合は、MGTREFCLKP および MGTREFCLKN の両方の基準クロック入力ピンを未接続のままにしてください。

基準クロックの電源

GTX/GTH トランシーバーの基準クロック入力回路は、MGTAVCC から電源供給されます。この電圧に過剰なノイズが発生すると、この回路からの基準クロックを使用する GTX/GTH トランシーバー クワッドの性能が低下します。

電源およびフィルタリング

概要

7 シリーズ FPGA GTX/GTH トランシーバー クワッドでは、3 つのアナログ電源 (公称値 $1.0V_{DC}$ の MGTAVCC、公称値 $1.8V_{DC}$ の MGTVCCAUX、公称値 $1.2V_{DC}$ の MGTAVTT) が必要です。これらのアナログ電源の各ピンは、パッケージのプレーンへ接続されます。一部のパッケージには、各アナログ電源に対して 2 つのプレーン (North プレーンおよび South プレーン) があります。7 シリーズ FPGA GTX/GTH トランシーバーの内部電源プレーンの詳細は、[309 ページの「概要」](#)を参照してください。

GTX/GTH トランシーバーのアナログ電源でのノイズは、トランシーバーの性能に悪影響を与える可能性があります。つまり、GTX/GTH トランスミッターの出力でジッターが増加し、レシーバーのジッター耐性が低下します。電源ノイズの原因には、次のようなものがあります。

- 電圧レギュレータのノイズ
- 電源分配ネットワーク
- ほかの回路からのカップリング

GTX/GTH トランシーバー アナログ電源をインプリメントする際には、これらのノイズの原因を考慮する必要があります。FPGA の入力ピンで測定される Peak-to-Peak ノイズの合計値は、 $10mV_{PK-PK}$ を超過してはいけません。

電圧レギュレータ

通常、GTX/GTH トランシーバーのアナログ電源には、電圧制御の最終段階を提供するローカル電圧レギュレータがあります。これらのレギュレータは、できる限り GTX/GTH トランシーバーの電源ピンの近くに配置することが理想です。アナログ電圧レギュレータと GTX/GTH トランシーバーの電源ピンの距離が短いほど、制御後のノイズ結合や動的な負荷による過渡電流が原因で生じるノイズ生成の可能性が抑えられます。

リニア レギュレータおよびスイッチング レギュレータ

使用する電圧レギュレータによって、電源回路の複雑性、コスト、および性能が大きく異なります。電圧レギュレータは、システム全体の熱要件や効率要件を満たしながら、ノイズを最小限に抑えて GTX/GTH トランシーバーへ適切な電源を供給する必要があります。GTX/GTH トランシーバーのアナログ電圧レールで使用されるレギュレータは、主に 2 種類 (リニア レギュレータおよびスイッチング レギュレータ) があります。各レギュレータにはそれぞれに長所と短所があるため、最適なレギュレータを選択する際は、次の要件を基準にします。

- 物理的サイズ
- 熱バジェット
- 電力効率
- コスト

リニア レギュレータ

一般的にリニア レギュレータは GTX/GTH トランシーバーのアナログ電源レールの電圧制御としては最もシンプルなレギュレータです。これは、制御された出力電圧に大きなノイズを発生させないことが特徴です。実際、一部のリニア レギュレータには、電圧入力で生じたノイズを出力で除去する機能があります。リニア レギュレータのもう 1 つの長所は、最小限の外部コンポーネントで PCB 上に電源回路を構築できることです。

一方、主な短所には最小ドロップアウト電圧と制限された効率性があります。このレギュレータでは、出力電圧よりも高い入力電圧が必要であり、最小ドロップアウト電圧は負荷電流に依存します。低ドロップアウトのリニア レギュレータであっても、レギュレータの入力電圧と出力電圧には最小限の電圧差が必要です。このため、システム電源回路デザインでは、リニア レギュレータの最小ドロップアウト電圧要件を確認しておく必要があります。

リニア レギュレータの効率は、その入力電圧と出力電圧の差に依存します。たとえば、入力電圧が $2.5V_{DC}$ で出力電圧が $1.2V_{DC}$ の場合、電圧差は $1.3V_{DC}$ です。レギュレータへ入力する電流とレギュレータから出力される電流が同じであると仮定した場合、このレギュレータの最大効率は 48% となります。つまり、負荷に対して電力が供給され、そのたびにレギュレータが余分な電力を消費します。レギュレータが電力を消費すると熱が生成されるため、システムではこれらの熱を処理する必要があります。このようにリニア レギュレータで生成された熱の放熱処理が、システム コストを増加させる可能性があります。コンポーネント数や複雑性を考えた場合、リニア レギュレータはスイッチング レギュレータよりも優位性があるように思いますが、消費電力や放熱器を含む全体的なシステム コストを考えた場合、高電流アプリケーションではリニア レギュレータの方が高コストになる場合もあります。

スイッチング レギュレータ

スイッチング レギュレータは、GTX/GTH トランシーバーのアナログ電源に対して優れた電圧制御を提供できる高効率レギュレータです。リニア レギュレータとは異なり、スイッチング レギュレータによる電圧制御は、入力電圧と出力電圧の電圧降下に依存しません。したがって、高い効率を維持しながら、大容量の電流を供給できます。スイッチング レギュレータが 95% 以上の効率性を維持できることはめずらしくありません。このレギュレータの効率は、入力電圧と出力電圧の差にあまり影響されず、また負荷電流の影響もリニア レギュレータの場合よりもはるかに低くなります。このようにスイッチング レギュレータは高効率で、大量の電力を回路へ供給する必要がない上に、レギュレータで生成される熱を放出するための大きな装置も必要ありません。

スイッチング レギュレータの短所は、回路の複雑性とレギュレータのスイッチ機能によってノイズが生成されることです。通常、スイッチング レギュレータの回路はリニア レギュレータの回路よりも複雑です。近年、スイッチング レギュレータ コンポーネントの開発ベンダーの多くがこの短所を解消する努力を続けています。通常、スイッチング レギュレータ回路には、スイッチング トランジスタ エlement、インダクター、およびキャパシタが必要です。求められる効率要件や負荷要件によっては、外部にスイッチング トランジスタやインダクターが必要になる場合があります。コンポーネント数のほかにも、これらのスイッチング レギュレータを効率よく動作させるためには、PCB 上の配置配線を慎重に行う必要があります。

スイッチング レギュレータは非常に大きなノイズを生成するため、7 シリーズ FPGA GTX/GTH トランシーバーのアナログ電源入力ピンへ電圧を供給する前にフィルター機能を追加する必要があります。ノイズ振幅は $10mV_{pp}$ 未満に抑える必要があるため、このノイズ要件を満たすように電源フィルターを設計し、スイッチング レギュレータで生成されるノイズを抑えてください。

電源分配ネットワーク

さまざまな段階でのデカップリング

ダイ

ダイ上にはデカップリング キャパシタがあり、電源供給で生じる高周波数ノイズ コンポーネントをフィルタリングします。ダイ上の内部回路が高周波ノイズの原因となります。

パッケージ

7 シリーズ FPGA パッケージには、追加デカップリング キャパシタがあります。このキャパシタは、パッケージ電力プレーンのノイズを緩和させる働きがあるため、GTX/GTH トランシーバー クワッド間の相互作用を抑えることができます。また、電源ピン (MGTA VCC、MGTVCCAUX、または MGTA VTT) とグランド ピンの間のパスを低インピーダンスの高周波数パスとして保持できるようサポートします。パッケージ基材のキャパシタンスは、すべてのパッケージの MGTA VCC、MGTVCCAUX、および MGTA VTT のクワッドごとに 0.1 μ F です。

表 5-4 : MGTA VCC、MGTVCCAUX、および MGTA VTT 電源のキャパシタの仕様

値 (μ F)	ESL (pH)	ESR (m)
0.1	320	56

PCB (プリント回路基板)

ダイ上およびパッケージ内で電力プレーンとグランド間のインピーダンスが低く保持されるため、PCB 上でのデカップリング要件が大幅に緩和されたボード デザインとなります。PCB デカップリング キャパシタの主な目的は、トランシーバーの電源ピンと外部ノイズ ソース間でノイズを分離させることです。次に、外部ノイズ ソースの一部を示します。

- 電圧レギュレータ回路
- オンボード デジタル スイッチング回路
- FPGA からの SelectIO 信号

デカップリング キャパシタは、GTX/GTH トランシーバーの電源ピンの近くにある PCB に配置する必要があります。これらのキャパシタは、PCB の電源分配ネットワーク (PDN) のインピーダンスを抑えます。PDN の縮小インピーダンスによって、外部ソースからのノイズは、デバイス パッケージの電源プレーンに進入する前に緩和されます。電源ピンのノイズは、10kHz ~ 80MHz の周波数帯域に対して 10mVpp 未満に抑える必要があります。

表 5-5 に、GTX/GTH トランシーバーのデカップリング キャパシタのガイドラインを示します。GTX/GTH トランシーバー クワッドは、パッケージの電源グループ別に分けられています。使用されるパッケージは、「[アナログ電源ピン](#)」を参照してください。

表 5-5 : GTX/GTH トランシーバーの PCB キャパシタの推奨値

グループごとのキャパシタ数			キャパシタンス (μ F)	許容率	タイプ
MGTA VCC	MGTA VTT	MGTVCCAUX			
1	1	1	4.70	10%	セラミック

PCB デザインのチェックリスト

表 5-6 に、7 シリーズ FPGA の GTX/GTH トランシーバー PCB の回路図およびレイアウトを設計し、評価する際に使用するチェック項目を示します。

表 5-6：GTX/GTH トランシーバーの PCB デザインのチェックリスト

ピン	チェック内容
MGTREFCLK0P MGTREFCLK0N MGTREFCLK1P MGTREFCLK1N	<ul style="list-style-type: none"> AC カップリング キャパシタを使用してオシレーターへ接続します。 AC カップリング キャパシタの場合、321 ページの「基準クロックのインターフェイス」を参照してください。 基準クロック トレースには、隣接する信号からのクロストークを排除するのに十分な間隔が必要です。 基準クロック オシレーターの出力は、これら入力ピンの最小および最大振幅値に従う必要があります。『Kintex-7 FPGA データシート：DC 特性およびスイッチ特性』(DS182) または 『Kintex-7 FPGA データシート：DC 特性およびスイッチ特性』(DS183) を参照してください。 基準クロック入力を使用されていない場合、それに関連するピン ペアを未接続のままにします。
MGTXRXP[3:0]/MGTXRXN[3:0] MGTHRXP[3:0]/MGTHRXN[3:0]	<ul style="list-style-type: none"> AC カップリング キャパシタを使用してトランスミッターへ接続します。AC カップリング キャパシタの推奨デフォルト値は 100nF です。この推奨値は、すべてのプロトコルのアプリケーションに適用できるわけではありません。 レシーバー データ トレースには、隣接する信号からのクロストークを排除するのに十分な間隔が必要です。 レシーバーが使用されていない場合、それに関連するピン ペアをグランドへ接続します。 詳細は、172 ページの「RX アナログ フロント エンド」を参照してください。
MGTXTXP[3:0]/MGTXTXN[3:0] MGHTXP[3:0]/MGHTTXN[3:0]	<ul style="list-style-type: none"> トランスミッターは、AC カップリングを用いてレシーバーへ接続する必要があります。AC カップリング キャパシタの推奨デフォルト値は 100nF です。この推奨値は、すべてのプロトコルのアプリケーションに適用できるわけではありません。PCIe Gen1、Gen2、および Gen3 アプリケーションの場合は、AC カップリング キャパシタの推奨値について、PCI Express ベースの仕様を参照してください。 トランスミッター データ トレースには、隣接する信号からのクロストークを排除するのに十分な間隔が必要です。 トランスミッターが使用されていない場合、それに関連するピン ペアを未接続のままにします。
MGTAVTTRCAL	<ul style="list-style-type: none"> MGTAVTT へ接続して、MGTRREF にも接続される 100Ω 抵抗へ接続します。類似するトレースの形状を使用し、抵抗およびこのピン間を接続します。また、抵抗のその他のピンから MGTRREF への接続にも使用します。 詳細は、312 ページの「終端抵抗キャリブレーション回路」を参照してください。
MGTRREF	<ul style="list-style-type: none"> MGTAVTTRCAL にも接続される 100Ω 抵抗へ接続します。類似するトレースの形状を使用し、抵抗およびこのピン間を接続します。また、抵抗のその他のピンから MGTAVTTRCA への接続にも使用します。 詳細は、312 ページの「終端抵抗キャリブレーション回路」を参照してください。

表 5-6 : GTX/GTH トランシーバーの PCB デザインのチェックリスト (続き)

ピン	チェック内容
MGTAVCC[N]	<ul style="list-style-type: none"> 公称電圧は 1.0VDC です。 電源電圧の許容誤差については、『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』(DS182) または 『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』(DS183) を参照してください。 この電圧に対応する電圧レギュレータは、トランシーバー以外の負荷と共有できません。 多くのパッケージには、その内部に MGTAVCC 用の電源接続グループが複数あります。特定の GTX/GTH トランシーバー クワッドに配置される電源グループの詳細は、314 ページの表 5-2 を参照してください。各パッケージにおけるピン位置の詳細は、『7 シリーズ FPGA パッケージおよびピン配置ガイド』(UG475) を参照してください。 次のフィルター キャパシタを用意することを推奨します。 <ul style="list-style-type: none"> 4.7μF 10% × 1 最適な性能、電源ノイズは 10mVpp 未満に抑える必要があります。 電源グループのすべてのクワッドを使用しない場合は、関連する電源ピンを未接続のままにするか、グランドに接続できます (RCAL 回路がクワッドに配置されている場合を除く)。 消費電力の詳細は、japan.xilinx.com/power から 7 シリーズの Xilinx Power Estimator (XPE) を参照してください。
MGTAVTT[N]	<ul style="list-style-type: none"> 公称電圧は 1.2VDC です。 電源電圧の許容誤差については、『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』(DS182) または 『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』(DS183) を参照してください。 この電圧に対応する電圧レギュレータは、MGT 以外の負荷と共有できません。 多くのパッケージには、そのパッケージ内に MGTAVTT 用の電源接続グループが複数あります。特定の GTX/GTH トランシーバー クワッドに配置される電源グループの詳細は、314 ページの表 5-2 を参照してください。各パッケージにおけるピン位置の詳細は、『7 シリーズ FPGA パッケージおよびピン配置ガイド』(UG475) を参照してください。 次のセラミック フィルター キャパシタを用意することを推奨します。 <ul style="list-style-type: none"> 4.7μF 10% × 1 最適な性能、電源ノイズは 10mVpp 未満に抑える必要があります。 電源グループのすべてのクワッドを使用しない場合は、関連する電源ピンを未接続のままにするか、グランドに接続できます (RCAL 回路がクワッドに配置されている場合を除く)。 消費電力の詳細は、japan.xilinx.com/power から 7 シリーズの Xilinx Power Estimator (XPE) を参照してください。

表 5-6 : GTX/GTH トランシーバーの PCB デザインのチェックリスト (続き)

ピン	チェック内容
MGTVCCAUX[N]	<ul style="list-style-type: none"> 公称電圧は 1.8VDC です。 電源電圧の許容誤差については、『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』(DS182) または 『Kintex-7 FPGA データシート : DC 特性およびスイッチ特性』(DS183) を参照してください。 この電圧に対応する電圧レギュレータは、MGT 以外の負荷と共有できません。 多くのパッケージには、そのパッケージ内に MGTAVTT 用の電源接続グループが複数あります。特定の GTX/GTH トランシーバー クワッドに配置される電源グループの詳細は、314 ページの表 5-2 を参照してください。各パッケージにおけるピン位置の詳細は、『7 シリーズ FPGA パッケージおよびピン配置ガイド』(UG475) を参照してください。 次のフィルター キャパシタを用意することを推奨します。 <ul style="list-style-type: none"> 4.7μF 10% × 1 最適な性能、電源ノイズは 10mVpp 未満に抑える必要があります。 この電源グループのすべての QPLL を使用しない場合は、フィルター キャパシタは不要で、これらのピンは VCCAUX に接続できます。 電源グループのすべてのクワッドを使用しない場合は、関連するピンを未接続のままにするか、グラウンドに接続できます (RCAL 回路がクワッドに配置されている場合を除く)。

使用モデル

PCI Express

この章では、PCI Express® 用 GTX/GTH トランシーバーを設定および使用する際の推奨されるガイドラインを示します。このガイドラインでは、有効な PCI Express の使用モードをすべて説明しているわけではありません。このセクションで用いる使用モデルは、PIPE (PHY Interface for the PCI Express) アーキテクチャをベースとしています。

機能の説明

GTX/GTH トランシーバーは、x1 またはマルチ レーン コンフィギュレーションの PCI Express Gen1、Gen2、および Gen3 アプリケーションをサポートしています。PCI Express デザインの場合、Gen1 ライン レートは 2.5Gb/s、Gen2 ライン レートは 5.0Gb/s、Gen3 ライン レートは 8.0Gb/s です。Gen1 スピードと Gen2 スピードには、チャネル PLL (CPLL) を推奨します。Gen3 スピードには、クワッド PLL (QPLL) が必要です。GTX/GTH トランシーバーには、Gen1 および Gen2 アプリケーションに必要な 8B/10B カンマ アライメント、チャネル ボンディング、クロック コレクションなどの PCS 機能が搭載されています。Gen3 をサポートするには Gen3 PCS ブロックのカスタム ソフトが必要です。これにより、GTX/GTH トランシーバーの PCS 機能がバイパスされるか、または無効となります。PCI Express アプリケーション用 GTX/GTH トランシーバーの設定には、7 Series FPGA Transceivers Wizard を使用して PIPE に対応したラッパー ファイルを生成できます。表 6-1 に、PCI Express アプリケーションで推奨される GTX/GTH トランシーバー機能を示します。各機能でサポートされるコンフィギュレーションについては、このユーザー ガイドの該当するセクションを参照してください。このセクションで用いる PCI Express 使用モードは、次に示す推奨ガイドラインに基づいています。

表 6-1 : PCI Express アプリケーションで推奨される GTX/GTH トランシーバー機能

機能	Gen1	Gen2	Gen3
CPLL	✓	✓	
QPLL			✓
2 バイトの内部データ幅、2 バイトの外部データ幅	✓	✓	
4 バイトの内部データ幅、4 バイトの外部データ幅			✓
TX バッファ			
RX バッファ	✓	✓	✓
カンマ アライメント	✓	✓	
チャネル ボンディング	✓	✓	

表 6-1：PCI Express アプリケーションで推奨される GTX/GTH トランシーバー機能 (続き)

機能	Gen1	Gen2	Gen3
クロック コレクション	✓	✓	
8B/10B エンコーダーおよびデコーダー	✓	✓	

ポートおよび属性

表 6-2 および 332 ページの表 6-3 に、PCI Express アプリケーションで一般的に使用される GTX/GTH トランシーバーのポートおよび属性をそれぞれ示します。

表 6-2：PCI Express のポート

ポート	方向	クロック ドメイン	説明
TXDETECTRX	入力	TXUSRCLK2	GTX/GTH にレシーバー検出動作を開始させます。レシーバー検出の詳細は、166 ページの「 PCI Express デザイン用の TX レシーバー検出機能 」を参照してください。 0：通常動作 1：レシーバー検出
TXELECIDLE	入力	TXUSRCLK2	この信号がアサートされると、TXP/TXN 出力はいかなる電力ステートであっても強制的に電氣的アイドル状態になります。TX が電氣的アイドル状態のとき、TXP および TXN は、DC 同相電圧で駆動されます。 0：通常動作 1：TX は電氣的アイドル状態
TXCHARDISPMODE[0]	入力	TXUSRCLK2	ランニング ディスパリティを負に設定します。PCI Express 準拠パターンを送信する場合に使用します。PCI Express アプリケーションでは、この信号は PIPE インターフェイスの TXCOMPLIANCE と同等です。 0：通常動作 1：TX 準拠
RXPOLARITY	入力	RXUSRCLK2	GTX/GTH トランシーバーが受信データの極性を反転します。 0：通常動作 1：受信したデータを反転
TXPD[1:0]	入力	TXUSRCLK2	GTX/GTH トランシーバーの TX および RX の電源投入/電源切断を指定します。PCI Express アプリケーションでは、TXPD と RXPDP を同じソースへ接続する必要があります。 00b：P0 (通常動作) 01b：P0 (短いリカバリ時間の省電力ステート) 10b：P1 (長いリカバリ時間の省電力ステート) 11b：P2 (最も省電力で、最長リカバリ時間の省電力ステート)
RXPDP[1:0]	入力	非同期	

表 6-2 : PCI Express のポート (続き)

ポート	方向	クロック ドメイン	説明
TXRATE[2:0]	入力	TXUSRCLK2	<p>リンク信号レートを動的に制御します。PCI Express アプリケーションでは、TXRATE と RXRATE を同じソースへ接続する必要があります。Gen3 動作の場合、QPLL を使用してください。[TX/RX]RATE = 000b および [TX/RX]OUT_DIV = 1 に設定して、Gen3 動作を実行することを推奨します。</p> <p>000b : [TX/RX]OUT_DIV 値で分周 (Gen1 の場合、2 分周するには、[TX/RX]OUT_DIV = 2 に設定)</p> <p>001b : 1 で分周 (Gen2 に推奨)</p> <p>010b : 2 で分周</p> <p>011b : 4 で分周</p> <p>100b : 8 で分周</p> <p>101b : 16 で分周</p> <p>110b : 1 で分周</p> <p>111b : 1 で分周</p>
RXRATE[2:0]	入力	RXUSRCLK2	
TXDEEMPH	入力	非同期	<p>PCI Express が Gen1 または Gen2 モードの場合、TX デエンファシス回路を選択します。</p> <p>0 : 6.0dB デエンファシス</p> <p>1 : 3.5dB デエンファシス</p>
TXMARGIN[2:0]	入力	非同期	<p>TX 電圧レベルを選択します。PCI Express デザインにおける TXMARGIN 設定およびマッピングの詳細は、このユーザーガイドの「コンフィギュレーション可能な TX ドライバーのポート」セクションを参照してください。</p> <p>000b : プログラム可能。通常動作範囲</p> <p>001b : プログラム可能</p> <p>010b : プログラム可能</p> <p>011b : プログラム可能</p> <p>100b : プログラム可能</p> <p>101b : プログラム可能</p> <p>110b : プログラム可能</p> <p>111b : プログラム可能</p>
TXSWING	入力	非同期	<p>Gen1 または Gen2 モードの場合、TX 電圧幅を指定します。</p> <p>0 : 全振幅</p> <p>1 : 低振幅 (半振幅)</p>
RXVALID	出力	RXUSRCLK2	<p>Gen1 または Gen2 モードの場合、シンボルがロックし、RXDATA および RXCHARISK 上のデータが有効になるとアサートされます。</p>
PHYSTATUS	出力	RXUSRCLK2	<p>パワー マネージメント ステートの遷移、レート変更、レシーバー検出などの GTX/GTH トランシーバーの機能が完了したことを示します。</p>

表 6-2：PCI Express のポート (続き)

ポート	方向	クロック ドメイン	説明
RXELECIDLE	出力	非同期	<p>RX の電氣的アイドル検出を示します。Gen3 ライン レートの場合、PCI Express MAC は、RXELECIDLE 信号に依存せずロジックを使用して、RX が電氣的アイドル状態に遷移するのを検出および推論する必要があります。RX が電氣的アイドル状態であるときに、RXELECIDLE のディアサートを用いて電氣的アイドル状態から遷移します。さらに、Gen2 で RX が電氣的アイドル状態に遷移するのを推論することも推奨します。</p> <p>0：通常動作 1：RX は電氣的アイドル状態</p>
RXSTATUS[2:0]	出力	RXUSRCLK2	<p>Gen1 または Gen2 モードでデータを受信する場合に、RX データ ストリームの RX ステータスとエラー コードをエンコードします。</p> <p>000b：受信データは正常 001b：1 SKP 追加 010b：1 SKP 削除 011b：レシーバー検出 100b：8B/10B デコーダー エラー 101b：エラスティック バッファがオーバーフロー 110b：エラスティック バッファがアンダーフロー 111b：RX ディスパリティ エラー</p>

表 6-3：PCI Express の属性

属性	タイプ	説明
PCS_PCIE_EN	ブール型	<p>PCI Express モードを有効に (PCS をバイパス) します。</p> <p>FALSE：PCI Express 以外のモード TRUE：PCI Express モード</p>
TX_DRIVE_MODE	文字列	<p>TX 駆動モードを設定します。</p> <p>DIRECT：PCI Express アプリケーション以外で使します。 PIPE：PCI Express の Gen1 または Gen2 モードで使します。TX ドライバーの設定は、TXDEEMPH、TXMARGIN、および TXSWING で制御されます。 PIPEGEN3：PCI Express の Gen3 モードで使します。</p>

PCI Express の使用モード

PCI Express で推奨される GTX/GTH トランシーバーの電源投入は、デフォルトで Gen1 向けに設定されています。PCI Express は、Gen2 や Gen3 モードに入る前に Gen1 で電源投入します。レイテンシや TX レーン間のスキューを抑えるには、TX バッファをバイパスしてください。Gen3 スピードの場合、カスタム ソフト Gen3 ブロックの使用時に、カンマ アライメント、チャネル ボンディング、クロック コレクション、8B/10B などの一部の PCS 機能をバイパスするか、または無効にできます。表 6-4 に、Gen1、Gen2、および Gen3 の PCI Express アプリケーションで推奨される GTX/GTH トランシーバーの設定を示します。

表 6-4 : PCI Express アプリケーションで推奨される GTX/GTH トランシーバーの設定

GTX/GTH トランシーバーの設定	Gen1	Gen2	Gen3
PCS_PCIE_EN	TRUE	TRUE	TRUE
TX_DRIVE_MODE	PIPE	PIPE	PIPEGEN3
[TX/RX]RATE[2:0]	000b ([TX/RX]OUT_DIV を必ず 2 に設定)	001b (1 で分周)	000b (1 で分周されるように [TX/RX]OUT_DIV を設定)
[TX/RX]USRCLK	125MHz	250MHz	250MHz
[TX/RX]USRCLK2	125MHz	250MHz	250MHz
[TX/RX]_DATA_WIDTH	20	20	32
[TX/RX]_INT_DATAWIDTH	0	0	1
TXBUF_EN	FALSE	FALSE	FALSE
RXBUF_EN	TRUE	TRUE	TRUE
TX_XCLK_SEL	TXUSR	TXUSR	TXUSR
RX_XCLK_SEL	RXREC	RXREC	RXREC
TXOUTCLKSEL[2:0]	011b	011b	011b
RXOUTCLKSEL[2:0]	010b	010b	010b
CLK_CORRECT_USE	TRUE	TRUE	FALSE
RXCOMMADETEN	1	1	0
RXCHBONDEN	1 (x1 コンフィギュレーションの場合は 0 に設定)	1 (x1 コンフィギュレーションの場合は 0 に設定)	0
[TX/RX]8B10BEN	1	1	0

PIPE 制御信号

表 6-5 は、[TX/RX]PD、TXDETECTRX、および TXELECIDLE の制御信号のルックアップ テーブルです。このテーブルでは、これらの信号のデコードに基づいて、GTX/GTH トランシーバーのモードまたは動作を説明しています。TXELECIDLE は、必ず P0s および P1 ステートでアサートされる必要があります。TX が電氣的アイドル状態の間、GTX/GTH トランシーバーはデータを転送しません。P2 省電力ステートは、推奨されない使用モードです。

表 6-5：PIPE 制御信号のルックアップ テーブル

[TX/RX]PD	TXDETECTRX	TXELECIDLE	説明
00b (P0 電力ステート)	0	0	通常動作
	0	1	TX は電氣的アイドル状態
	1	0	ループバック モード
	1	1	PIPE ではサポートされません。 違反条件
01b (P0s 省電力ステート)	Don't Care	0	PIPE ではサポートされません。 P0s または P1 電力ステートのときに TXELECIDLE がディアサートされると、PHY の動作は定義されません。
	Don't Care	1	TX は電氣的アイドル状態
10b (P1 省電力ステート)	Don't Care	0	PIPE ではサポートされません。 P0s または P1 電力ステートのときに TXELECIDLE がディアサートされると、PHY の動作は定義されません。
	0	1	電氣的アイドル状態
	1	1	レシーバー検出
11b (P2 省電力ステート)	Don't Care	0	送信ビーコン
		1	電氣的アイドル状態

PCI Express のクロッキング

基準クロック

GTX/GTH トランシーバーは、基準クロックを使用してデータの送受信にビット レート クロックを生成します。PCI Express モードの場合、推奨されるこの基準クロックは 100MHz です。その他に 125MHz および 250MHz もサポートされています。基準クロックは、GTX/GTH トランシーバーの基準クロックを駆動する IBUFDS_GTE2 へ入力します。TX バッファをバイパスする場合は、TXOUTCLKSEL で TXOUTCLK のソースとなる GTX/GTH トランシーバーの基準クロックを選択する必要があります。基準クロックは、電源投入後に必ず安定してフリーランニングで動作しなければなりません。非同期のクロック アプリケーションでは、ワーストケースの周波数オフセットは、600ppm または ± 300 ppm の範囲内にしてください。GTX/GTH トランシーバーには、[TX/RX]_CLK25_DIV の設定による基準クロックから派生した 25MHz の内部クロックがあります。25MHz クロックは、リセット、パワー マネージメント、レート変更、OOB、ビーコンなどのさまざまな GTX/GTH トランシーバー動作のシンクロナイザーやタイマーとして使用されます。

[TX/RX]_CLK25_DIV を設定して、25MHz または可能な限りこれに近い値を実現します。SATA OOB については、この内部クロックを 25MHz に設定する必要があります。表 6-6 に、PCI Express モードで推奨される CPLL およびクロック分周器の設定を示します。

表 6-6 : PCI Express アプリケーションで推奨される CPLL 分周器およびクロックの設定

GTX/GTH トランシーバーの設定	100MHz	125MHz	250MHz
CPLL_REFCLK_DIV	1	1	1
CPLL_FBDIV_45	5	5	5
CPLL_FBDIV	5	4	2
[TX/RX]OUT_DIV ⁽¹⁾	2 (Gen1)	2 (Gen1)	2 (Gen1)
	1 (Gen2)	1 (Gen2)	1 (Gen2)
[TX/RX]_CLK25_DIV	4	5	10

注記：

1. [TX/RX]OUT_DIV を使用して 2.5Gb/s または 5Gb/s のライン レートを選択します。

Gen3 アプリケーションでは、QPLL を使用してください。表 6-7 に、PCI Express モードで推奨される QPLL 分周器の設定を示します。

表 6-7 : PCI Express の基準クロックに対応する QPLL 分周器の推奨設定

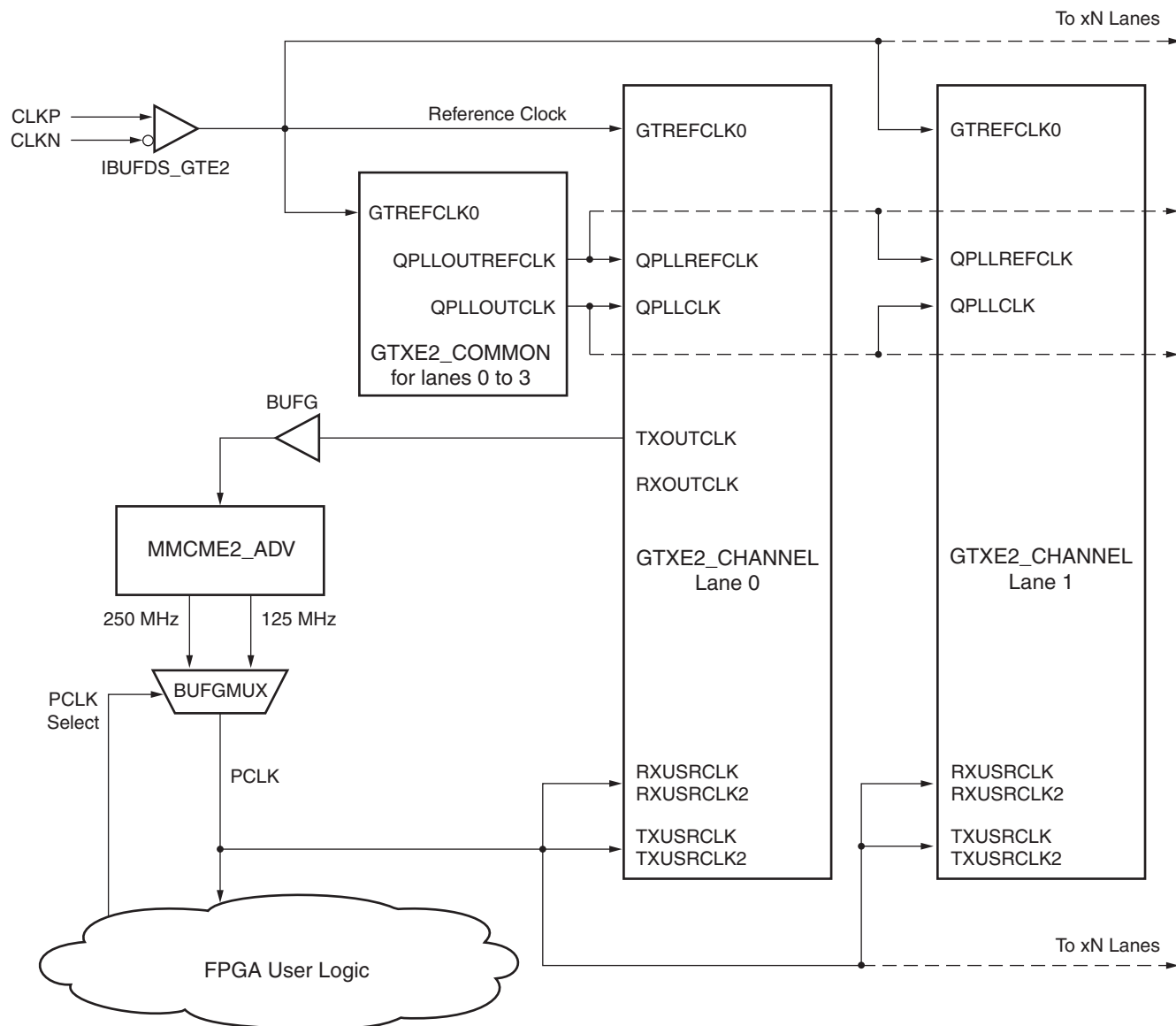
QPLL 分周器	100MHz	125MHz	250MHz
QPLL_FBDIV	10'b0100100000	10'b0011100000	10'b0001100000
QPLL_FBDIV_RATIO	1	1	1

パラレル クロック (PCLK)

PCLK は FPGA ロジック (ファブリック) 用のクロックです。PCI Express モードで、パラレル インターフェイス上のデータ転送の同期化に使用されるパラレル インターフェイス クロックです。推奨される PCLK 周波数は、Gen1 の場合は 125MHz、Gen2 および Gen3 の場合は 250MHz です。また、MMCME2_ADV を使用して、基準クロックから 125MHz や 250MHz のクロックを生成できます。MMCME2_ADV が使用されている場合、ユーザーは BUFGMUX を使用して任意の PCLK 周波数を選択できます。PCI Express モードでは、外部と内部のデータ幅を同じにすることを推奨します。内部と外部のデータ幅が同じ場合は、[TX/RX]USRCLK と [TX/RX]USRCLK2 の周波数が同じになります。

この設定は、Gen1、Gen2、および Gen3 で TX バッファをバイパスすることを推奨します。TX バッファをバイパスする場合は、TXOUTCLK を通る TXUSRCLK2 のソースとして TXOUTCLKSEL が GTX/GTH トランシーバーの基準クロックを選択する必要があります。マルチレーンのアプリケーションでは、TX レーン間のスキューを最小限に抑えるため、すべてのレーンの TXUSRCLK および TXUSRCLK2 を同じソースに接続してください。詳細は、138 ページの「TX バッファのバイパス」を参照してください。

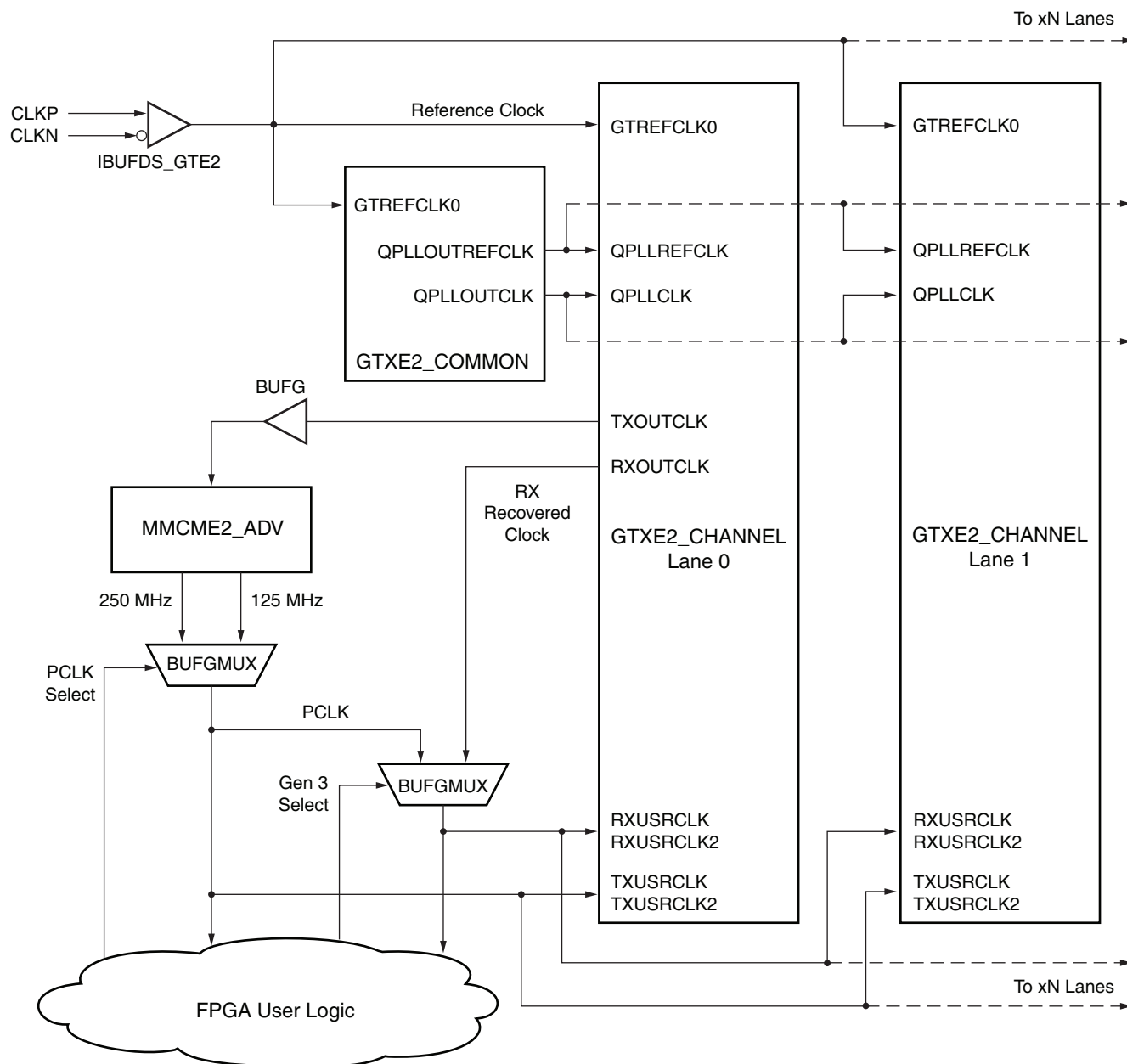
この設定は、Gen1、Gen2、および Gen3 で RX バッファを使用することを推奨します。非同期のクロック アプリケーションで RX バッファを使用する場合、GTX/GTH トランシーバーの基準クロックが RXUSRCLK と RXUSRCLK2 の両方のソースになります。図 6-1 に、PCI Express の同期クロッキング アーキテクチャの例を示します。Kintex-7 デバイスの場合、BUFG を TXOUTCLK および MMCME2_ADV パス間で使用することを推奨します。Virtex-7 デバイスでは、この BUFG は不要です。



UG476_c6_20_061611

図 6-1 : PCI Express の同期クロッキング アーキテクチャの例

非同期のクロッキング アプリケーションで RX バッファを使用する場合、マスター レーン 0 からの RX リカバリ クロックは、Gen3 への移行時に RXUSRCLK および RXUSRCLK2 の両方のソースになります。図 6-2 に、PCI Express の非同期クロッキング アーキテクチャの例を示します。カスケード接続された BUFGMUX が使用される場合、タイミングのバランスをとるために PCLK パスに BUFG を挿入する必要があります。詳細は、247 ページの「RX バッファのバイパス」を参照してください。



UG476_c6_01_061611

図 6-2 : PCI Express の非同期クロッキング アーキテクチャの例

PCI Express のリセット

最初のコンフィギュレーションおよび電源投入時は、61 ページの「リセットおよび初期化」に記載のガイドラインに従う必要があります。PCI Express のリセットは、TX が電氣的アイドル状態で電力ステートが P1 の場合に実行してください。リセット中の推奨される GTX/GTH トランシーバーの設定は次のとおりです。

- TXELECIDLE = 1
- [TX/RX]PD[1:0] = 10b
- TXDETECTRX = 0
- RXPOLARITY = 0
- TXMARGIN[2:0] = 000b
- TXDEEMPH = 1
- TXSWING = 0

GTX/GTH トランシーバーは、Gen1 モードで電源が投入されます。リセット後に、PCLK は必ず安定しなければなりません。図 6-3 のタイミング図では、PCIExpress のリセットを例示しています。図中では、TX Sync Done および Gated PHYSTATUS をファブリックのユーザー信号例として使用しています。

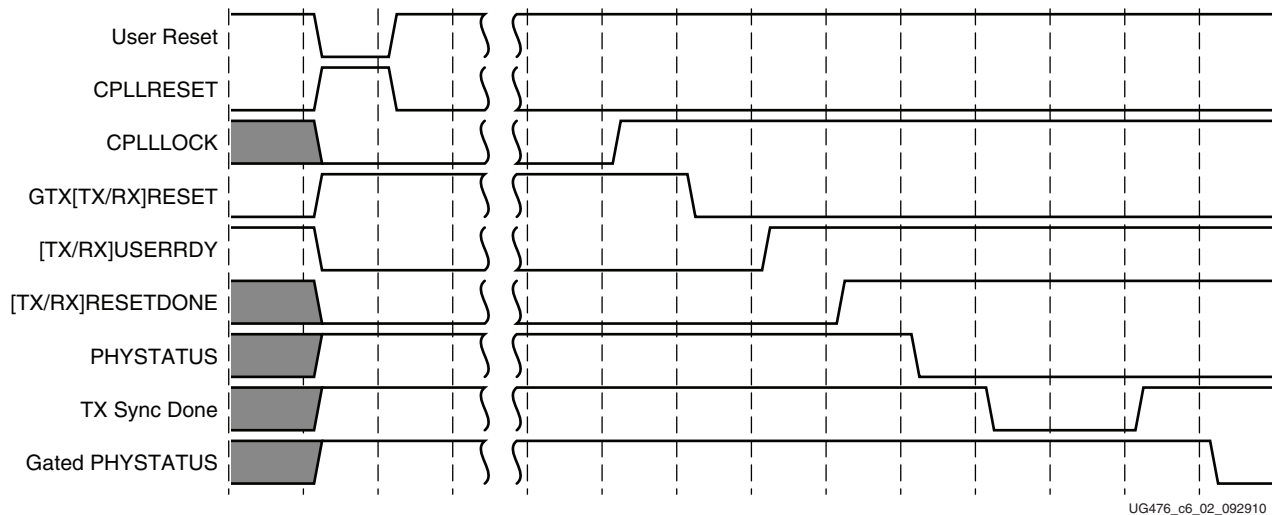


図 6-3 : PCI Express のリセット例

図 6-3 について説明します。

1. 図 6-3 はイベント シーケンスを表しており、正確な縮尺ではありません。
2. ユーザー リセットが検知されると、CPLLRESET および GTX/GTH[TX/RX]RESET をそれぞれアサートすることによって、CPLL および GTX/GTH トランシーバーをリセットします。CPLLRESET は、基準クロックの最低 1 クロック サイクル間 High を保持し続け、そのまま CPLLLOCK が Low に遷移するまでその状態を保持します。GTX/GTH トランシーバーは継続してリセット状態のまま保持します。
3. CPLLLOCK = 1 になるまで待機し、その後 GTX/GTH トランシーバーのリセットをリリースします。

4. MMCM を使用する場合は、[TX/RX]USERRDY がアサートされる前に MMCM がロックされていることを確認します。
5. [TX/RX]RESETDONE = 1 および PHYSTATUS = 0 になるまで待機します。
6. TX バッファをバイパスする場合は、TX Sync (位相および遅延調整) を実行します。
7. TX Sync 完了後、Gated PHYSTATUS をディアサートします。Gated PHYSTATUS は、GTX/GTH トランシーバーの RAW PHYSTATUS を遅延させた信号です。Gated PHYSTATUS がディアサートされると、GTX/GTH トランシーバーのリセットが完了し、標準動作が可能な状態となります。

PCI Express のパワー マネージメント

電力消費を最小限に抑えるため、[TX/RX]PD ポートを使用して GTX/GTH トランシーバーを PCI Express パワーダウン ステータスへ遷移できます。PCI Express モードの場合、TXPD と RXPD を同じソースへ接続することを推奨します。PIPE 仕様で定義されている有効なパワーダウン ステートは、P0、P0s、P1、および P2 です。P0 は標準動作時の電力ステートです。PCLK は、P2 ステート以外のすべてのステートで使用できます。PHYSTATUS が PCLK の 1 サイクル間アサートされると、[TX/RX]PD が変更されて電力ステートの遷移が完了したことを示します。P2 ステートの場合、この動作は非同期です。PCIe に有効な電力ステートの遷移は次のとおりです。

- P0 から P0s へ
- P0s から P0 へ
- P0 から P1 へ
- P1 から P0 へ
- P0 から P2 へ
- P2 から P0 へ

PCI Express アプリケーションの Gen1 および Gen2 動作では CPLL が使用されているため、QPLL を使用して省電力モードに切り替えて消費電力を削減することを推奨します。Gen3 動作では QPLL が使用されているため、CPLL を使用して省電力モードに切り替えて電力を削減することを推奨します。図 6-4 のタイミング図では、P0 から P0s へ遷移する PCI Express のパワーダウンを例示しています。

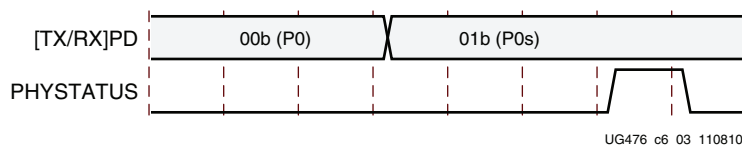


図 6-4 : P0 から P0s へ遷移する PCI Express のパワーダウンの例

図 6-4 について説明します。

1. 図 6-4 はイベント シーケンスを表しており、正確な縮尺ではありません。
2. [TX/RX]PD を 00b (P0) から 01b (P0s) へ変更します。
3. 電力ステートの遷移が正常に完了したことを示す、PHYSTATUS = 1 のパルスを待機します。
4. 別の電力モードへ変更されるまで、[TX/RX]PD を保持し続けます。

PCI Express のレート変更

Gen1 と Gen2 間のレート変更

Gen1 動作で GTX/GTH トランシーバーに電源を投入した後、ユーザーは PCI Express のレートを変更して Gen2 モードへ切り替えることができます。Gen1 から Gen2 スピードへ PCI Express レートを変更するには、PCLK の周波数を変更し、GTX/GTH トランシーバーの出力分周器の値を動的に変更します。Gen1 スピードと Gen2 スピード間のレート変更の場合、データ幅は固定です。すべての PCI Express レート変更は、TX が電氣的アイドル状態で電力ステートが P0 または P1 の場合に実行してください。レート変更前に推奨される GTX/GTH トランシーバーの設定は次のとおりです。

- TXELECIDLE = 1
- [TX/RX]PD = 00b (P0) or 10b (P1)

図 6-5 のタイミング図では、Gen1 から Gen2 へ遷移する PCI Express のレート変更を例示しています。図中では、TX Sync Done および Gated PHYSTATUS をファブリックのユーザー信号例として使用しています。PCLK が [TX/RX]USRCLK2 および [TX/RX]USRCLK のソースとなります。Gen2 から Gen1 へ変更する場合は、PCLK 周波数を 125MHz へ戻してください。

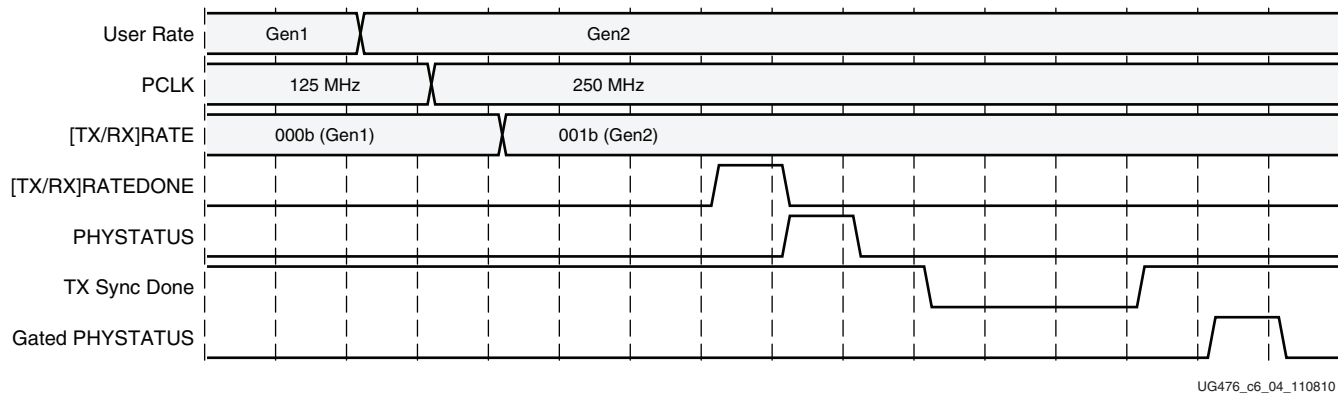


図 6-5 : Gen1 から Gen2 へ遷移する PCI Express のレート変更例

図 6-5 について説明します。

1. 図 6-5 はイベント シーケンスを表しており、正確な縮尺ではありません。
2. ユーザーによるレート変更が検知されると、PCLK 周波数を 250MHz へ変更する前に、有効な TXDATA をクリアするために最低でも PCLK の 16 サイクル間待機します。
3. [TX/RX]RATE = 001b に設定して、GTX/GTH トランシーバーのレートを Gen2 スピードに変更します。これによって、CPLL 出力分周器は、Gen2 スピードの場合は 1 になり、Gen1 スピードの場合は 2 になります。
4. [TX/RX]RATEDONE = 1 および PHYSTATUS = 1 になるまで待機します。
5. TX バッファをバイパスする場合は、TX Sync (位相および遅延調整) を実行します。
6. TX Sync (位相および遅延調整) が完了すると、Gated PHYSTATUS がアサートされます。Gated PHYSTATUS は、GTX/GTH トランシーバーの RAW PHYSTATUS を遅延させた信号です。レート変更が正常に完了したことを示す Gated PHYSTATUS がアサートされた後、RXELECIDLE の遷移条件および RX CDR のロック条件が満たされるまで RXDATA、RXSTATUS、および RXVALID は使用できません。

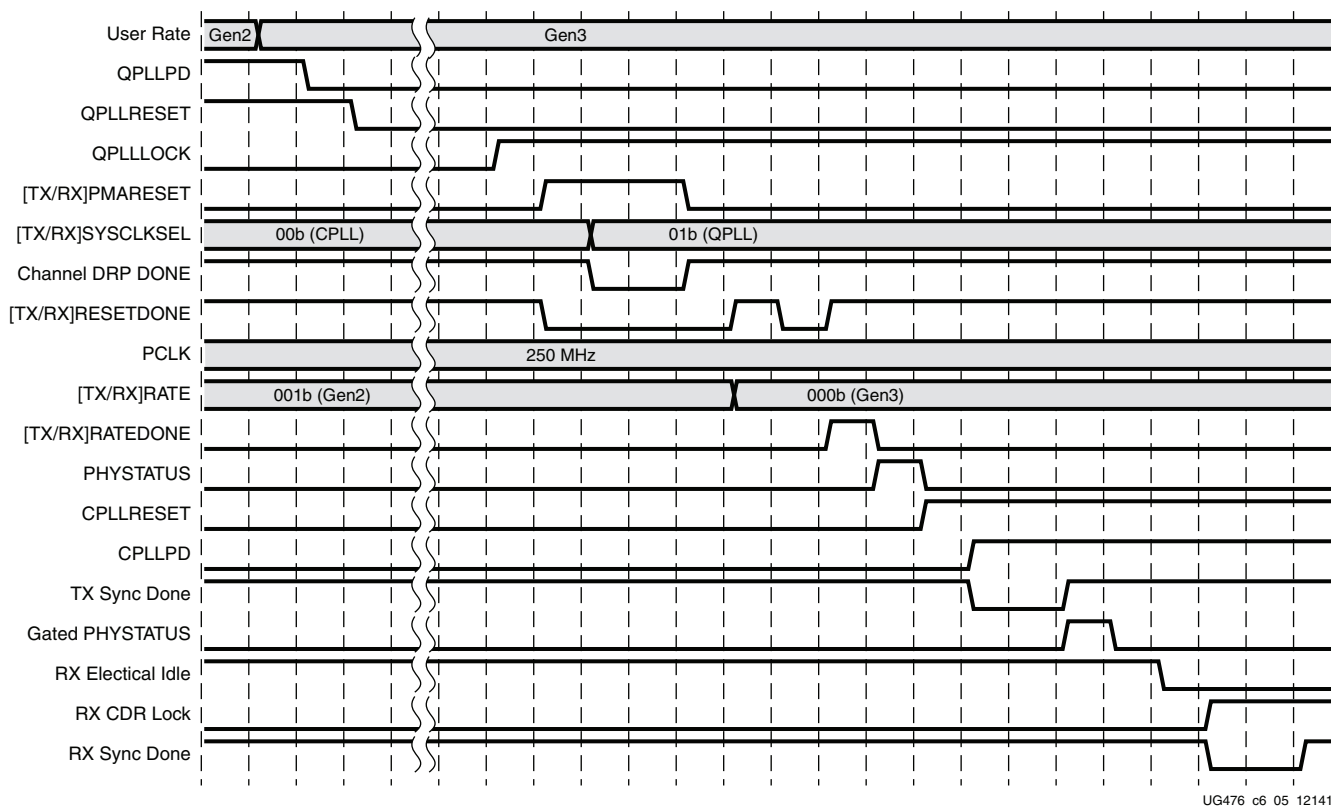
Gen3 スピードへ、または Gen3 スピードからのレート変更

Gen1 または Gen2 の場合、ユーザーは PCI Express のレートを変更して Gen3 へ切り替えることができます。Gen3 へのレート変更 (およびその逆) は、GTX/GTH トランシーバー PCS のバイパス、DRP の使用、データ幅の変更、および CPLL と QPLL 間の切り替えが必要となるアドバンス機能です。図 6-6 のタイミング図では、CPLL が Gen1 および Gen2 で使用されている場合の、Gen2 から Gen3 へ遷移する PCI Express のレート変更例を示しています。Gen3 への遷移時は、CPLL の電源を切断して電力を削減してください。CPLL の電源を切断するには、Gen3 への遷移が完了した後、CPLLDP がアサートされる前に CPLLRESET をアサートすることを推奨します。Gen3 から遷移するときは、QPLL の電源を切断して電力を削減してください。QPLL の電源を切断するには、Gen3 からの遷移が完了した後、QPLLDP がアサートされる前に QPLLRESET をアサートすることを推奨します。QPLL が Gen3 に使用されている場合は、CPLL の電源を切断する必要があります。

PCI Express アプリケーションの CPLL および QPLL を選択する際に推奨される設定は次のとおりです。

- [TX/RX]SYSCLKSEL = 00b — CPLL を選択し、GTX/GTH トランシーバー チャンネルから配線された基準クロックを使用します。
- [TX/RX]SYSCLKSEL = 01b — QPLL を選択し、GTX/GTH トランシーバー チャンネルから配線された基準クロックを使用します。

図 6-6 では、User Rate、Channel DRP Done、PCLK、TX Sync、Gated PHYSTATUS、および RX Sync をファブリックのユーザー信号例として使用しています。Gen3 から Gen1 へ変更する場合には、PCLK 周波数を 125MHz へ戻してください。Gen3 から Gen2 へ変更する場合は、PCLK 周波数を 250MHz のまま変更しないでください。



UG476_c6_05_121411

図 6-6 : Gen2 から Gen3 へ遷移する PCI Express のレート変更例

図 6-6 について説明します。

1. 図 6-6 はイベント シーケンスを表しており、正確な縮尺ではありません。
2. ユーザーによるレート変更が検知されると、QPLLPD と QPLLRESET をディアサートして QPLL に電源を投入し、QPLLLOCK = 1 になるまで待機します。
3. [TX/RX]PMARESET をアサートして GTX/GTH トランシーバーの PMA をリセットし、その後 [TX/RX]SYSCLKSEL = 01b に設定し、CPLL から QPLL へ切り替えます。PMA をリセット状態のまま保持します。
4. DRP を使用して PCS をバイパスし、RAW モードの GTX/GTH トランシーバーを設定します。GTX/GTH トランシーバーのリセットをリリースし、[TX/RX]RESETDONE = 1 になるまで待機します。
5. Gen2 から Gen3 へ変更する場合は、PCLK を 250MHz のまま保持します。[TX/RX]RATE を 000b に設定して GTX/GTH トランシーバーのレートを Gen3 スピードに変更し、[TX/RX]RATEDONE = 1 および PHYSTATUS = 1 になるまで待機します。
6. CPLLRESET と CPLLPD をアサートして CPLL の電力を切断し、電力を節約します。TX Sync (位相および遅延調整) を実行して完了したら、Gated PHYSTATUS をアサートします。Gated PHYSTATUS は、GTX/GTH トランシーバーの RAW PHYSTATUS を遅延させた信号です。
7. RX バッファがバイパスされる場合は、RX Sync (位相および遅延調整) を実行します。RX Sync 調整を実行する前に、RX が電氣的アイドル状態から遷移し、RX CDR がロックされるまで待機します。RX Sync が完了すると、RXDATA が処理可能な状態になります。RX バッファをバイパスする場合、P0 電力ステートのときにレートを Gen3 に変更することを推奨します。

Gen3 スピードへ、または Gen3 スピードからのレート変更時に DRP を使用

Gen3 へ変更する場合は、GTXE2_CHANNEL または GTHE2_CHANNEL の DRP を使用して PCS をバイパスする必要があります。Gen3 から別のレートへ変更する場合は、DRP を使用して PCS 機能を再び有効にする必要があります。Gen3 でリセットが発生した場合、DRP へアクセスして Gen1 の PCS を再度有効にしてください。レート変更時の PMA がリセット状態の間は、DRP を使用してください。表 6-8 に、DRP で変更する必要がある、GTX/GTH トランシーバー属性の DRP アドレスおよびデータを示します。対象となる属性のみが変更されるように、DRP で読み出し/変更/書き込み操作を行ってください。

表 6-8 : Gen3 スピードへ、または Gen3 スピードからのレート変更における DRP のルックアップ テーブル

GTX/GTH トランシーバーの属性	説明	DRP アドレス	DRP データ	Gen1 および Gen2	Gen 3
TXOUT_DIV	TX 出力分周器	088h	[6:4]	001b 2 で分周 ⁽¹⁾	000b 1 で分周 ⁽¹⁾
RXOUT_DIV	RX 出力分周器	088h	[2:0]	001b 2 で分周 ⁽¹⁾	000b 1 で分周 ⁽¹⁾
TX_DATA_WIDTH	TX 外部データ幅	06Bh	[2:0]	011b 2 バイト	100b 4 バイト
TX_INT_DATAWIDTH	TX 内部データ幅	06Bh	[4]	0 2 バイト	1 4 バイト
RX_DATA_WIDTH	RX 外部データ幅	011h	[13:11]	011b 2 バイト	100b 4 バイト

表 6-8 : Gen3 スピードへ、または Gen3 スピードからのレート変更における DRP のルックアップ テーブル (続き)

GTX/GTH トランシーバーの属性	説明	DRP アドレス	DRP データ	Gen1 および Gen2	Gen 3
RX_INT_DATAWIDTH	RX 外部データ幅	011h	[14]	0 2 バイト	1 4 バイト
TXBUF_EN	TX バッファの有効化	01Ch	[14]	0 TX バッファをバイパス	0 TX バッファをバイパス
RXBUF_EN	RX バッファの有効化	09Dh	[1]	1 RX バッファを使用	1 RX バッファを使用
TX_XCLK_SEL	TX XCLK の選択	059h	[7]	1 TXUSR	1 TXUSR
RX_XCLK_SEL	RX XCLK の選択	059h	[6]	0 RXREC	0 RXREC
CLK_CORRECT_USE	クロック コレクションの使用	044h	[14]	1 TRUE	0 FALSE
TX_DRIVE_MODE	TX の駆動モード	019h	[4:0]	00001b PIPE	00010b PIPEGEN3

1. [TX/RX]RATE ポートを使用してレートを Gen2 スピードへ変更するとき、GTX/GTH トランシーバーは、TX および RX 出力分周器が「1 で分周」として使用されるように内部で選択します。表の設定は、Gen3 スピードの遷移に使用する推奨値です。

PCI Express のチャネル ボンディング

Gen1 および Gen2 で動作するマルチ レーンの PCI Express アプリケーションでは、RX レーン間のスキューを調整するために、GTX/GTH トランシーバーのチャネル ボンディング機能を使用する必要があります。Gen3 の場合、カスタム ソフトの Gen3 PCS ブロックを使用する際、チャネル ボンディング機能を無効にできます。Gen3 および x1 コンフィギュレーションの PCI Express アプリケーションでは、RXCHBONDEN を 0 に設定し、この機能を無効にしてください。チャネル ボンディングが無効の場合、RXCHANBONDMASTER および RXCHANBONDSLAVE は Gen3 で 0 に設定する必要があります。GTX/GTH チャネル ボンディング入力ポートは、チャネル ボンディングが常に無効の場合に 0 に設定できます。

次に、3 つのチャネル ボンディングの例を示します。

- ワンホップ チャネル ボンディングの例
- デイジー チェーン チャネル ボンディングの例
- バイナリツリー チャネル ボンディングの例

ワンホップ チャンネル ボンディングの例

RX レイテンシを抑えるには、ワンホップ チャンネル ボンディングを推奨します。ワンホップ チャンネル ボンディングでは、レーン 0 をマスターとして設定し、各スレーブへ直接接続します。図 6-7 に、PCI Express のワンホップ チャンネル ボンディングの例を示します。

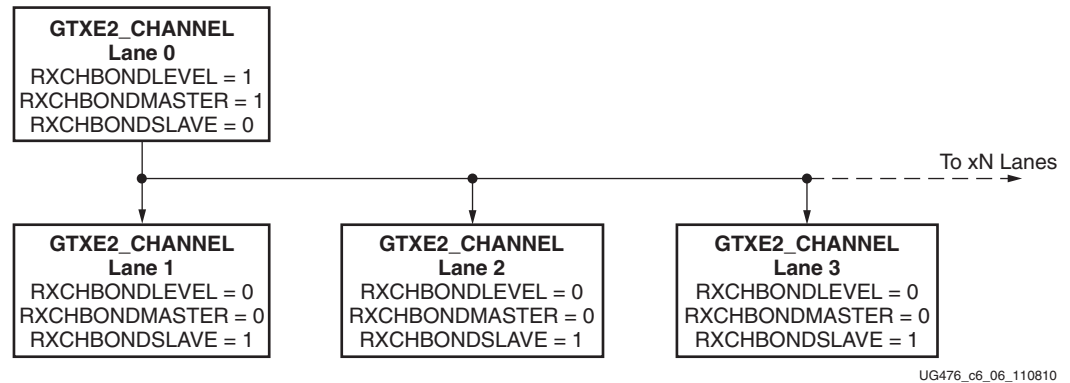


図 6-7 : PCI Express のワンホップ チャンネル ボンディングの例

デイジー チェーン チャンネル ボンディングの例

タイミングを改善するには、デイジー チェーン チャンネル ボンディングを推奨します。デイジー チェーン チャンネル ボンディングでは、レーン 0 はマスターとして設定され、各スレーブがパイプライン化されてデイジー チェーンを構築します。図 6-8 に、PCI Express のデイジー チェーン チャンネル ボンディングの例を示します。N は、PCI Express のレーン数の合計を表しています。

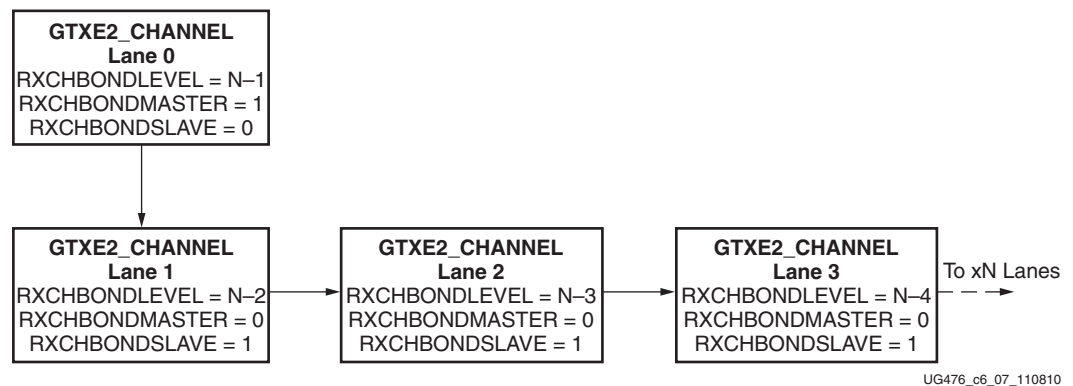


図 6-8 : PCI Express のデイジー チェーン チャンネル ボンディングの例

バイナリツリー チャンネル ボンディングの例

RX レイテンシの削減およびタイミングの向上のバランスをとるには、バイナリツリー チャンネル ボンディングが使用できます。バイナリツリー チャンネル ボンディングでは、各 GTX/GTH トランシーバー チャンネルは最大でも 2 つの PCI Express レーンへ接続されます。図 6-9 に、PCI Express のバイナリツリー チャンネル ボンディングの例を示します。

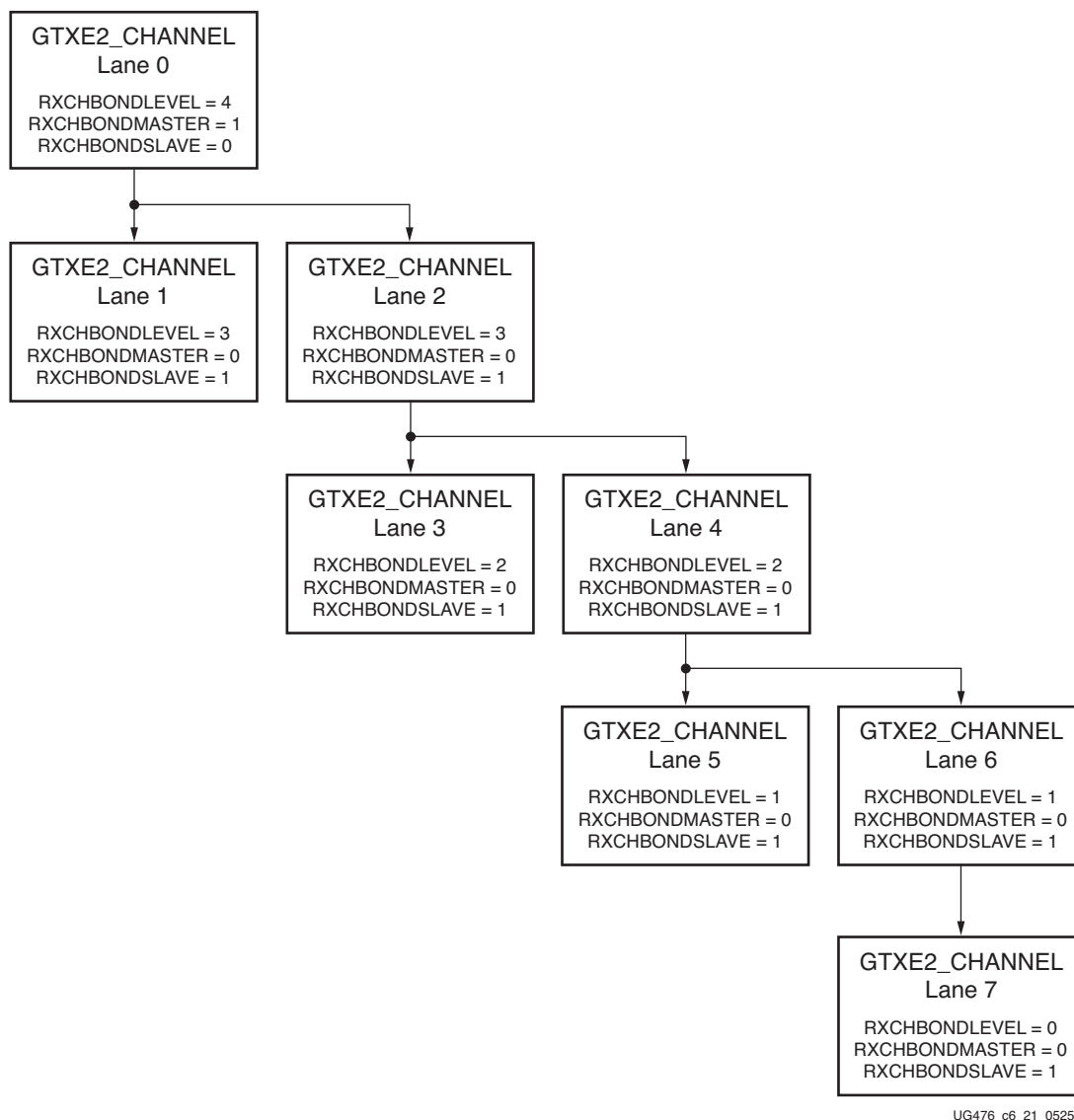


図 6-9 : PCI Express のバイナリツリー チャンネル ボンディングの例

チャンネル ボンディングの属性の設定

PCI Express アプリケーションでは、RX レーン間のスキューを調整するために、リンク トレーニングで TS1 と TS2 順序集合を使用、または L0s ステートからの遷移時に FTS (Fast Training Sequence) を使用するチャンネル ボンディング機能を使用します。表 6-9 に、PCI Express で推奨されるチャンネル ボンディング属性の設定を示します。詳細は、278 ページの「RX チャンネル ボンディング」を参照してください。

表 6-9：PCI Express のチャンネル ボンディングの属性

属性	タイプ	説明
CHAN_BOND_KEEP_ALIGN	ブール型	チャンネル ボンディングのアライメント保持です。PCI Express アプリケーションでは、TRUE に設定してアライメントを保持します。
CHAN_BOND_MAX_SKEW	整数	チャンネル ボンディングの最大スキューです。予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
CHAN_BOND_SEQ_LEN	整数	チャンネル ボンディング シーケンスのシーケンス長です。PCI Express アプリケーションでは、4 に設定します。
CHAN_BOND_SEQ_1_ENABLE	4 ビット バイナリ	CHAN_BOND_SEQ_1 [1/2/3/4] のチャンネル ボンディング シーケンス 1 を有効にします。PCI Express アプリケーションでは、1111b に設定します。
CHAN_BOND_SEQ_1_1	10 ビット バイナリ	PCI Express アプリケーションでは、0001001010b に設定してトレーニング シーケンス 1 (TS1) を使用します。
CHAN_BOND_SEQ_1_2	10 ビット バイナリ	PCI Express アプリケーションでは、0001001010b に設定して TS1 を使用します。
CHAN_BOND_SEQ_1_3	10 ビット バイナリ	PCI Express アプリケーションでは、0001001010b に設定して TS1 を使用します。
CHAN_BOND_SEQ_1_4	10 ビット バイナリ	PCI Express アプリケーションでは、0110111100b に設定してカンマ (COM) を使用します。
CHAN_BOND_SEQ_2_USE	ブール型	チャンネル ボンディング シーケンス 2 を使用します。PCI Express アプリケーションでは、TRUE に設定してトレーニング シーケンス 2 (TS2) を使用します。
CHAN_BOND_SEQ_2_ENABLE	4 ビット バイナリ	CHAN_BOND_SEQ_2 [1/2/3/4] のチャンネル ボンディング シーケンス 2 を有効にします。PCI Express アプリケーションでは、1111b に設定します。

表 6-9 : PCI Express のチャネル ボンディングの属性 (続き)

属性	タイプ	説明
CHAN_BOND_SEQ_2_1	10 ビット バイナリ	PCI Express アプリケーションでは、0001000101b に設定して TS2 を使用します。
CHAN_BOND_SEQ_2_2	10 ビット バイナリ	PCI Express アプリケーションでは、0001000101b に設定して TS2 を使用します。
CHAN_BOND_SEQ_2_3	10 ビット バイナリ	PCI Express アプリケーションでは、0001000101b に設定して TS2 を使用します。
CHAN_BOND_SEQ_2_4	10 ビット バイナリ	PCI Express アプリケーションでは、0110111100b に設定して COM を使用します。
FTS_DESKEW_SEQ_ENABLE	4 ビット バイナリ	FTS_LANE_DESKEW_CFG の FTS スキュー調整シーケンスを有効にします。PCI Express アプリケーションでは、1111b に設定します。
FTS_LANE_DESKEW_EN	ブール型	FTS レーンのスキュー調整を有効にします。PCI Express アプリケーションでは、TRUE に設定して FTS を有効にします。
FTS_LANE_DESKEW_CFG	4 ビット バイナリ	FTS レーンのスキュー調整の設定を指定します。PCI Express アプリケーションでは、1111b に設定します。

PCI Express のクロック コレクション

Gen1 および Gen2 で動作する PCI Express アプリケーションでは、RX でクロックを補正するため、GTx/GTH トランシーバーのクロック コレクション機能を使用することを推奨します。Gen3 の場合は、カスタム ソフトの Gen3 PCS ブロックを使用する際、クロック コレクション機能を無効にできます。PCI Express アプリケーションのクロック コレクション機能は、SKP 順序集合を使用して RX でのクロックのずれを補正します。RX エラスティック バッファから SKP シンボルを挿入または削除することによって、最大 600ppm ($\pm 300\text{ppm}$) のクロック周波数の偏差を補正します。表 6-10 に、PCI Express で推奨されるクロック コレクションの属性の設定を示します。詳細は、267 ページの「RX クロック コレクション」を参照してください。

表 6-10 : PCI Express のクロック コレクション属性

属性	タイプ	説明
CBCC_DATA_SOURCE_SEL	文字列	チャネル ボンディングおよびクロック コレクションのデータソースを選択します。PCI Express アプリケーションでは、DECODED に設定し、8B/10B デコーダーからのデータを使用します。
CLK_CORRECT_USE	ブール型	クロック コレクションの使用を指定します。PCI Express アプリケーションの Gen1 および Gen2 では、TRUE に設定してクロック コレクションを有効にします。
CLK_CORRECT_KEEP_IDLE	ブール型	クロック コレクションをアイドル状態に保持します。PCI Express アプリケーションでは TRUE に設定して、受信したクロック コレクション シーケンスの連続ストリームに対して、最低 1 つのクロック コレクション シーケンスを保持します。
CLK_COR_MAX_LAT	整数	クロック コレクションの最大レイテンシを指定します。 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
CLK_COR_MIN_LAT	整数	クロック コレクションの最小レイテンシを指定します。 予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
CLK_COR_PRECEDENCE	ブール型	クロック コレクションを優先させます。PCI Express アプリケーションでは、TRUE に設定してチャネル ボンディングよりもクロック コレクションを優先させます。
CLK_COR_REPEAT_WAIT	整数	クロック コレクションを繰り返す際の待機サイクル数を指定します。PCI Express アプリケーションでは 0 に設定して、クロック コレクションを連続して実行します。
CLK_COR_SEQ_LEN	整数	PCI Express アプリケーションでは、1 に設定します。

表 6-10 : PCI Express のクロック コレクション属性 (続き)

属性	タイプ	説明
CLK_COR_SEQ_1_ENABLE	4 ビット バイナリ	PCI Express アプリケーションでは、1111b に設定してスキップ (SKP) 順序集合を使用します。
CLK_COR_SEQ_1_1	10 ビット バイナリ	PCI Express アプリケーションでは、0100011100b に設定します。
CLK_COR_SEQ_1_2	10 ビット バイナリ	PCI Express アプリケーションでは、0000000000b に設定します。
CLK_COR_SEQ_1_3	10 ビット バイナリ	PCI Express アプリケーションでは、0000000000b に設定します。
CLK_COR_SEQ_1_4	10 ビット バイナリ	PCI Express アプリケーションでは、0000000000b に設定します。
CLK_COR_SEQ_2_ENABLE	4 ビット バイナリ	PCI Express アプリケーションでは、0000b に設定します。
CLK_COR_SEQ_2_USE	ブール型	PCI Express アプリケーションでは FALSE に設定して、クロック コレクション シーケンス 2 を無効にします。
CLK_COR_SEQ_2_1	10 ビット バイナリ	PCI Express アプリケーションでは、0000000000b に設定します。
CLK_COR_SEQ_2_2	10 ビット バイナリ	PCI Express アプリケーションでは、0000000000b に設定します。
CLK_COR_SEQ_2_3	10 ビット バイナリ	PCI Express アプリケーションでは、0000000000b に設定します。
CLK_COR_SEQ_2_4	10 ビット バイナリ	PCI Express アプリケーションでは、0000000000b に設定します。

XAUI の使用モデル

このセクションでは、XAUI 用 GTX/GTH トランシーバーを設定および使用する際の推奨されるガイドラインを示します。

機能の説明

XAUI アプリケーションでは、4 つの GTX/GTH トランシーバーが共にチャネル ボンディングされており、それぞれ 3.125Gb/s のライン レートで動作しています。XAUI アプリケーション用に正しく設定された GTX/GTH トランシーバーを含むラッパーは、7 Series FPGA Transceivers Wizard から生成できます。

次に、XAUI アプリケーションで使用する GTX/GTH トランシーバーの推奨機能を示します。

- QPLL
- 2 バイトの内部データ幅、2 バイトの FPGA インターフェイス幅
- TX バッファのバイパス
- RX バッファ
- カンマ アライメント
- チャネル ボンディング
- クロック コレクション
- 8B/10B エンコーダーおよびデコーダー

XAUI の使用モード

表 6-11 に、主な属性およびポートに対して推奨される GTX/GTH トランシーバーの設定を示します。

表 6-11 : XAUI アプリケーションで推奨される GTX/GTH トランシーバーの設定

GTX/GTH トランシーバーの属性	値
[TX/RX]RATE[2:0]	3'b000 ([TX/RX]OUT_DIV は必ず 2 に設定)
[TX/RX]USRCLK	156.25MHz
[TX/RX]USRCLK2	156.25MHz
[TX/RX]_DATA_WIDTH	20
[TX/RX]_INT_DATAWIDTH	0
TXBUF_EN	FALSE
RXBUF_EN	TRUE
TX_XCLK_SEL	TXUSR
RX_XCLK_SEL	RXREC
TXOUTCLKSEL[2:0]	3'b011
CLK_CORRECT_USE	True
RXCOMMADETEN	1
RXCHBONDEN	1
[TX/RX]8B10BEN	1

XAUI クロッキング

基準クロック

XAUI では、156.25MHz の単一基準クロックが使用されます。図 6-10 に示すように、この基準クロックは、GTXE2_COMMON または GTHE2_COMMON の GTREFCLK0 ポートを駆動する IBUFDS_GTE2 へ入力されます。GTX/GTH トランシーバーは、このクロックを使用してデータの送受信用に高速シリアル クロックを生成します。表 6-12 に、XAUI に対応する PLL およびクロック分周器の設定を示します。

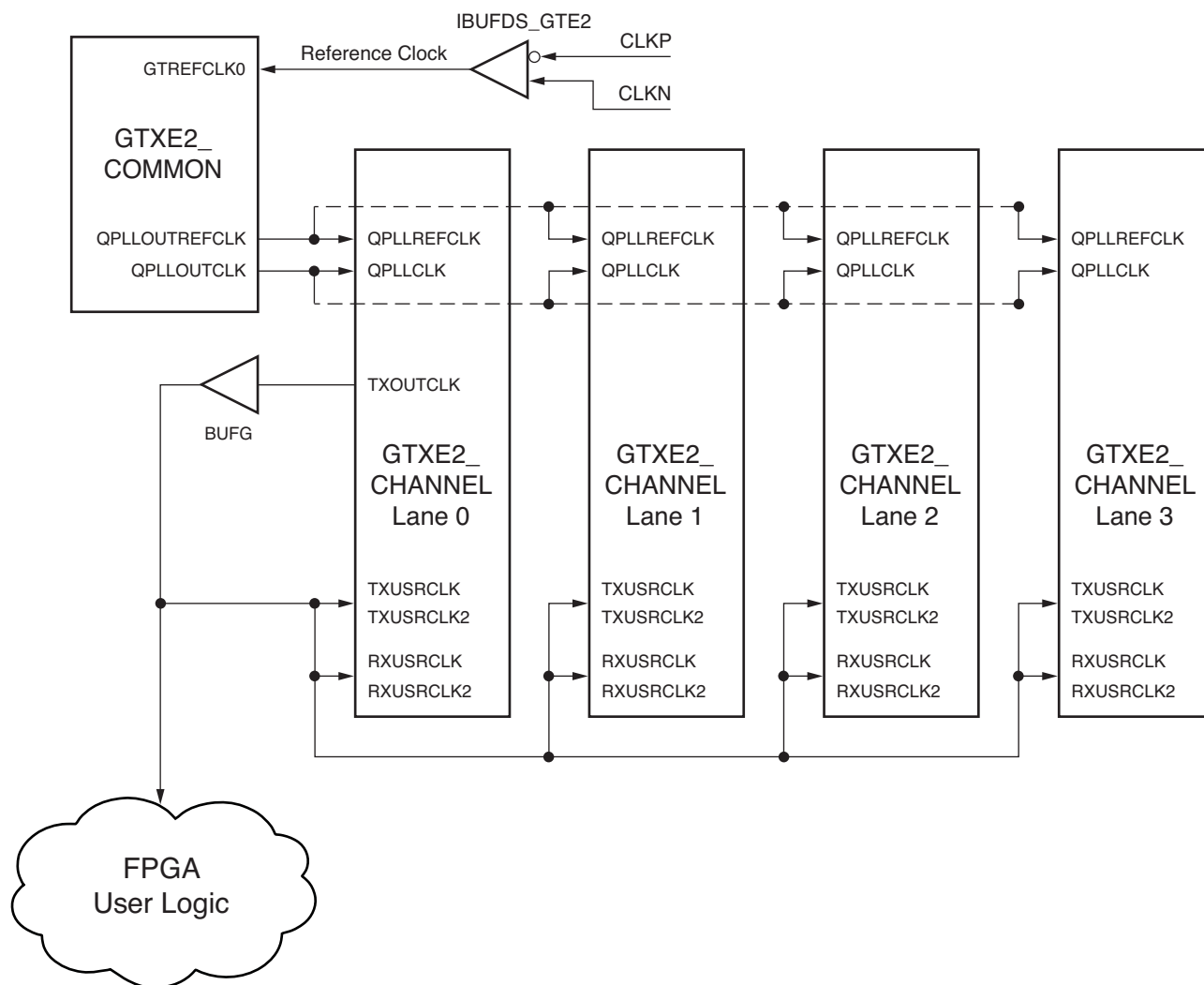
表 6-12 : XAUI アプリケーションで推奨される QPLL およびクロックの設定

GTX/GTH トランシーバーの属性	値
QPLL_REFCLK_DIV	1
QPLL_FBDIV	10'b0010000000
QPLL_FBDIV_RATIO	1
[TX/RX]OUT_DIV	2
[TX/RX]_CLK25_DIV	7

パラレル クロック

GTX/GTH トランシーバーの内部データ幅および FPGA インターフェイス幅は、XAUI アプリケーションでは両方とも 2 バイトです。厳密にいうと、内部データ幅は 20 ビットで、FPGA インターフェイス幅は 16 ビットです。内部データと FPGA インターフェイスの幅が両方とも 2 バイトであるため、[TX/RX]USRCLK と [TX/RX]USRCLK2 の周波数は同じになります。XAUI での [TX/RX]USRCLK および [TX/RX]USRCLK2 の周波数は、すべて 156.25MHz です。

また、XAUI では TX バッファがバイパスされています。このため、GTX/GTH トランシーバーの基準クロックが TXOUTCLK を通る TXUSRCLK および TXUSRCLK2 のソースとして使用されるように、TXOUTCLKSEL を 3'b011 に設定する必要があります。図 6-10 に、XAUI のクロッキング アーキテクチャの例を示します。

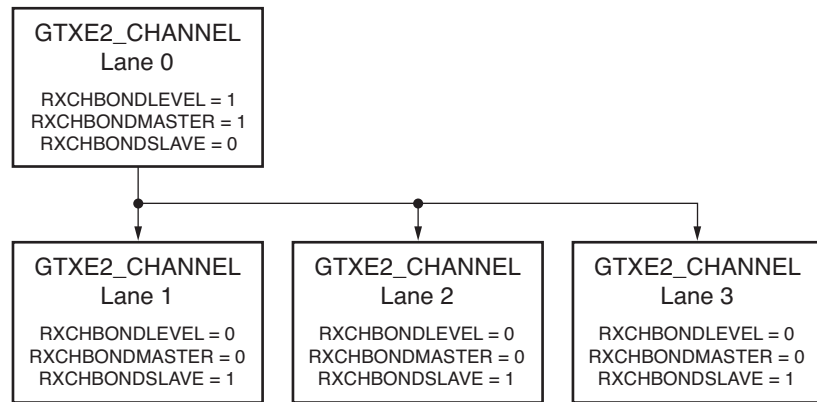


UG476_c6_22_052511

図 6-10 : XAUI のクロッキング アーキテクチャの例

XAUI のチャンネル ボンディング

XAUI は、チャンネル ボンディングされた 4 つの GTX/GTH トランシーバーを使用します。4 つの GTX/GTH トランシーバーをチャンネル ボンディングするために、チャンネル ボンディング ポートを正しく接続する方法は複数あります。図 6-11 に、このようなチャンネル ボンディングの例を 1 つ示します。



UG476_c6_23_052511

図 6-11 : XAUI のチャンネル ボンディングの例

表 6-13 に、XAUI で推奨されるチャンネル ボンディングの属性の設定を示します。詳細は、278 ページの「RX チャンネル ボンディング」を参照してください。

表 6-13 : XAUI のチャンネル ボンディングの属性

属性	タイプ	説明
CHAN_BOND_KEEP_ALIGN	ブール型	チャンネル ボンディングのアライメント保持です。XAUI アプリケーションでは、FALSE に設定します。
CHAN_BOND_MAX_SKEW	整数	チャンネル ボンディングの最大スキューです。予約。 7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
CHAN_BOND_SEQ_LEN	整数	チャンネル ボンディング シーケンスのシーケンス長です。 XAUI アプリケーションでは、1 に設定します。
CHAN_BOND_SEQ_1_ENABLE	4 ビット バイナリ	チャンネル ボンディング シーケンス 1 が有効です。 CHAN_BOND_SEQ_1_[1/2/3/4] 向けです。 XAUI アプリケーションでは、4'b1111 に設定します。
CHAN_BOND_SEQ_1_1	10 ビット バイナリ	XAUI アプリケーションでは、10'b0101111100 に設定します。

表 6-13：XAUI のチャンネル ボンディングの属性 (続き)

属性	タイプ	説明
CHAN_BOND_SEQ_1_2	10 ビット バイナリ	XAUI アプリケーションでは、 10'b000000000000 に設定します。
CHAN_BOND_SEQ_1_3	10 ビット バイナリ	XAUI アプリケーションでは、 10'b000000000000 に設定します。
CHAN_BOND_SEQ_1_4	10 ビット バイナリ	XAUI アプリケーションでは、 10'b000000000000 に設定します。
CHAN_BOND_SEQ_2_USE	ブール型	チャンネル ボンディング シーケンス 2 を 使用します。 XAUI アプリケーションでは、FALSE に 設定します。
CHAN_BOND_SEQ_2_ENABLE	4 ビット バイナリ	チャンネル ボンディング シーケンス 2 が 有効です。 CHAN_BOND_SEQ_1_[1/2/3/4] 向け です。 XAUI アプリケーションでは、4'b1111 に設定します。
CHAN_BOND_SEQ_2_1	10 ビット バイナリ	XAUI アプリケーションでは、 10'b000000000000 に設定します。
CHAN_BOND_SEQ_2_2	10 ビット バイナリ	XAUI アプリケーションでは、 10'b000000000000 に設定します。
CHAN_BOND_SEQ_2_3	10 ビット バイナリ	XAUI アプリケーションでは、 10'b000000000000 に設定します。
CHAN_BOND_SEQ_2_4	10 ビット バイナリ	XAUI アプリケーションでは、 10'b000000000000 に設定します。
FTS_LANE_DESKEW_EN	ブール型	FTS レーンのスキュー調整を有効にし ます。XAUI アプリケーションでは、FALSE に設定します。

XAUI のクロック コレクション

表 6-14 に、XAUI で推奨されるクロック コレクションの属性の設定を示します。詳細は、267 ページの「RX クロック コレクション」を参照してください。

表 6-14 : XAUI のクロック コレクション属性

属性	タイプ	説明
CBCC_DATA_SOURCE_SEL	文字列	チャンネル ボンディングおよびクロック コレクションのデータソースを選択します。 XAUI アプリケーションでは、DECODED に設定し、8B/10B デコーダーからのデータを使用します。
CLK_CORRECT_USE	ブール型	クロック コレクションの使用を指定します。 XAUI アプリケーションでは、TRUE に設定してクロック コレクションを有効にします。
CLK_CORRECT_KEEP_IDLE	ブール型	クロック コレクションをアイドル状態に保持します。XAUI アプリケーションでは、FALSE に設定します。
CLK_COR_MAX_LAT	整数	クロック コレクションの最大レイテンシを指定します。予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
CLK_COR_MIN_LAT	整数	クロック コレクションの最小レイテンシを指定します。予約。7 Series FPGA Transceivers Wizard からの推奨値を使用してください。
CLK_COR_PRECEDENCE	ブール型	クロック コレクションを優先させます。 XAUI アプリケーションでは、TRUE に設定してチャンネル ボンディングよりもクロック コレクションを優先させます。
CLK_COR_REPEAT_WAIT	整数	クロック コレクションを繰り返す際の待機サイクル数を指定します。XAUI アプリケーションでは 0 に設定して、クロック コレクションを連続して実行します。
CLK_COR_SEQ_LEN	整数	XAUI アプリケーションでは、1 に設定します。
CLK_COR_SEQ_1_ENABLE	4 ビット バイナリ	XAUI アプリケーションでは、4'b1111 に設定します。
CLK_COR_SEQ_1_1	10 ビット バイナリ	XAUI アプリケーションでは、10'b0100011100 に設定します。
CLK_COR_SEQ_1_2	10 ビット バイナリ	XAUI アプリケーションでは、10'b0100000000 に設定します。
CLK_COR_SEQ_1_1	10 ビット バイナリ	XAUI アプリケーションでは、10'b0100000000 に設定します。
CLK_COR_SEQ_1_4	10 ビット バイナリ	XAUI アプリケーションでは、10'b0100000000 に設定します。

表 6-14：XAUI のクロック コレクション属性 (続き)

属性	タイプ	説明
CLK_COR_SEQ_2_ENABLE	4 ビット バイナリ	XAUI アプリケーションでは、4'b1111 に設定します。
CLK_COR_SEQ_2_USE	ブール型	XAUI アプリケーションでは FALSE に設定して、クロック コレクション シーケンス 2 を無効にします。
CLK_COR_SEQ_2_1	10 ビット バイナリ	XAUI アプリケーションでは、10'b0100000000 に設定します。
CLK_COR_SEQ_2_2	10 ビット バイナリ	XAUI アプリケーションでは、10'b0100000000 に設定します。
CLK_COR_SEQ_2_3	10 ビット バイナリ	XAUI アプリケーションでは、10'b0100000000 に設定します。
CLK_COR_SEQ_2_4	10 ビット バイナリ	XAUI アプリケーションでは、10'b0100000000 に設定します。

パッケージ別の配置情報

この付録に、デバイス/パッケージのすべての組み合わせにおけるクワッドの位置情報を示します。この情報には各シリアル トランシーバー チャンネルおよびそれに伴うプリミティブに関連する外部信号のパッド番号が含まれます。

一部のデバイスは、標準の注文オプションとして鉛パッケージと鉛フリー パッケージ (パッケージ名に G が追加されている) の両方で提供されています。XC 製品番号への参照は、提供されている場合、XQ 製品番号にも適用されます。パッケージへの参照は、提供されている場合、高耐久性パッケージ コードにも適用されます。

GTX トランシーバー パッケージの配置図

- [358 ページの「FBG484 パッケージの配置図」](#)
- [359 ページの「FBG676 パッケージの配置図」](#)
- [360 ページの「FBG900 パッケージの配置図」](#)
- [362 ページの「FFG676 パッケージの配置図」](#)
- [363 ページの「FFG900 パッケージの配置図」](#)
- [365 ページの「FFG901 パッケージの配置図」](#)
- [369 ページの「FFG1156 パッケージの配置図」](#)
- [373 ページの「FFG1157 パッケージの配置図」](#)
- [376 ページの「FFG1158 パッケージの配置図」](#)
- [382 ページの「FFG1761 パッケージの配置図」](#)
- [387 ページの「FFG1927 パッケージの配置図」](#)
- [395 ページの「FFG1930 パッケージの配置図」](#)
- [398 ページの「FLG1925 パッケージの配置図」](#)
- [400 ページの「FHG1761 パッケージの配置図」](#)

FBG484 パッケージの配置図

図 A-1 に、FBG484 パッケージの配置図を示します。

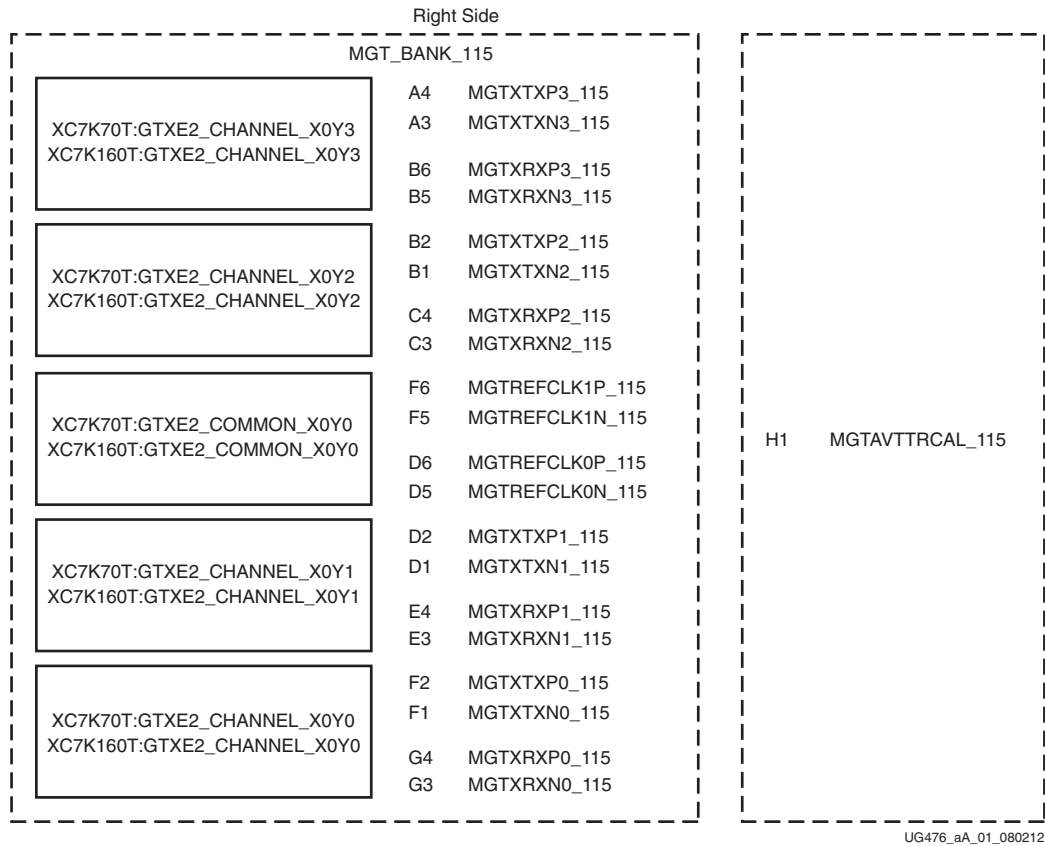


図 A-1 : FBG484 パッケージの配置図

FBG676 パッケージの配置図

図 A-2 に、FBG676 パッケージの配置図を示します。

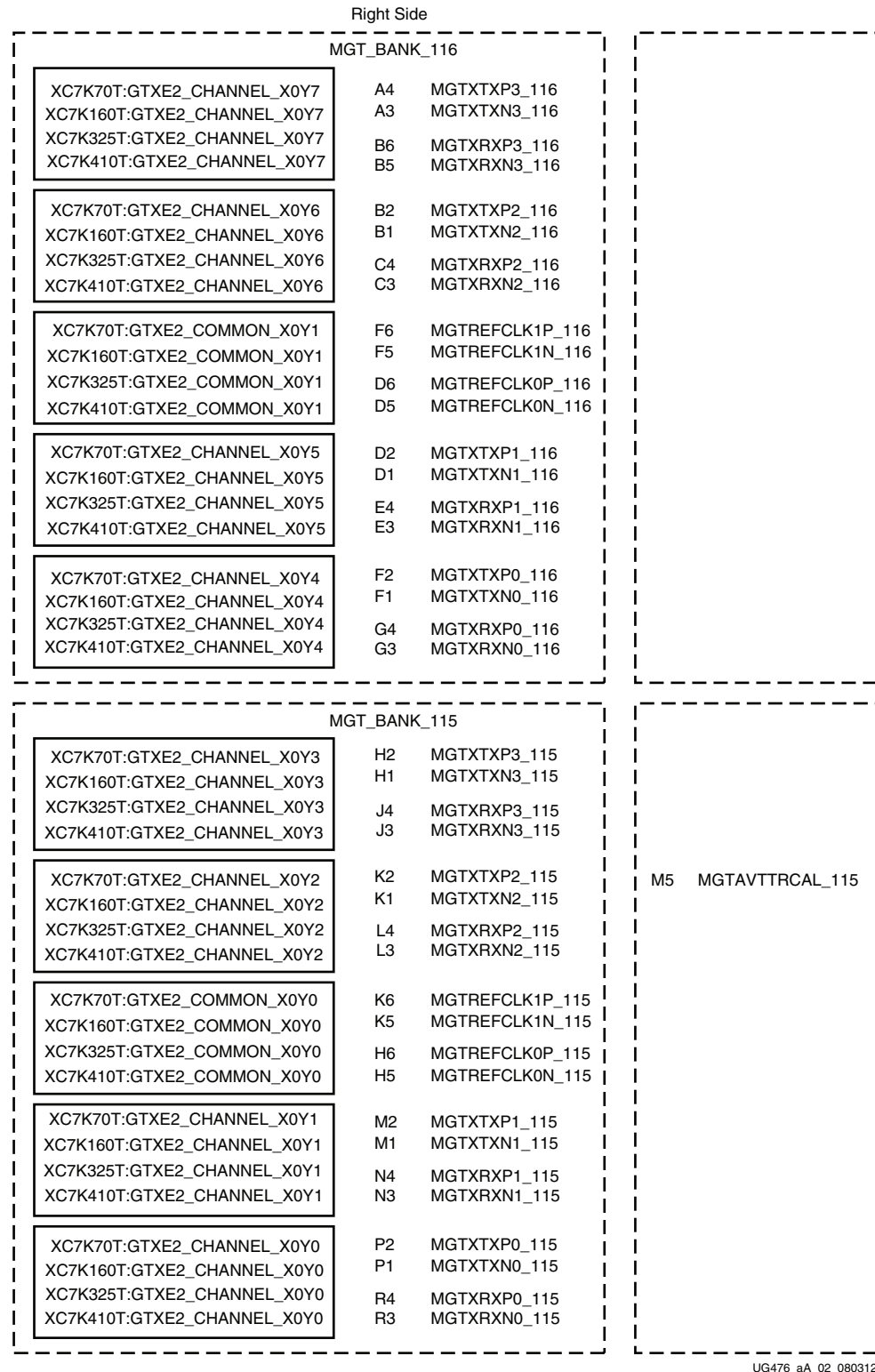
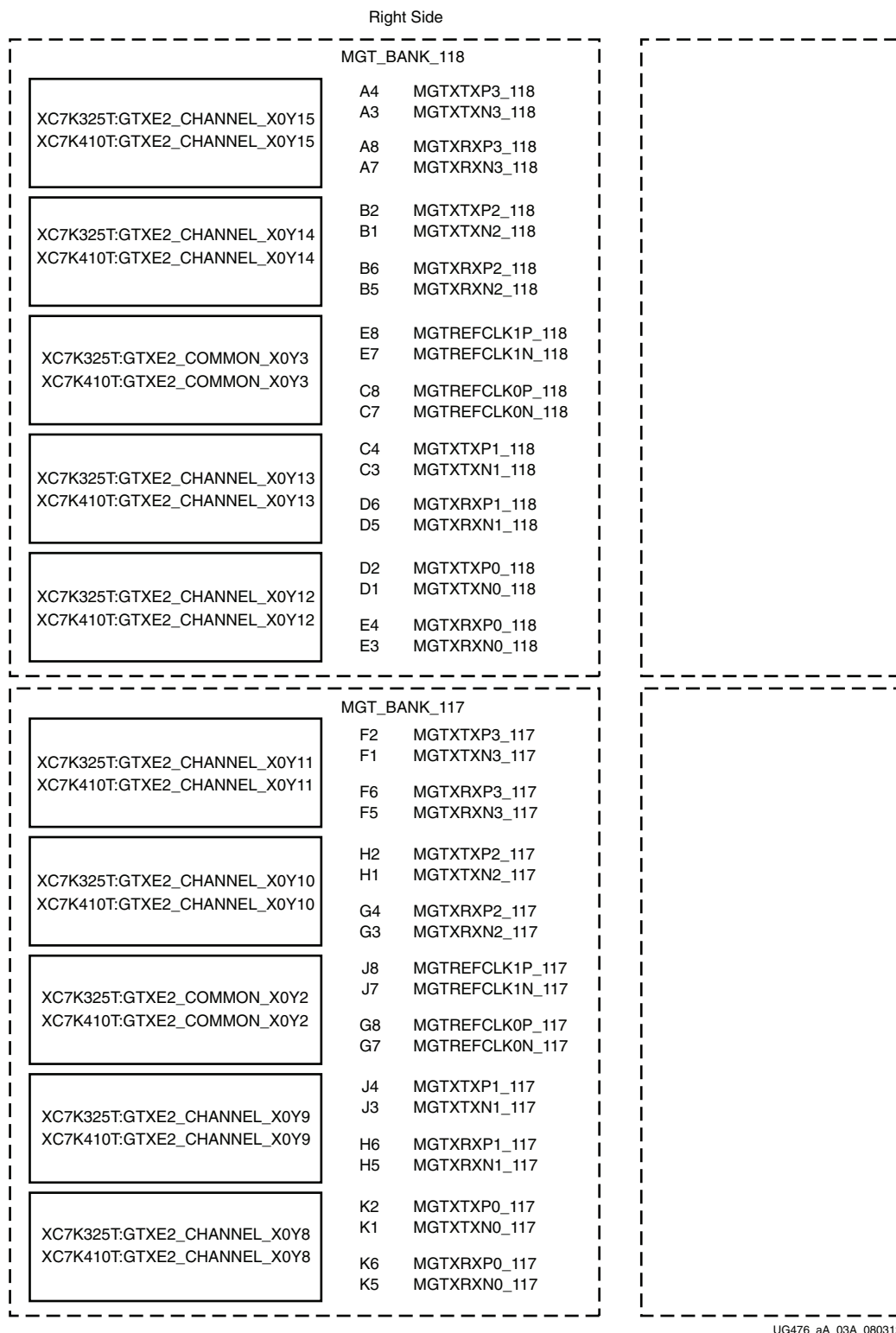


図 A-2 : FBG676 パッケージの配置図

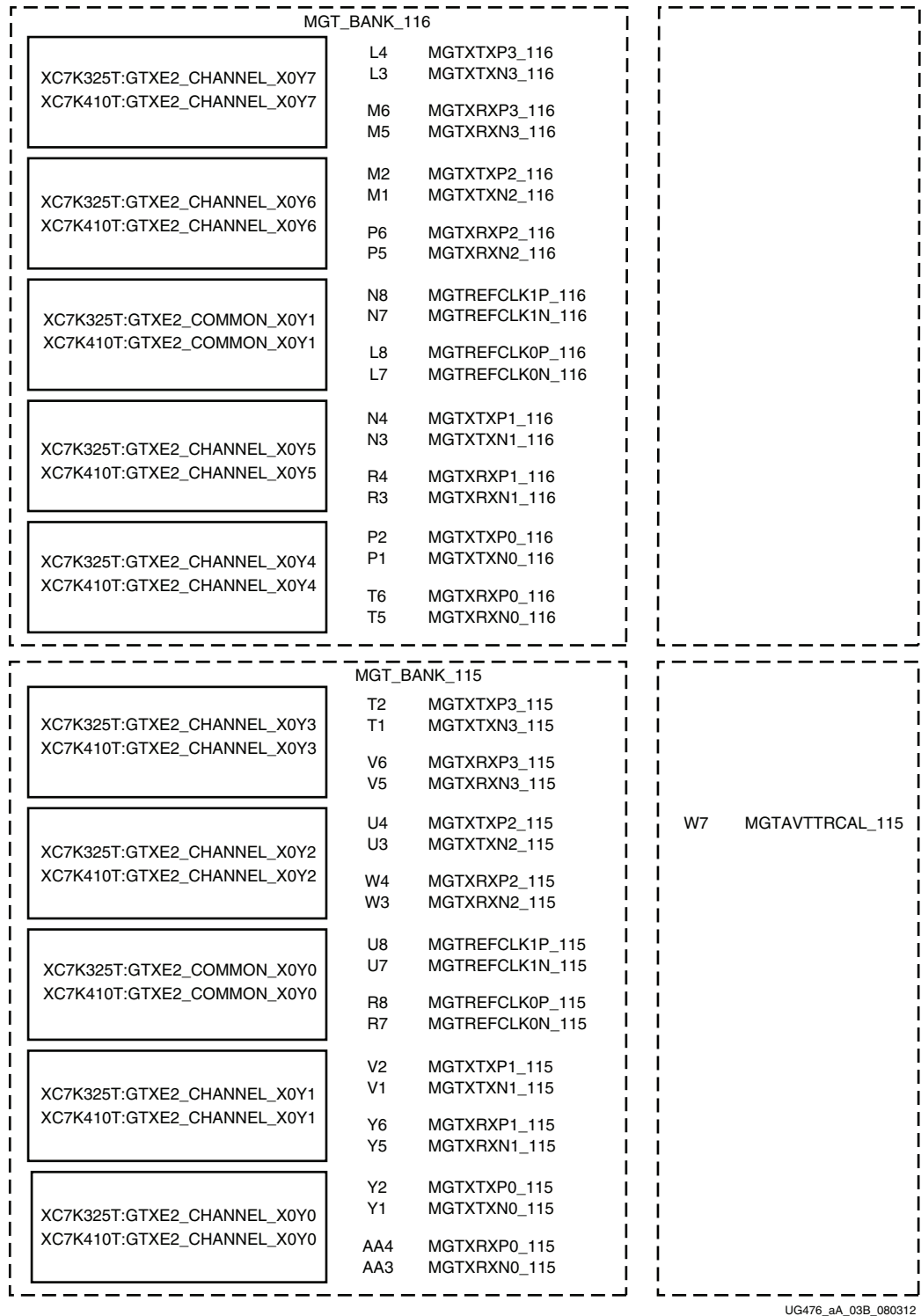
FBG900 パッケージの配置図

図 A-3 および図 A-4 に、FBG900 パッケージの配置図を示します。



UG476_aA_03A_080312

図 A-3 : FBG900 パッケージの配置図 (1/2)



UG476_aA_03B_080312

図 A-4 : FBG900 パッケージの配置図 (2/2)

FFG676 パッケージの配置図

図 A-5 に、FFG676 パッケージの配置図を示します。

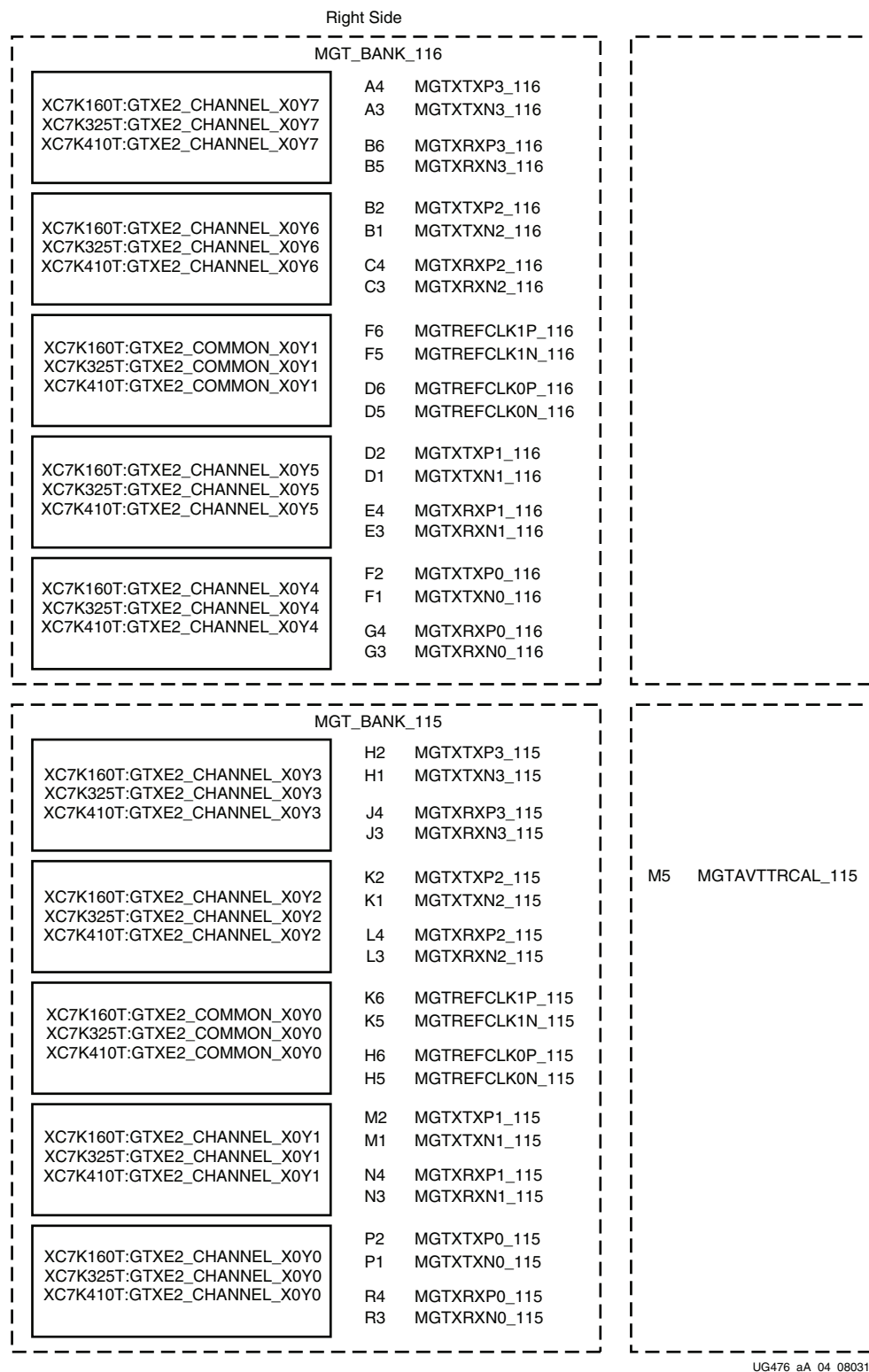


図 A-5 : FFG676 パッケージの配置図

FFG900 パッケージの配置図

図 A-6 および図 A-7 に、FFG900 パッケージの配置図を示します。

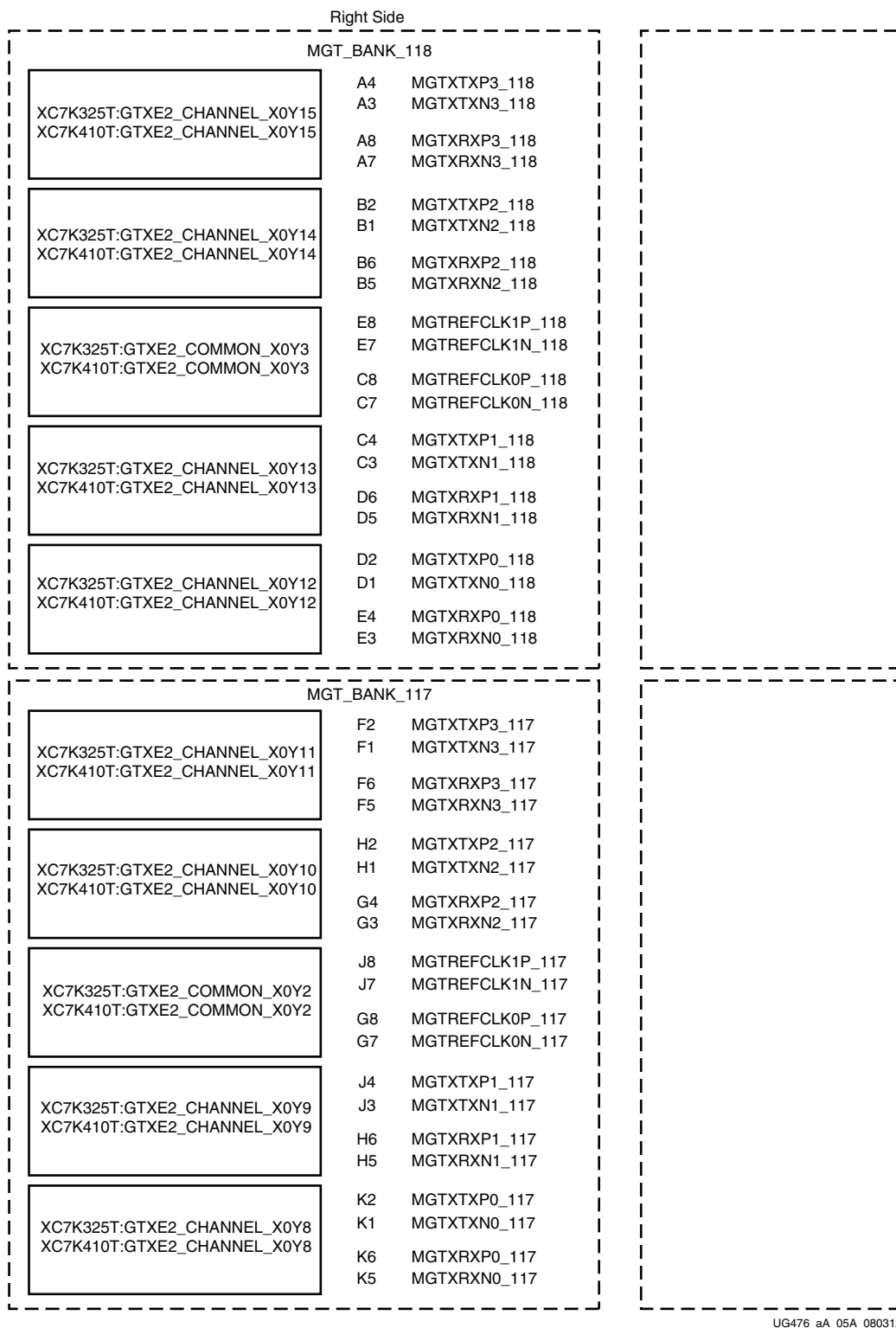
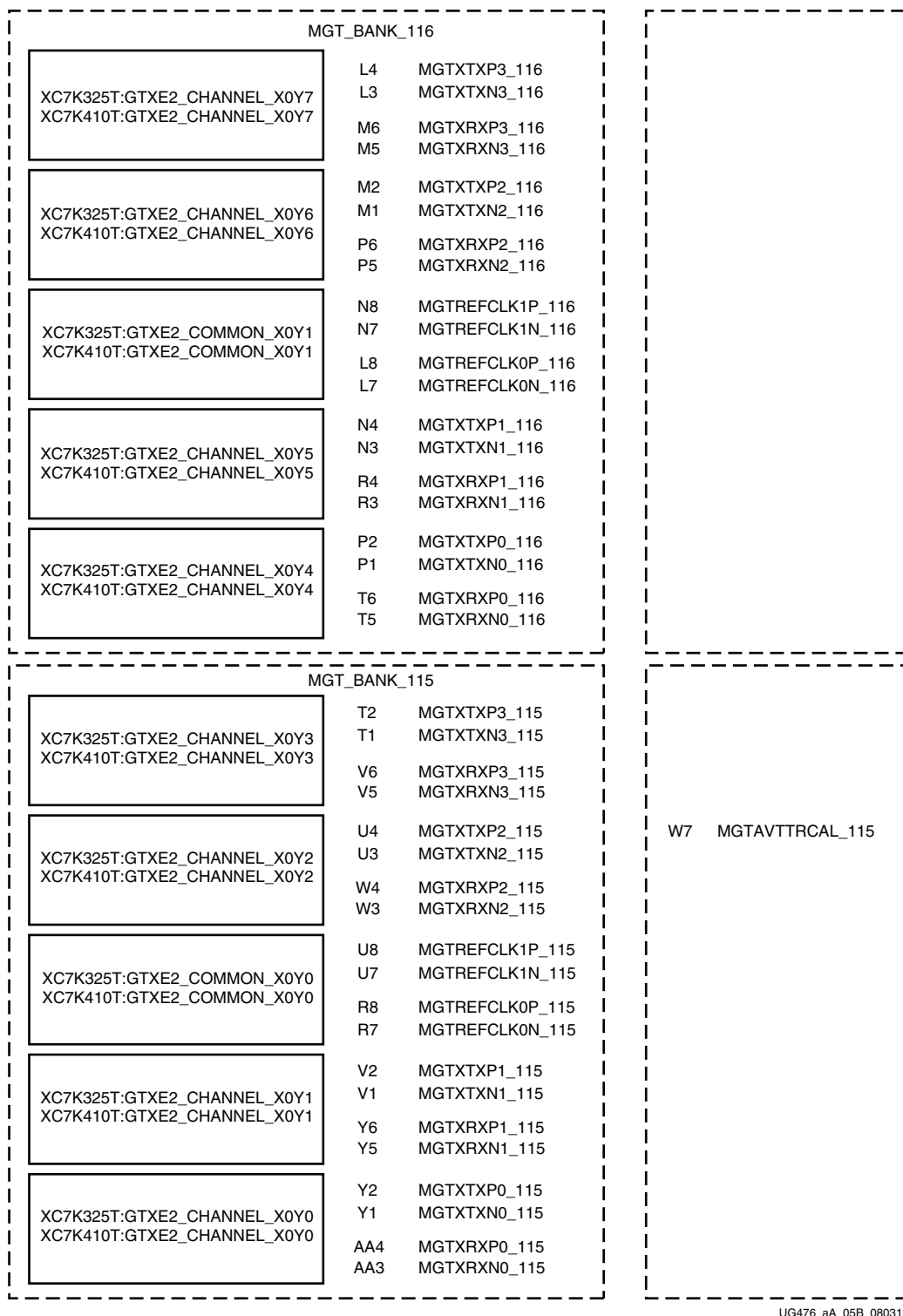


図 A-6 : FFG900 パッケージの配置図 (1/2)



UG476_aA_05B_080312

図 A-7 : FFG900 パッケージの配置図 (2/2)

FFG901 パッケージの配置図

図 A-8 ～ 図 A-11 に、FFG901 パッケージの配置図を示します。

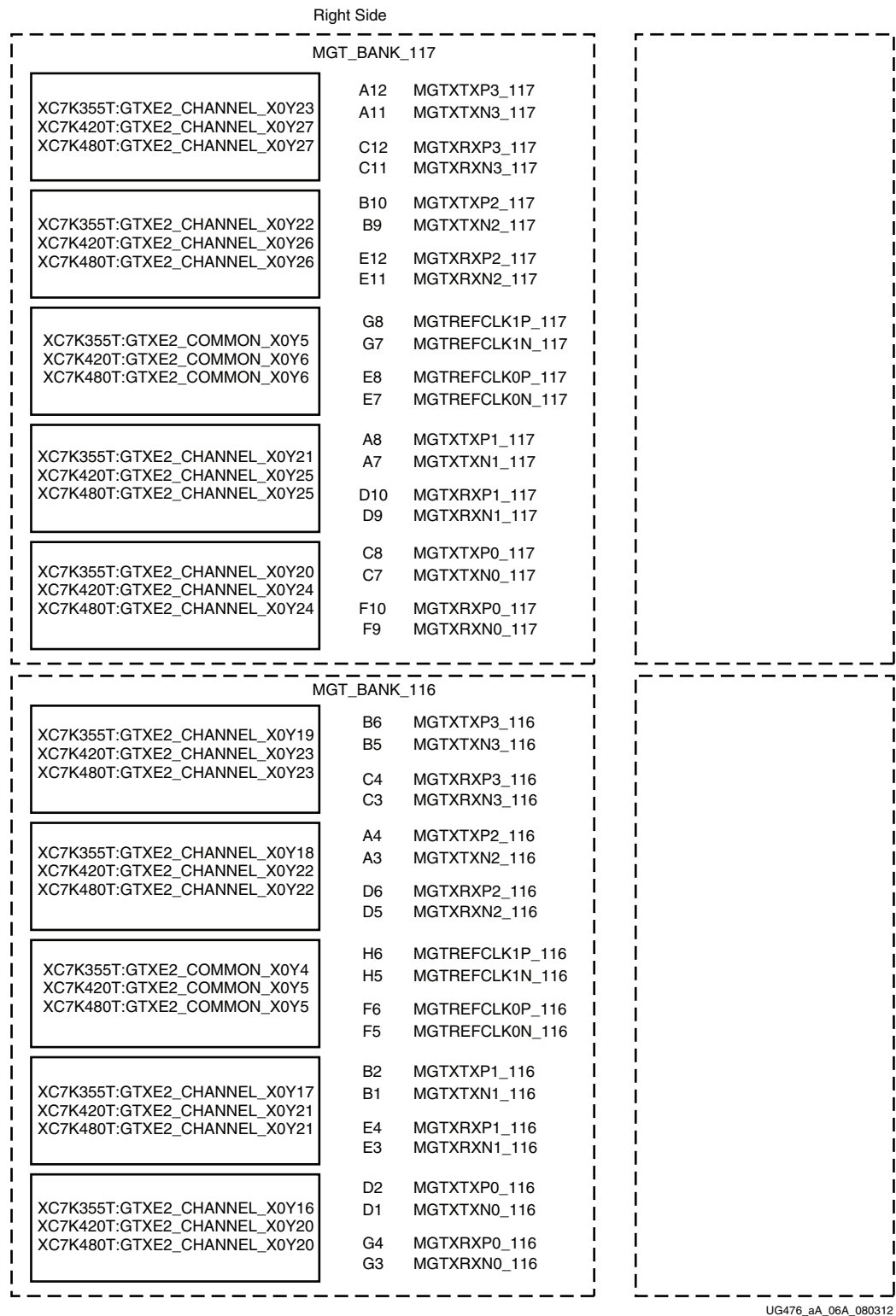
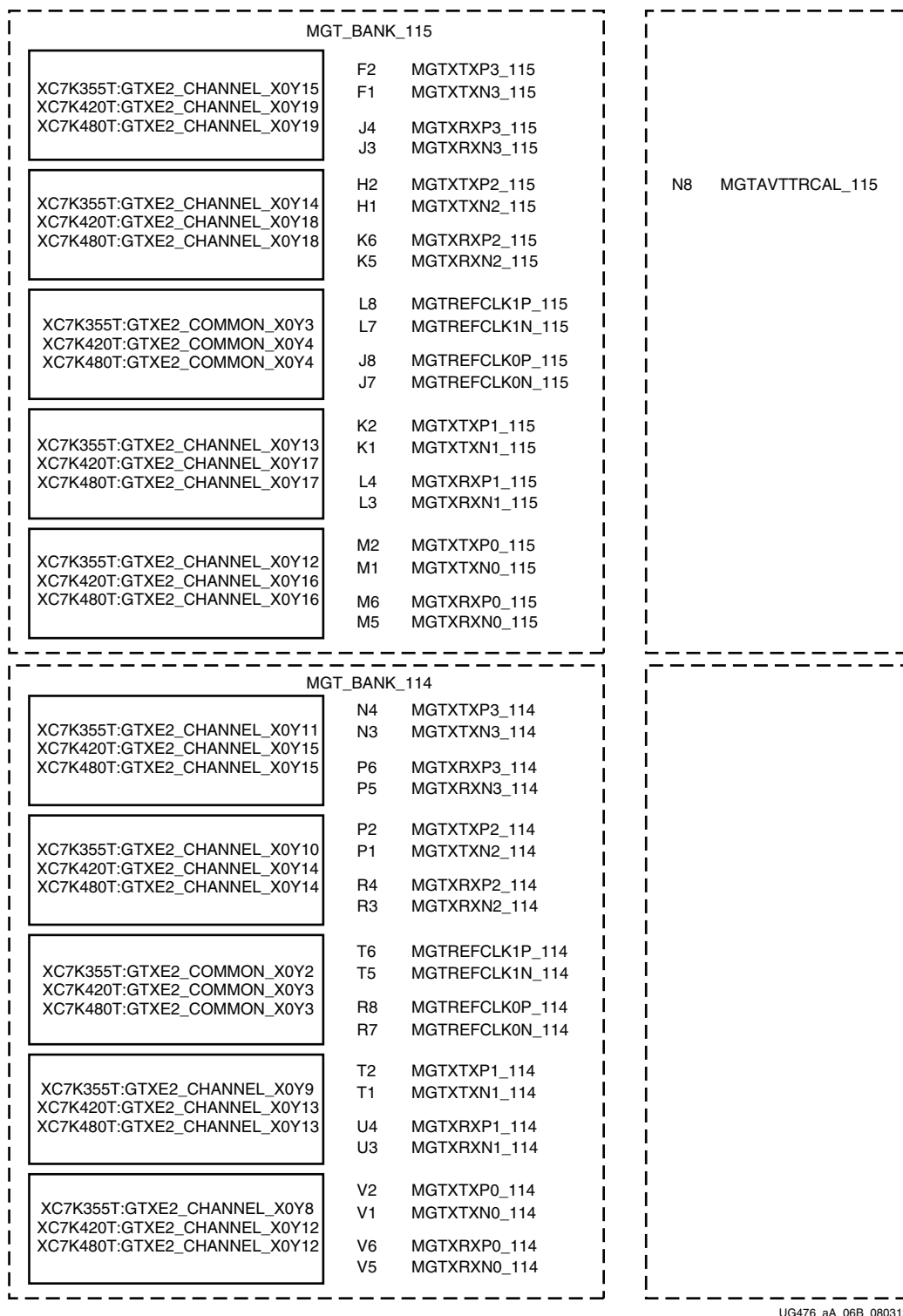


図 A-8 : FFG901 パッケージの配置図 (1/4)



UG476_aA_06B_080312

図 A-9 : FFG901 パッケージの配置図 (2/4)

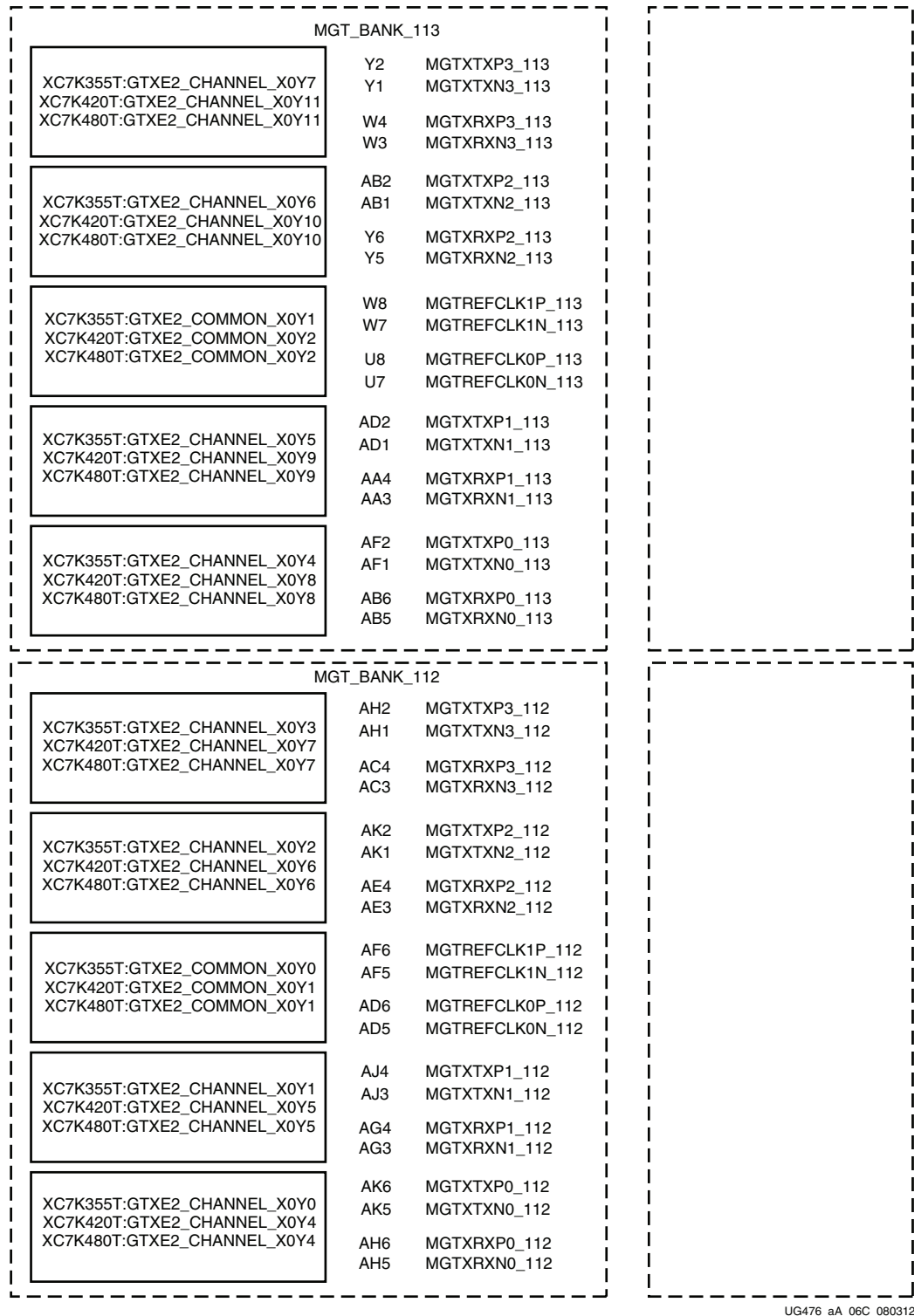
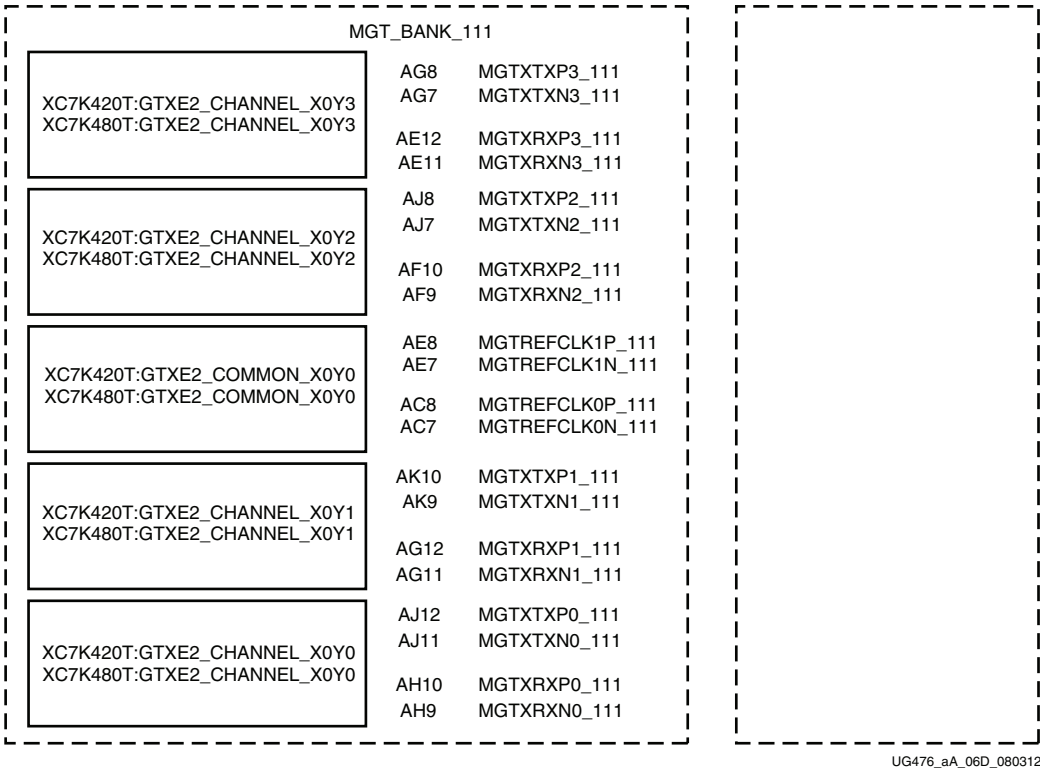


図 A-10 : FFG901 パッケージの配置図 (3/4)



UG476_aA_06D_080312

図 A-11 : FFG901 パッケージの配置図 (4/4)

FFG1156 パッケージの配置図

図 A-12 ~ 図 A-15 に、FFG1156 パッケージの配置図を示します。

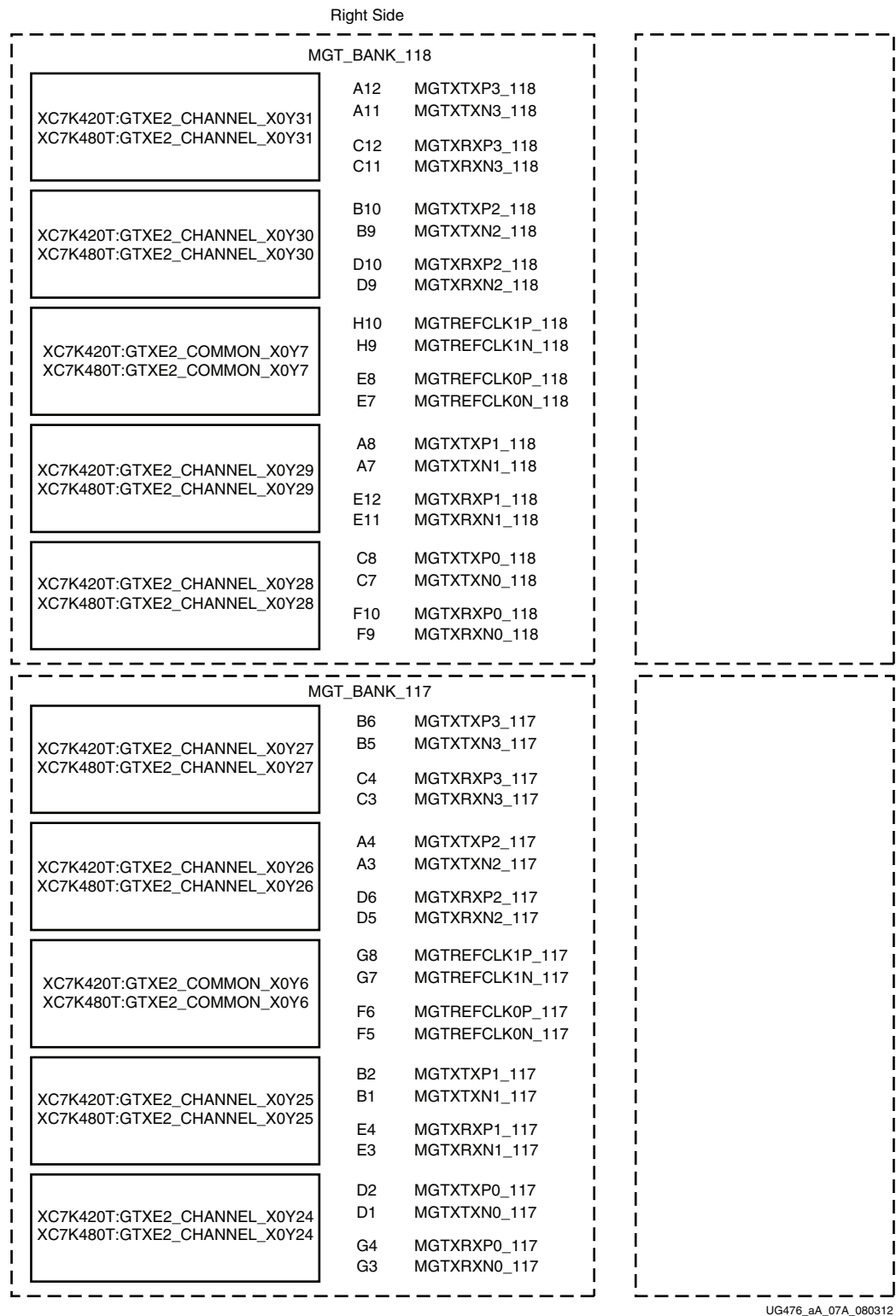
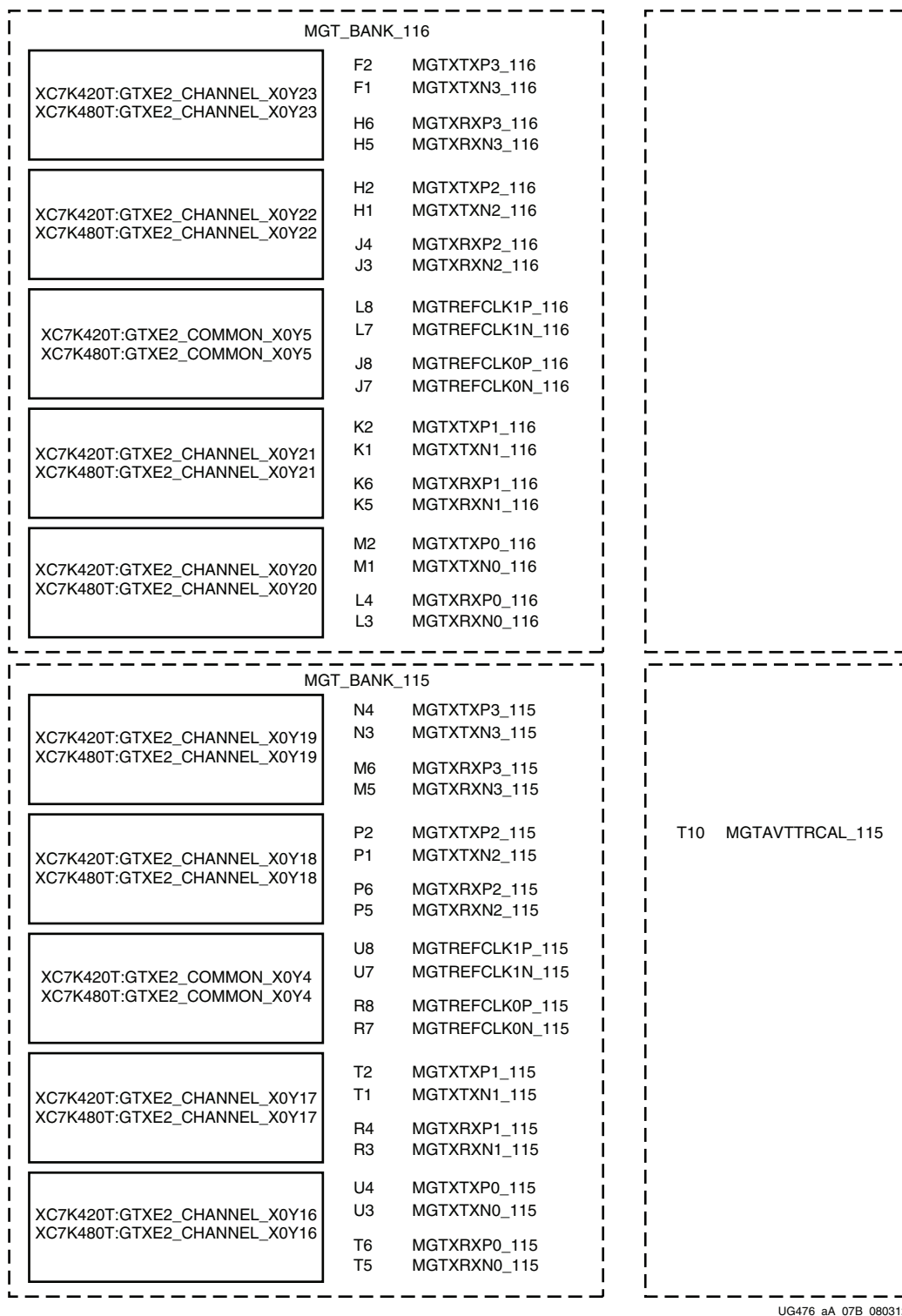
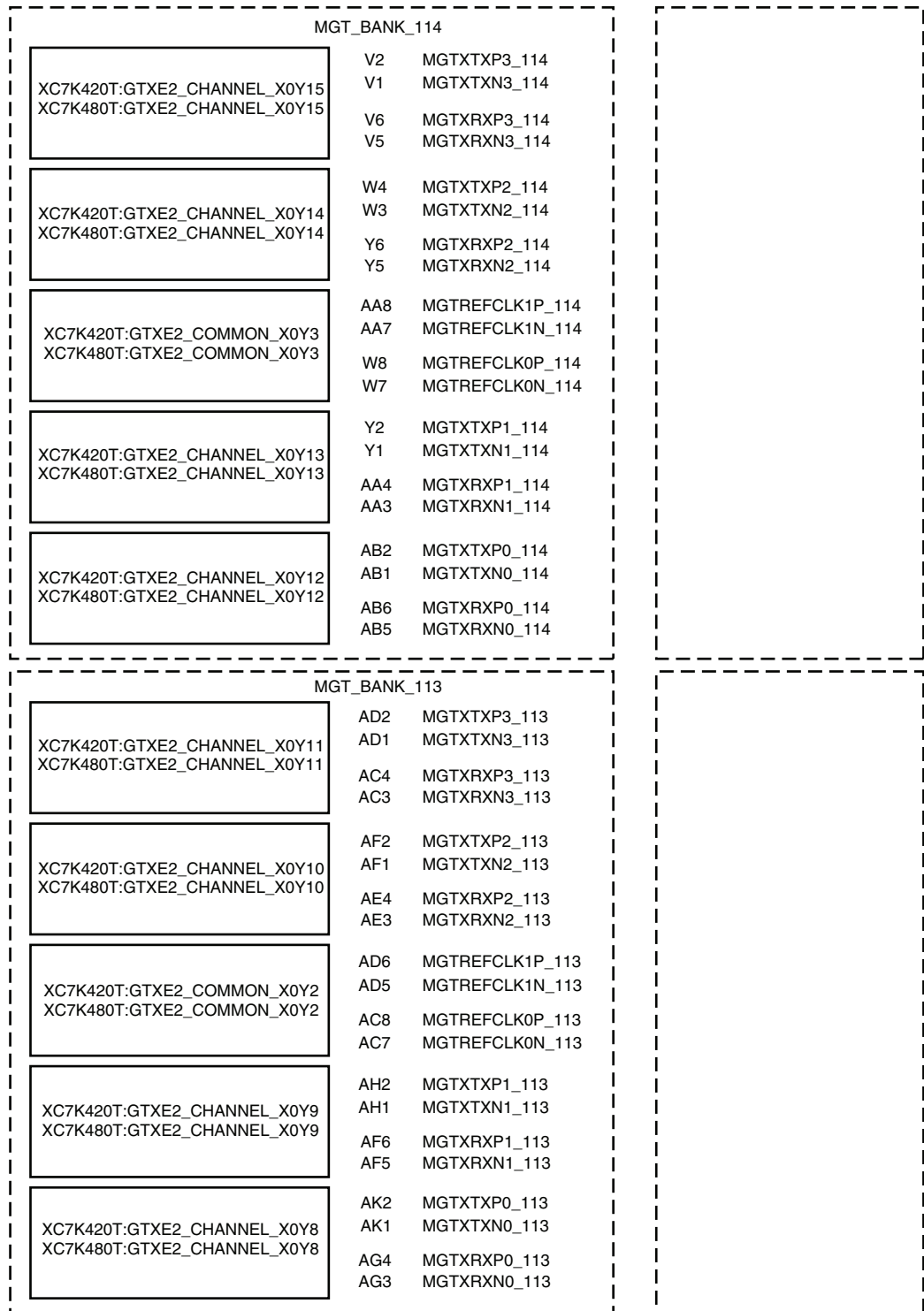


図 A-12 : FFG1156 パッケージの配置図 (1/4)



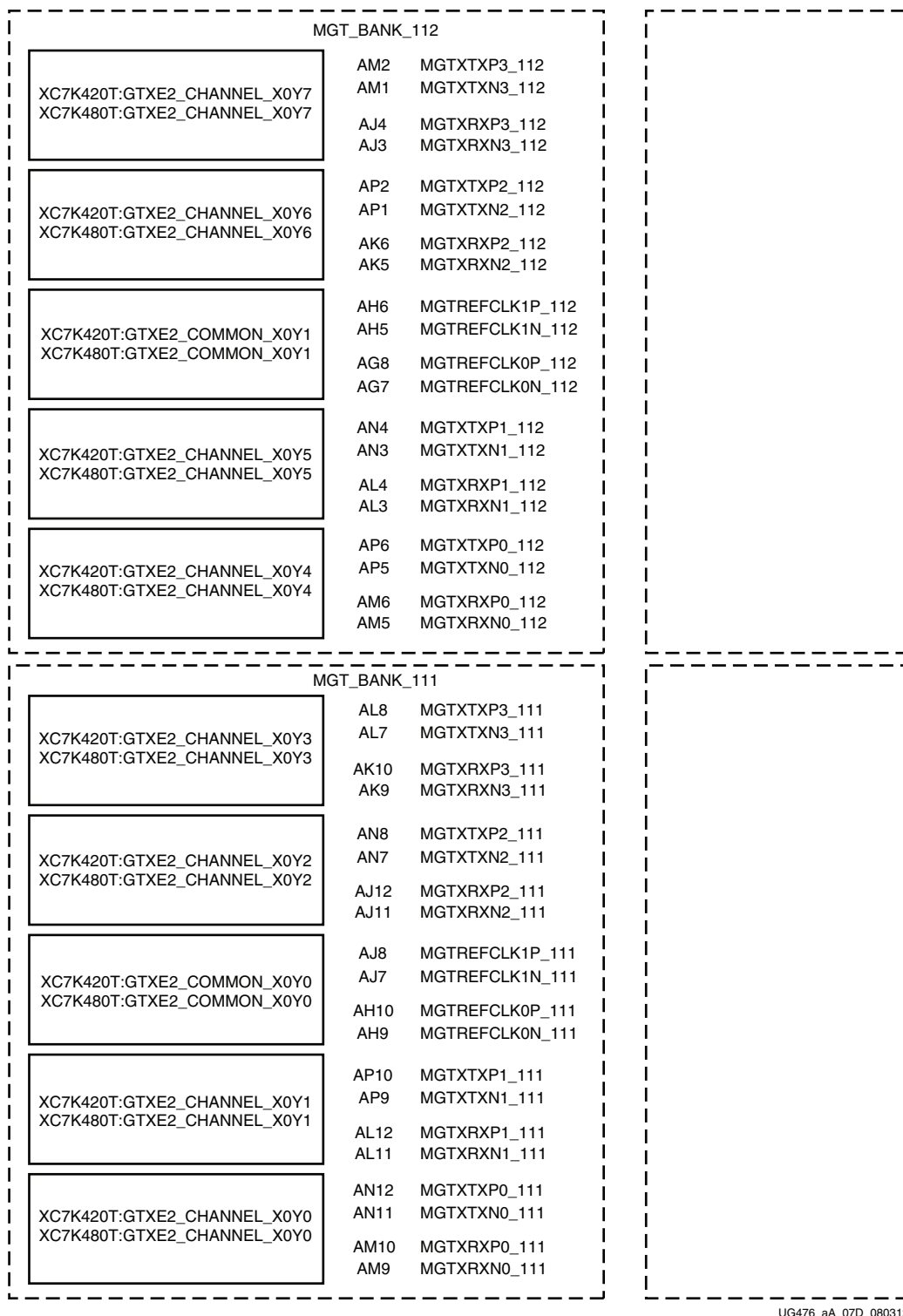
UG476_aA_07B_080312

図 A-13 : FFG1156 パッケージの配置図 (2/4)



UG476_aA_07C_080312

図 A-14 : FFG1156 パッケージの配置図 (3/4)



UG476_aA_07D_080312

図 A-15 : FFG1156 パッケージの配置図 (4/4)

FFG1157 パッケージの配置図

図 A-16 ~ 図 A-18 に、FFG1157 パッケージの配置図を示します。

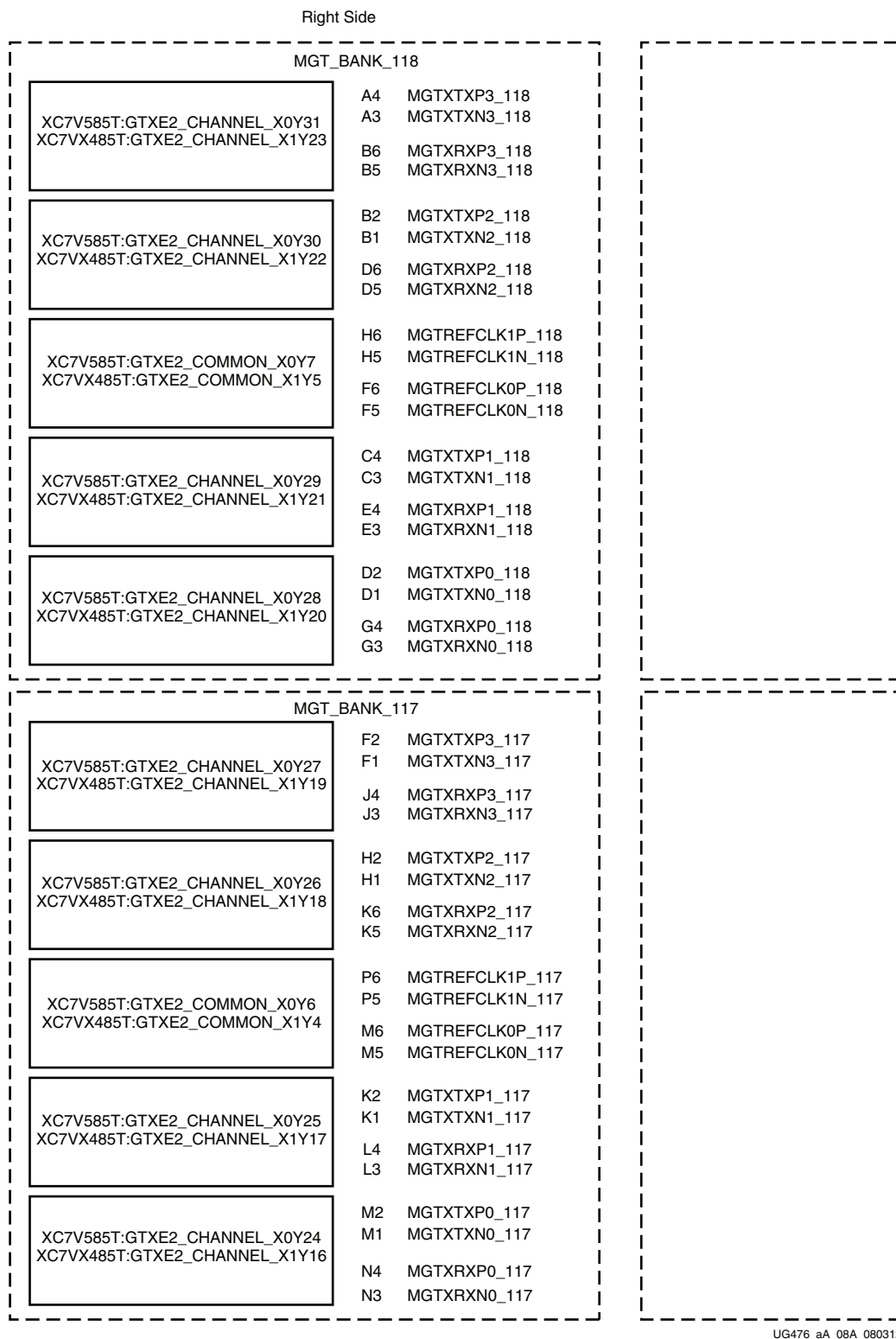
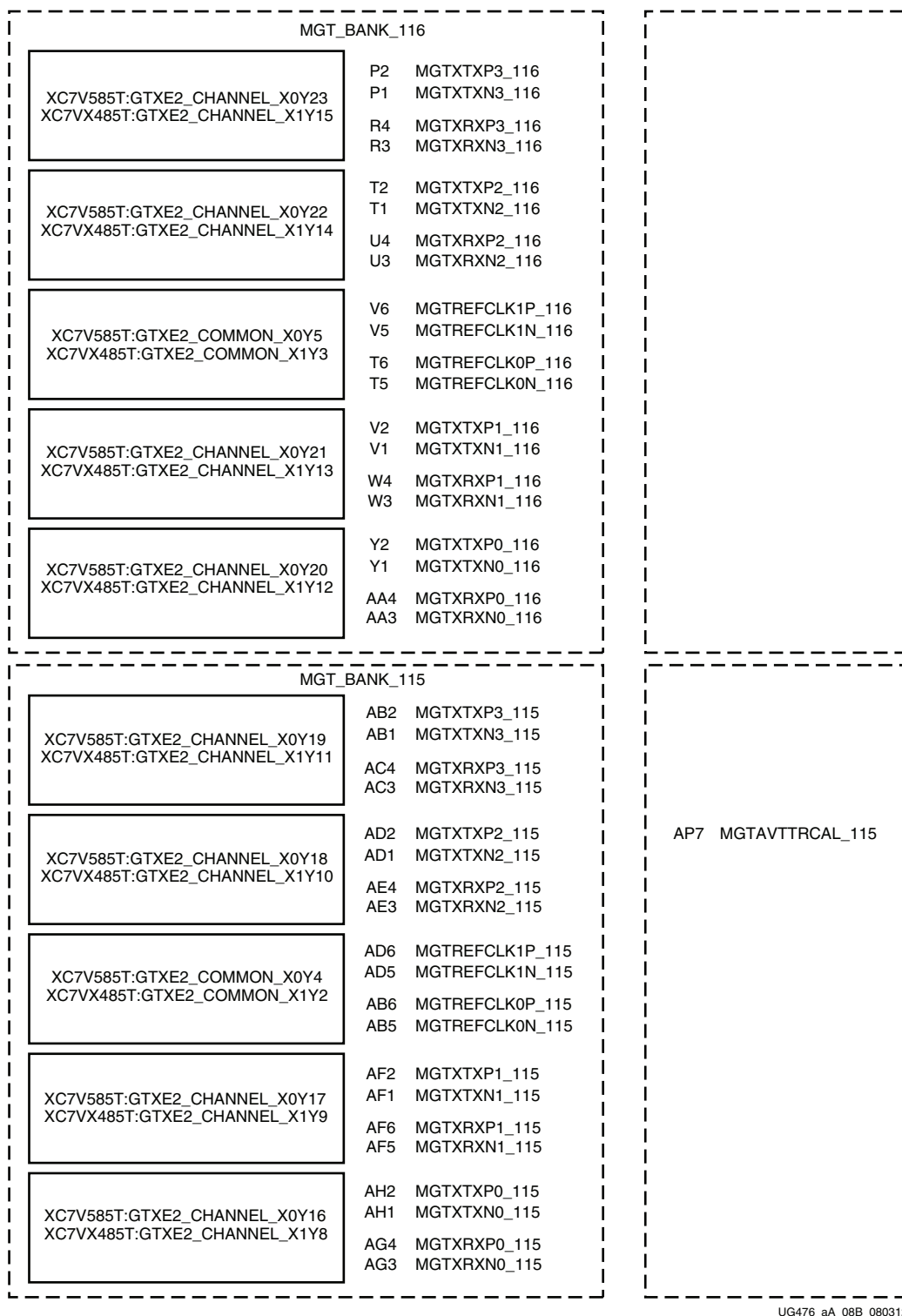


図 A-16 : FFG1157 パッケージの配置図 (1/3)



UG476_aA_08B_080312

図 A-17 : FFG1157 パッケージの配置図 (2/3)

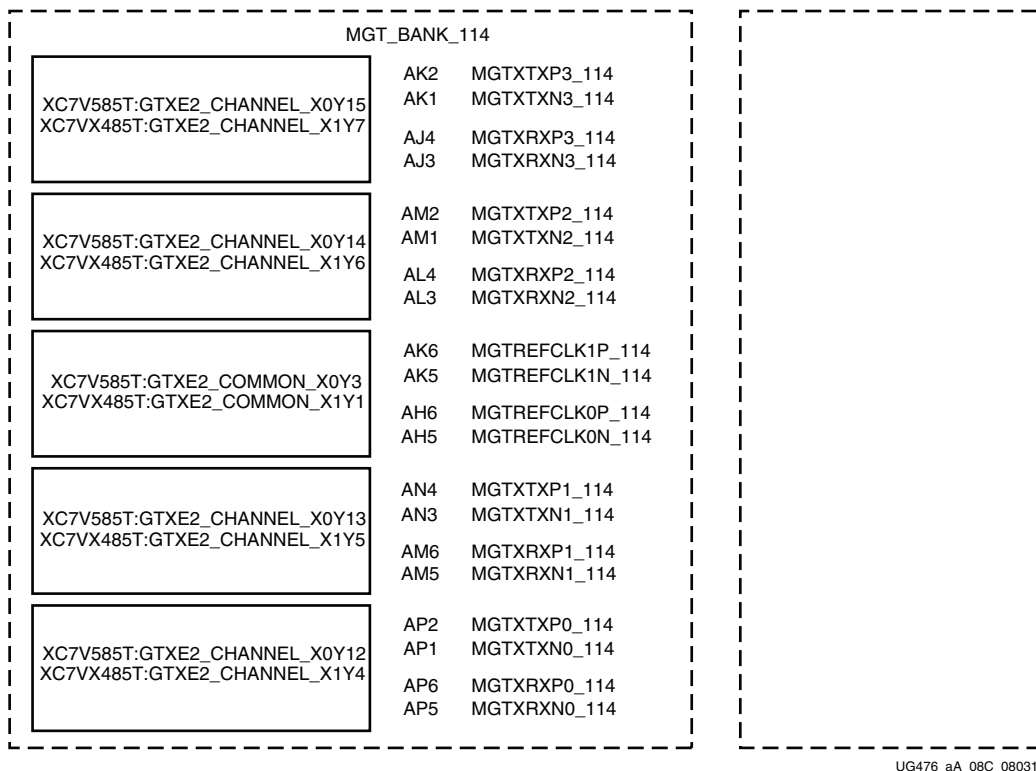


図 A-18 : FFG1157 パッケージの配置図 (3/3)

FFG1158 パッケージの配置図

図 A-19 ~ 図 A-24 に、FFG1158 パッケージの配置図を示します。

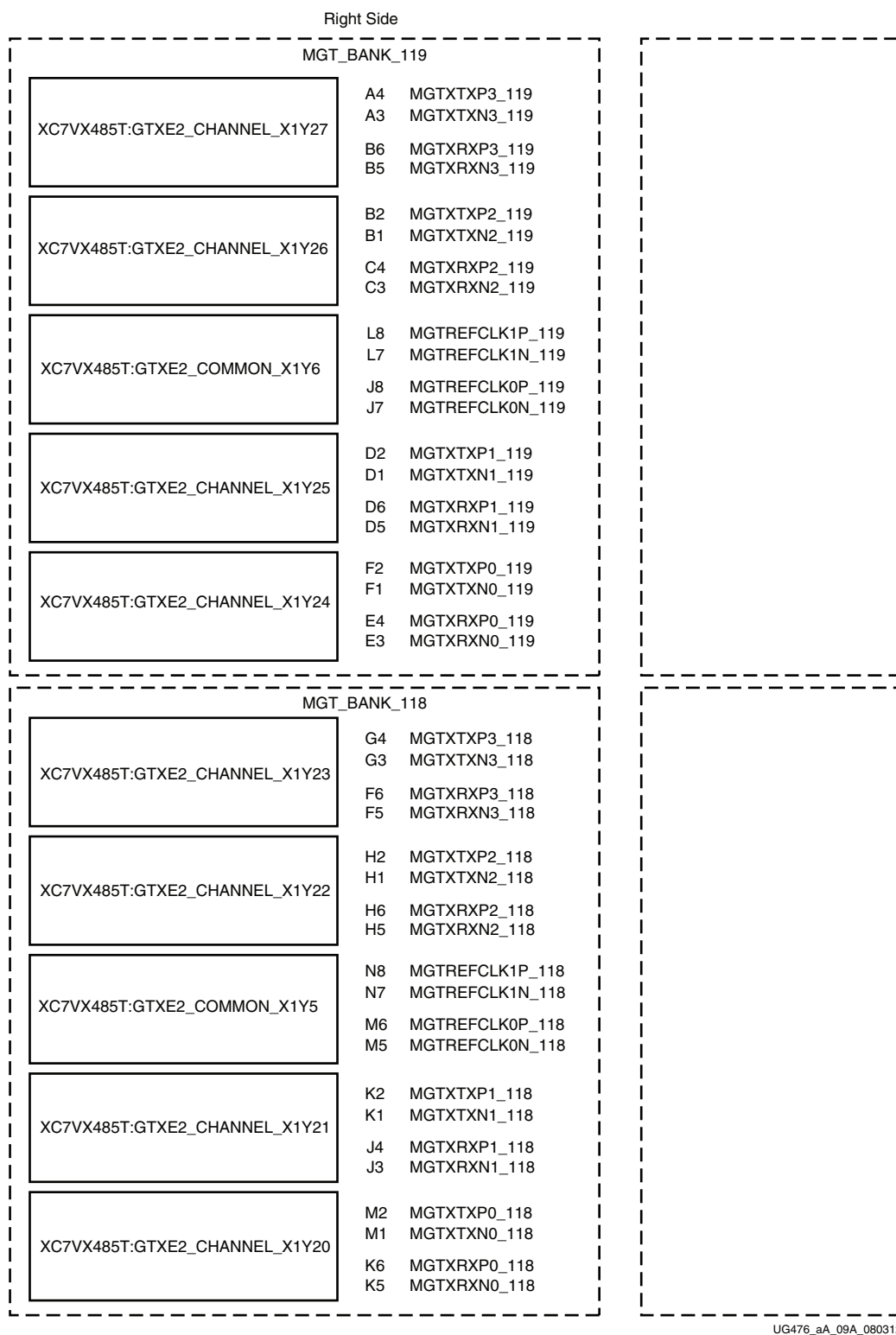
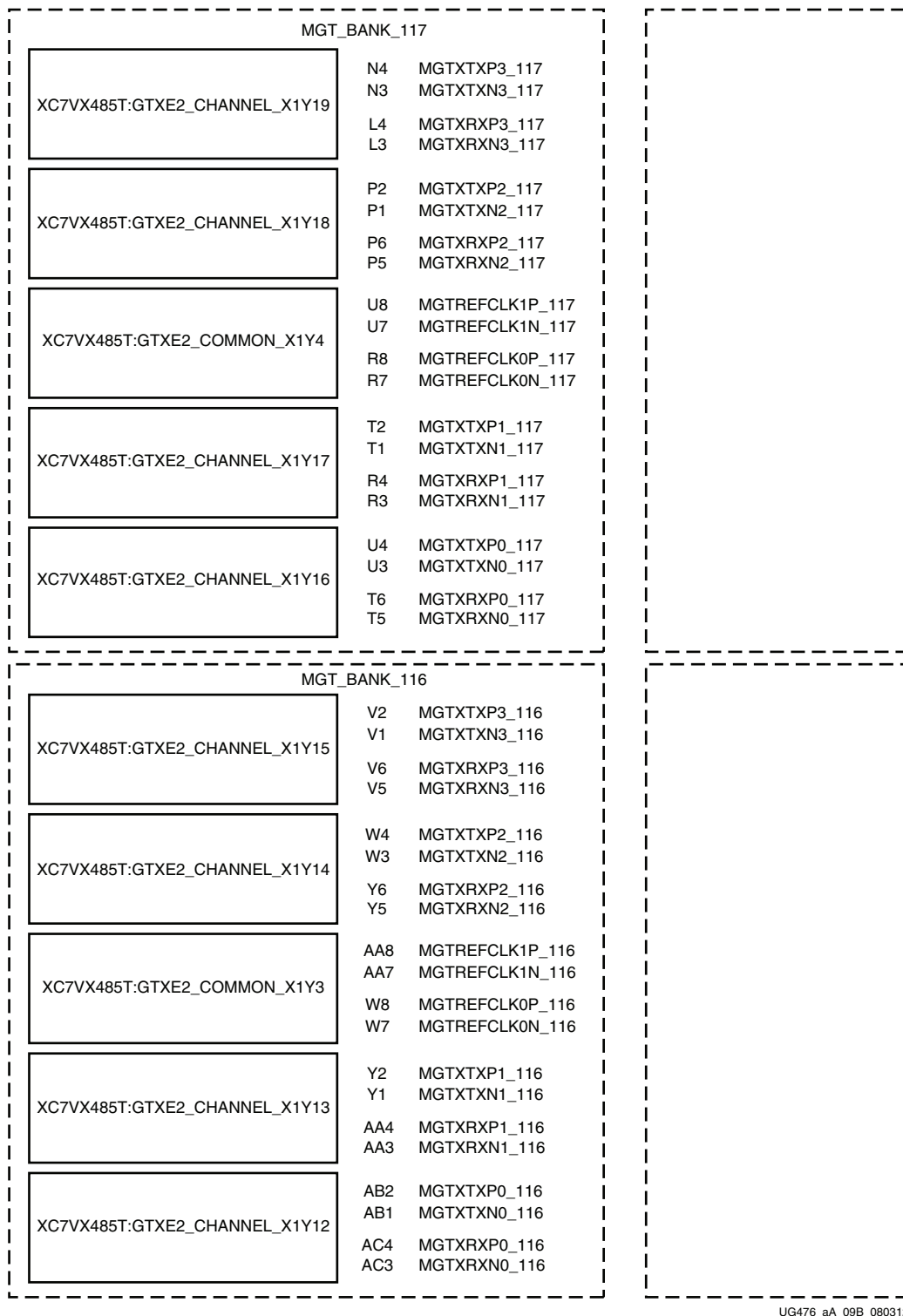
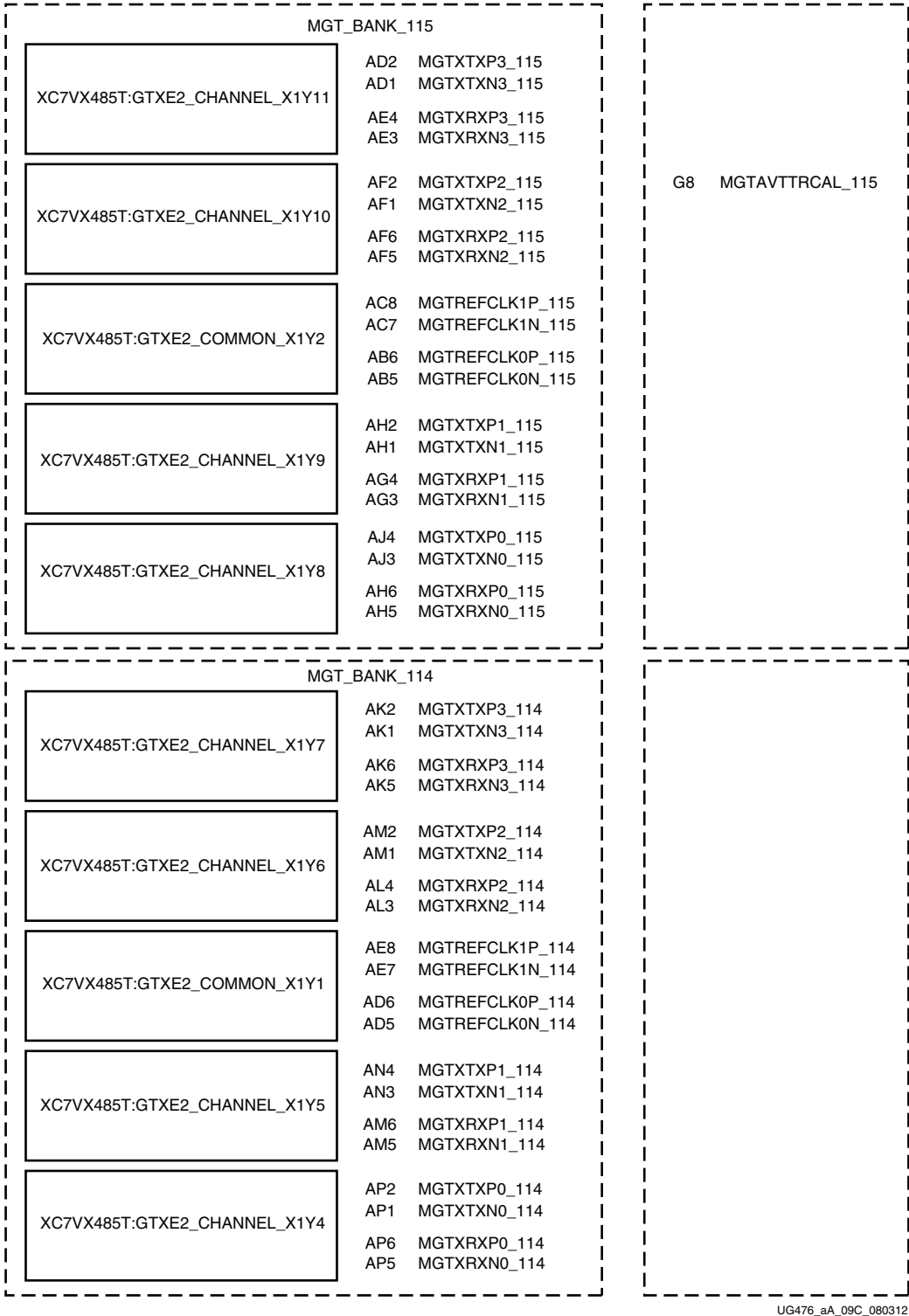


図 A-19 : FFG1158 パッケージの配置図 (1/6)



UG476_aA_09B_080312

図 A-20 : FFG1158 パッケージの配置図 (2/6)



UG476_aA_09C_080312

図 A-21 : FFG1158 パッケージの配置図 (3/6)

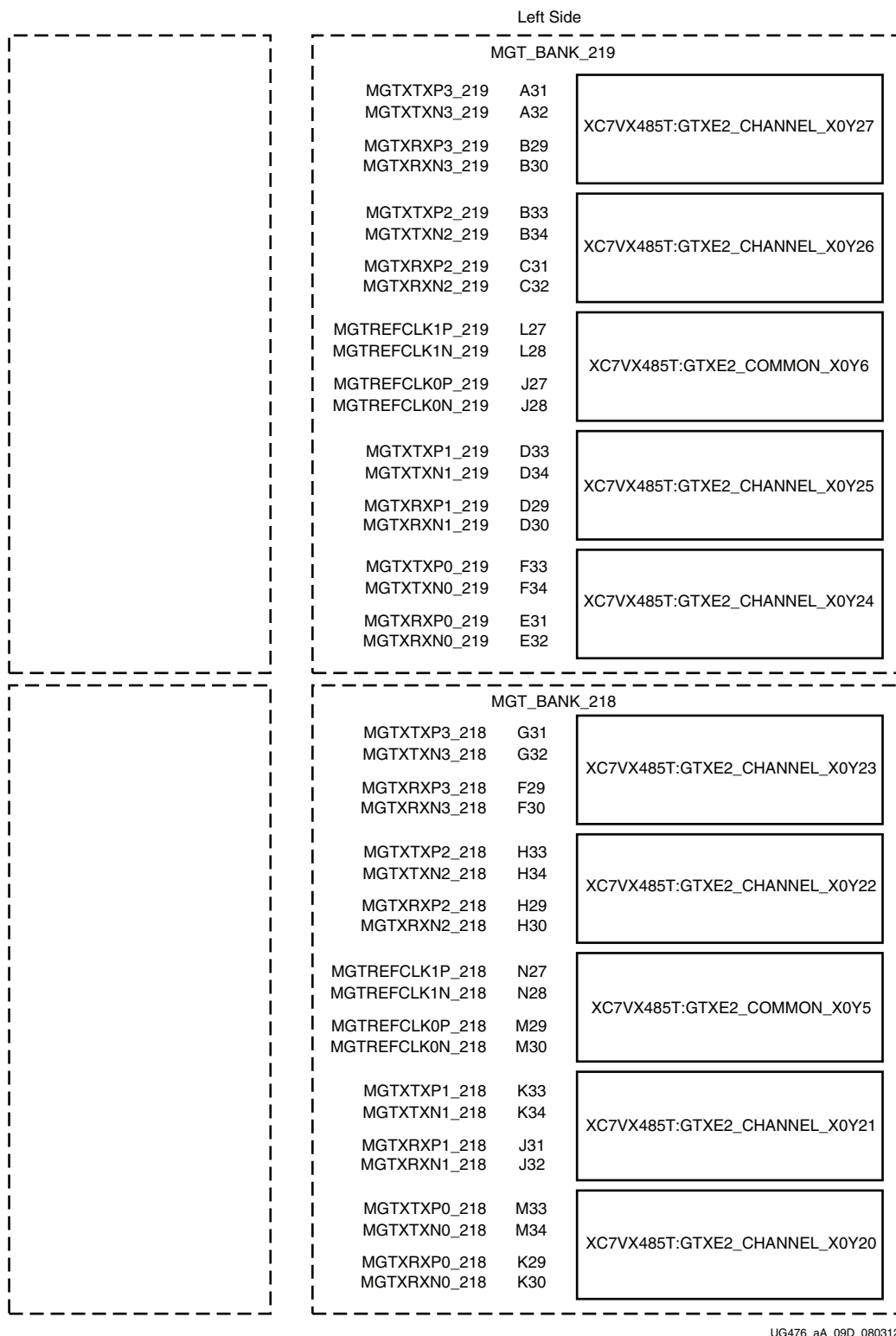
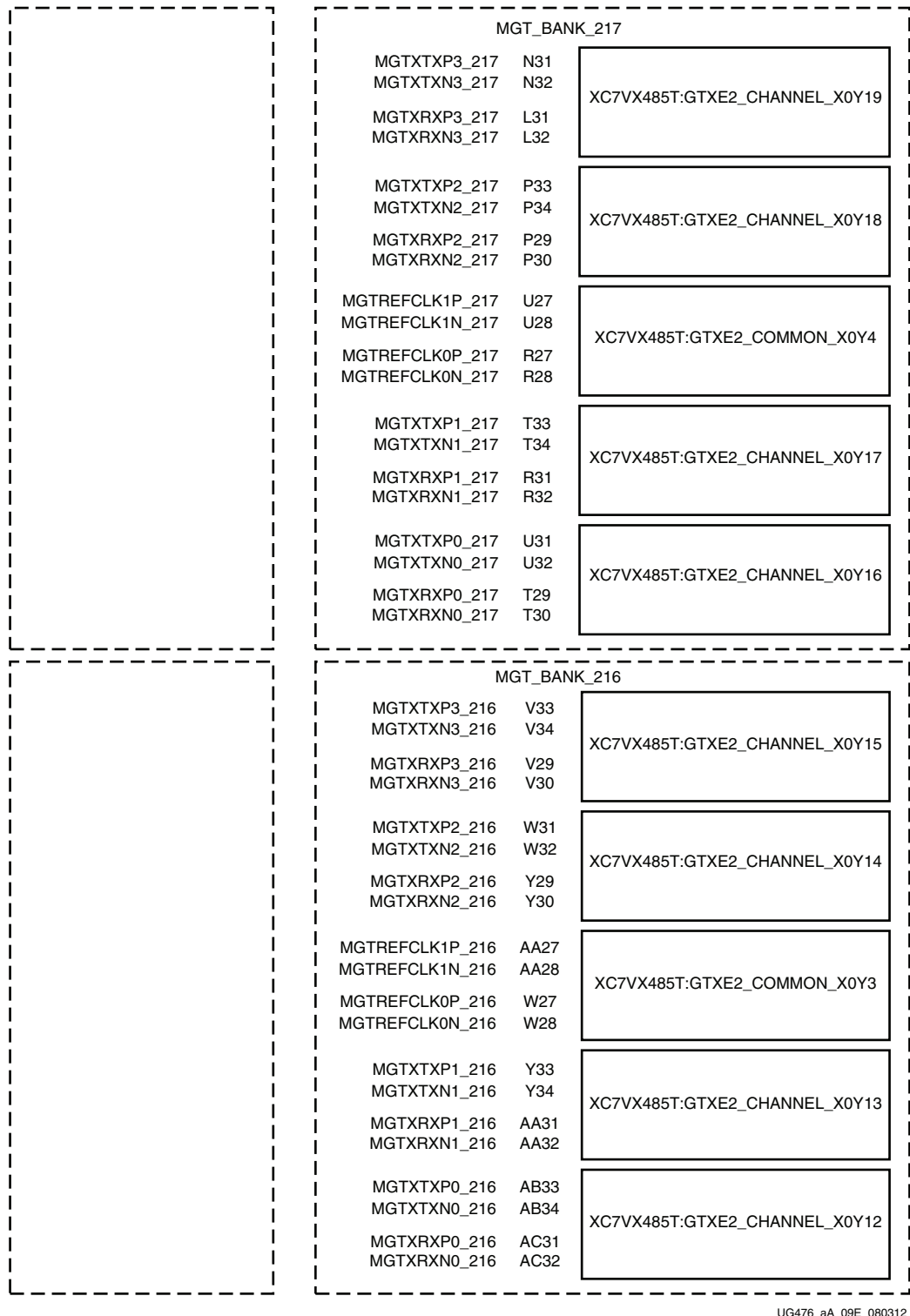


図 A-22 : FFG1158 パッケージの配置図 (4/6)



UG476_aA_09E_080312

図 A-23 : FFG1158 パッケージの配置図 (5/6)

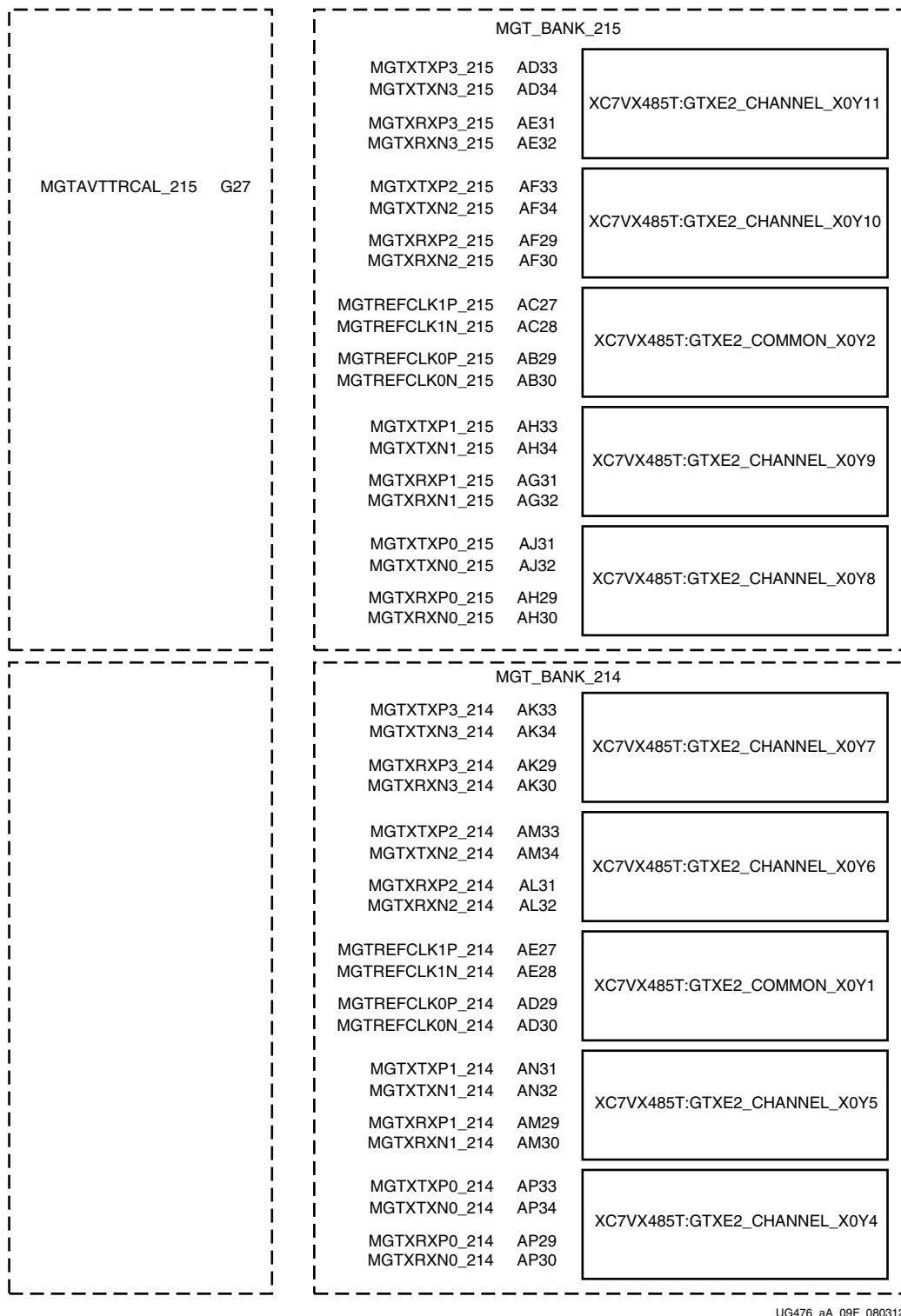


図 A-24 : FFG1158 パッケージの配置図 (6/6)

FFG1761 パッケージの配置図

図 A-25 ~ 図 A-29 に、FFG1761 パッケージの配置図を示します。

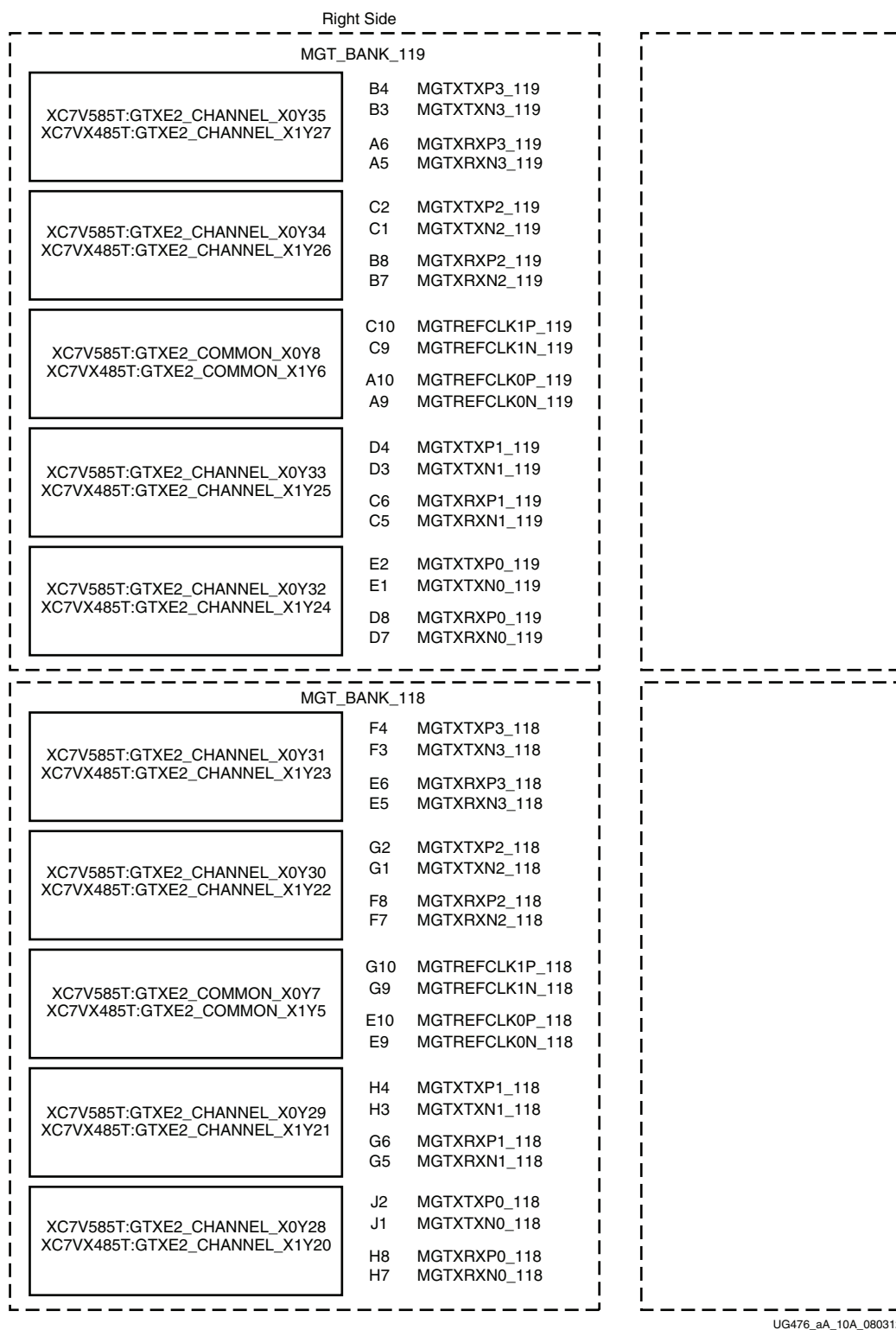
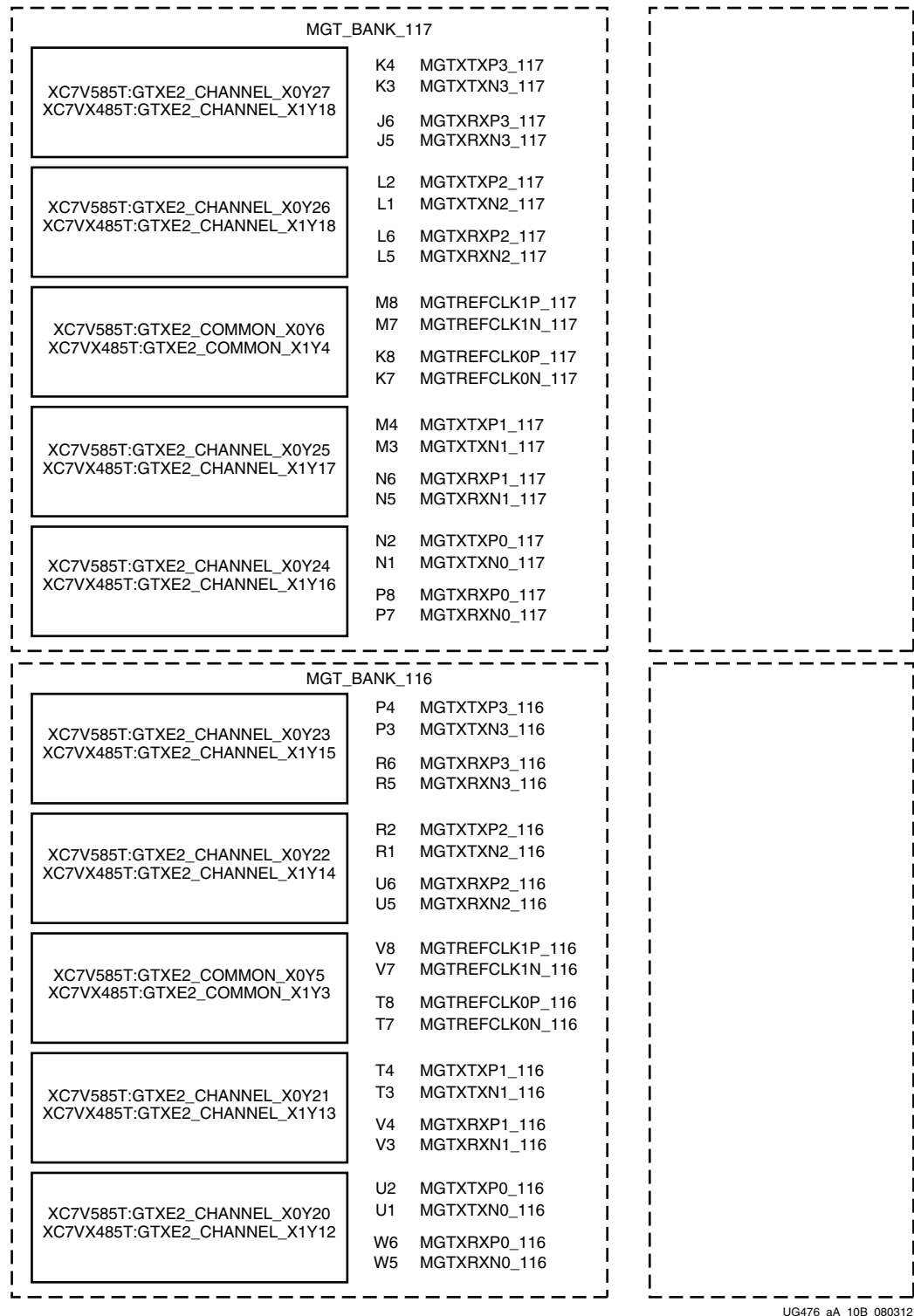
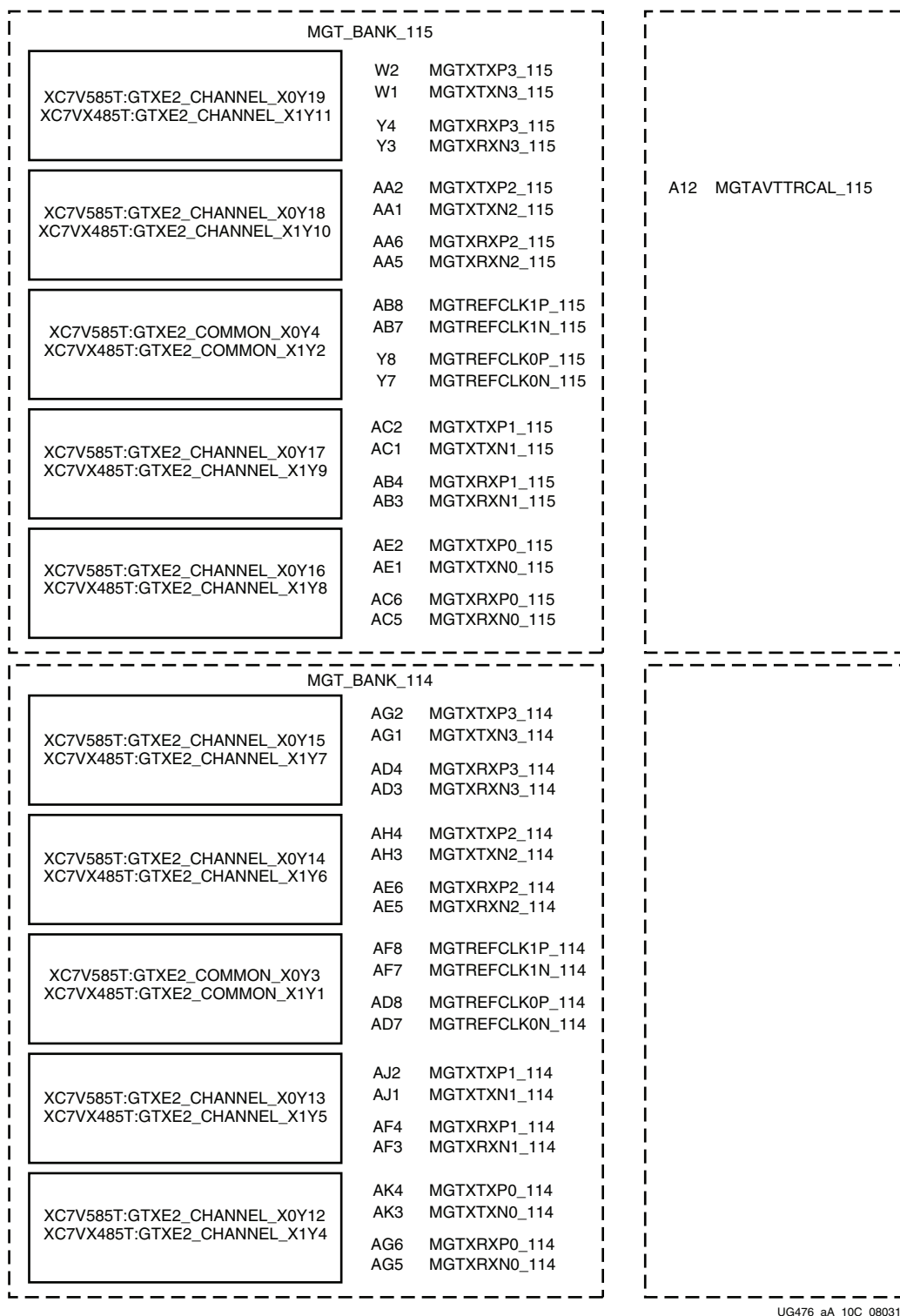


図 A-25 : FFG1761 パッケージの配置図 (1/5)



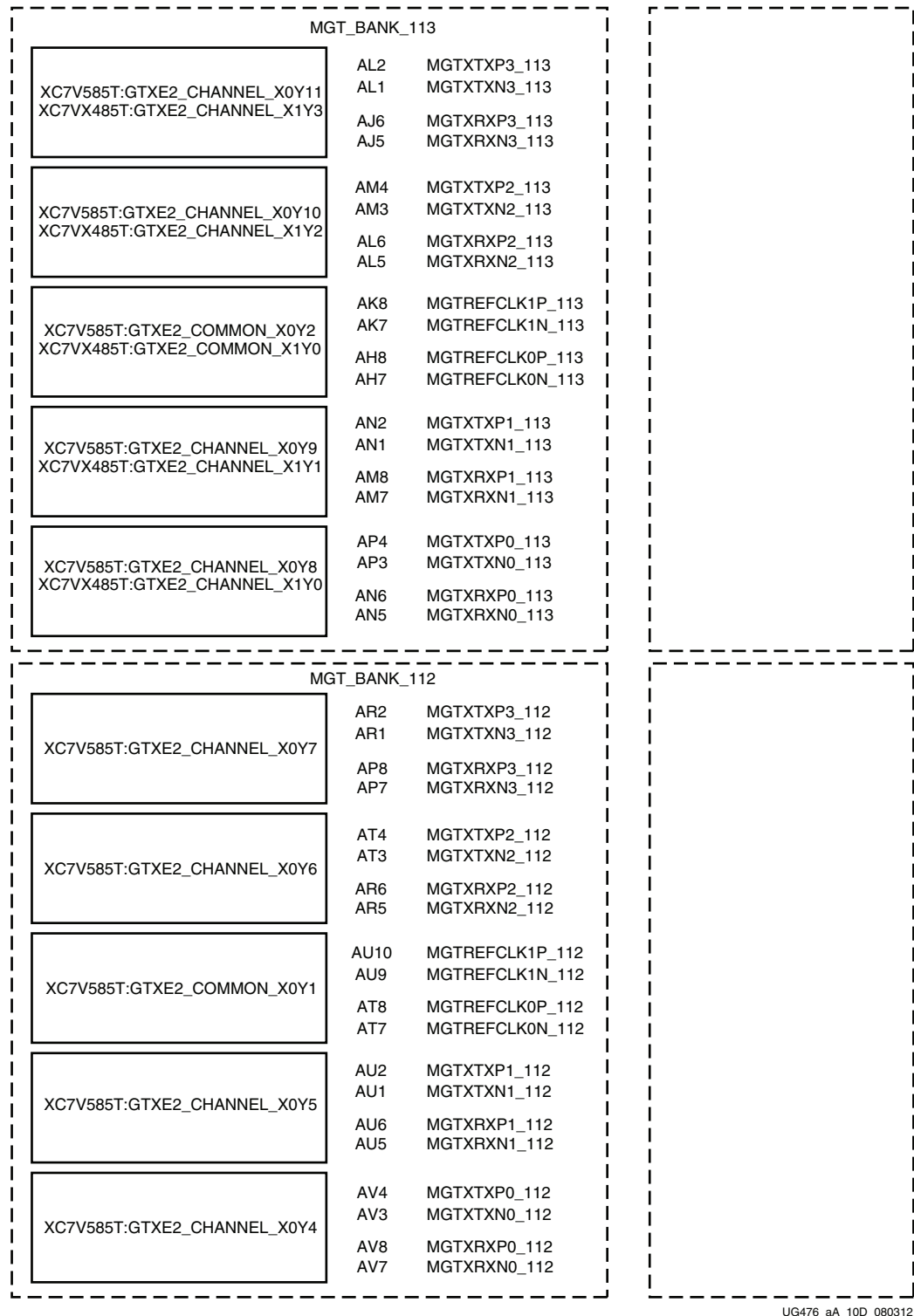
UG476_aA_10B_080312

図 A-26 : FFG1761 パッケージの配置図 (2/5)



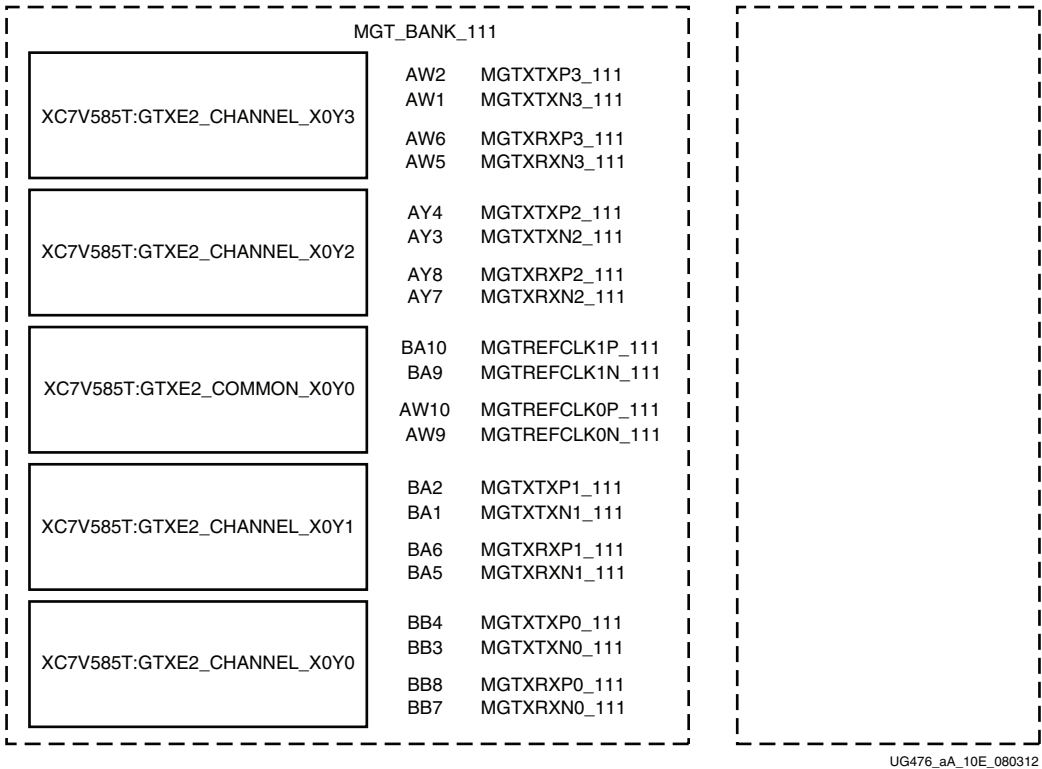
UG476_aA_10C_080312

図 A-27 : FFG1761 パッケージの配置図 (3/5)



UG476_aA_10D_080312

図 A-28 : FFG1761 パッケージの配置図 (4/5)



UG476_aA_10E_080312

図 A-29 : FFG1761 パッケージの配置図 (5/5)

FFG1927 パッケージの配置図

図 A-30 ~ 図 A-37 に、FFG1927 パッケージの配置図を示します。

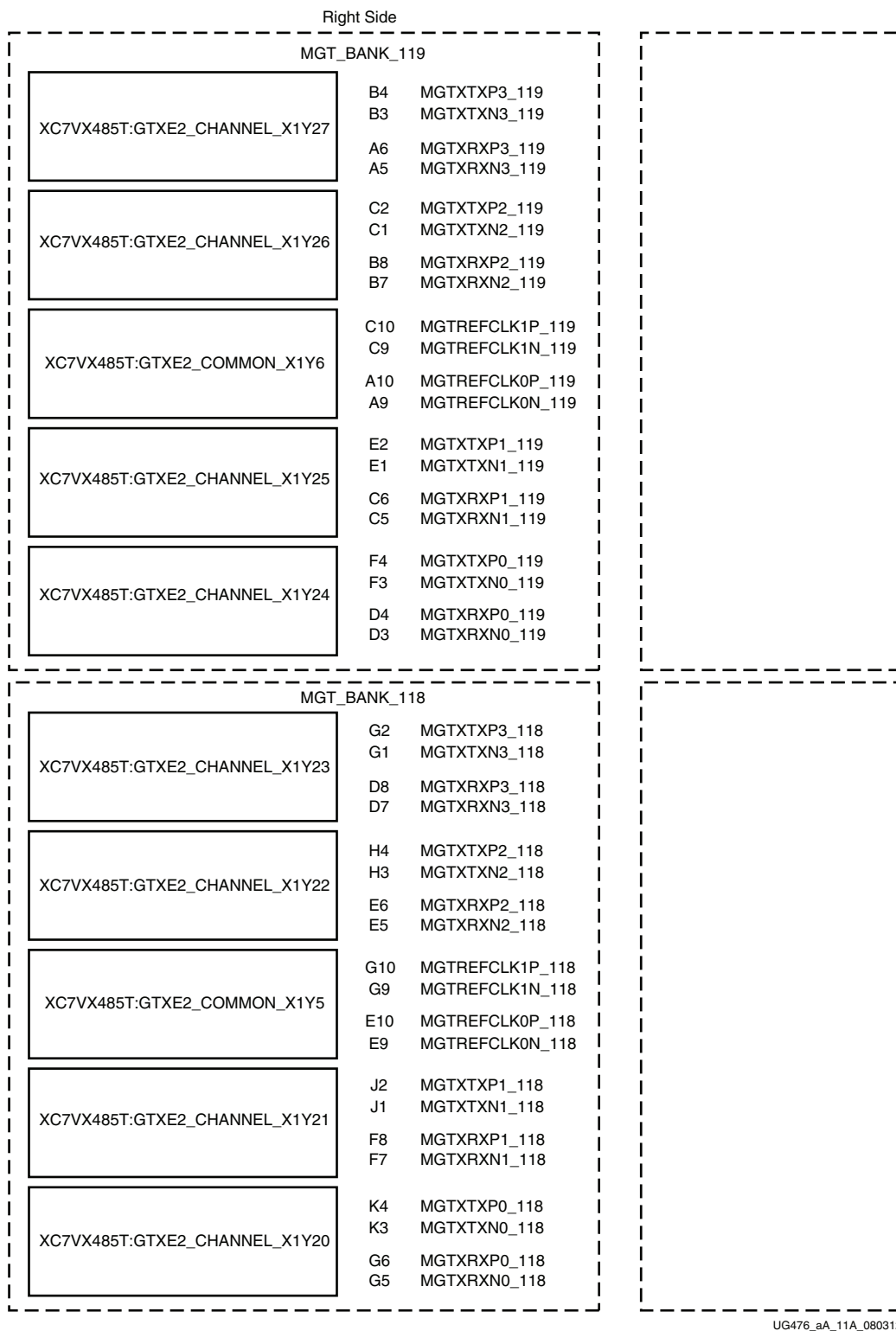


図 A-30 : FFG1927 パッケージの配置図 (1/8)

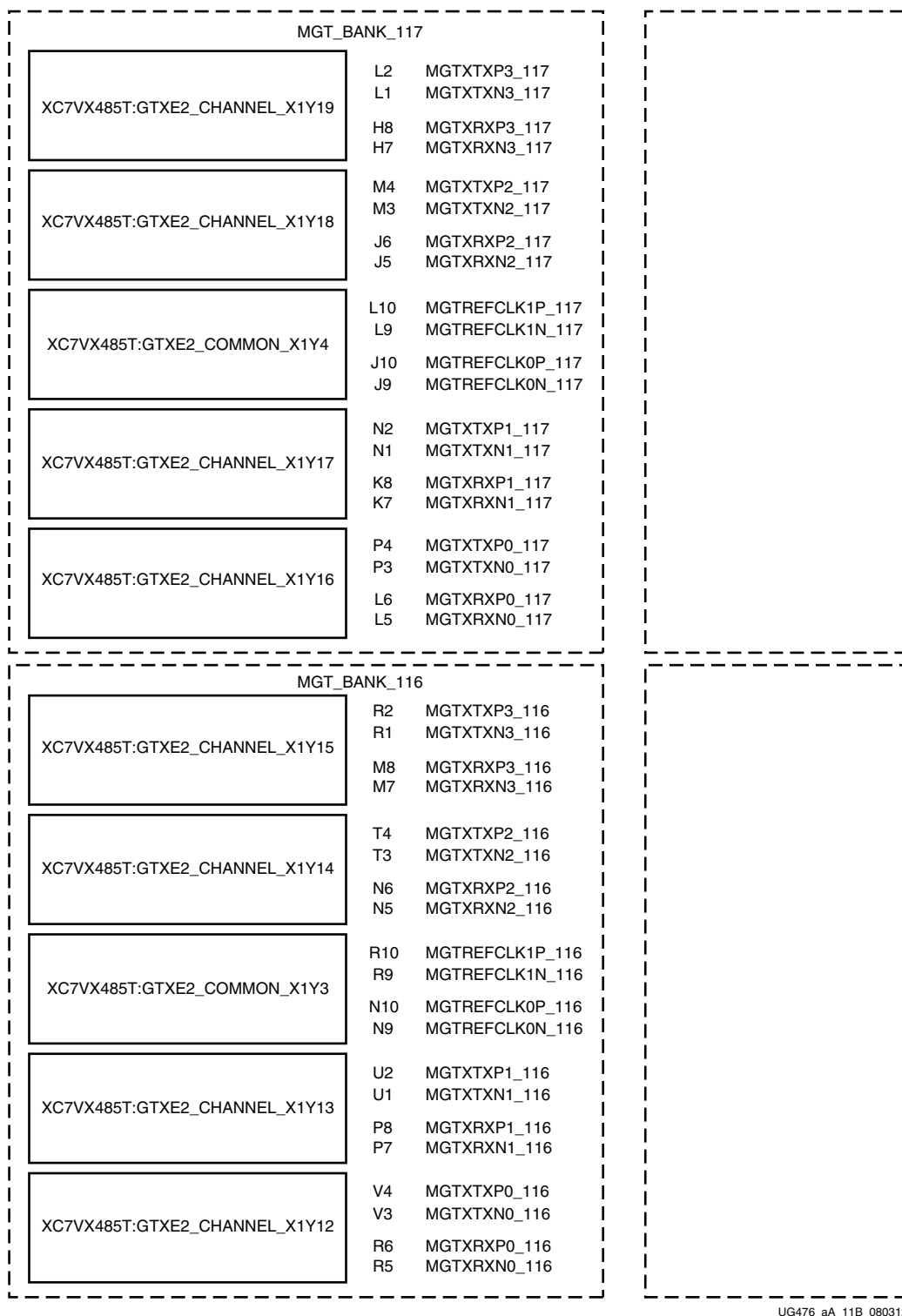
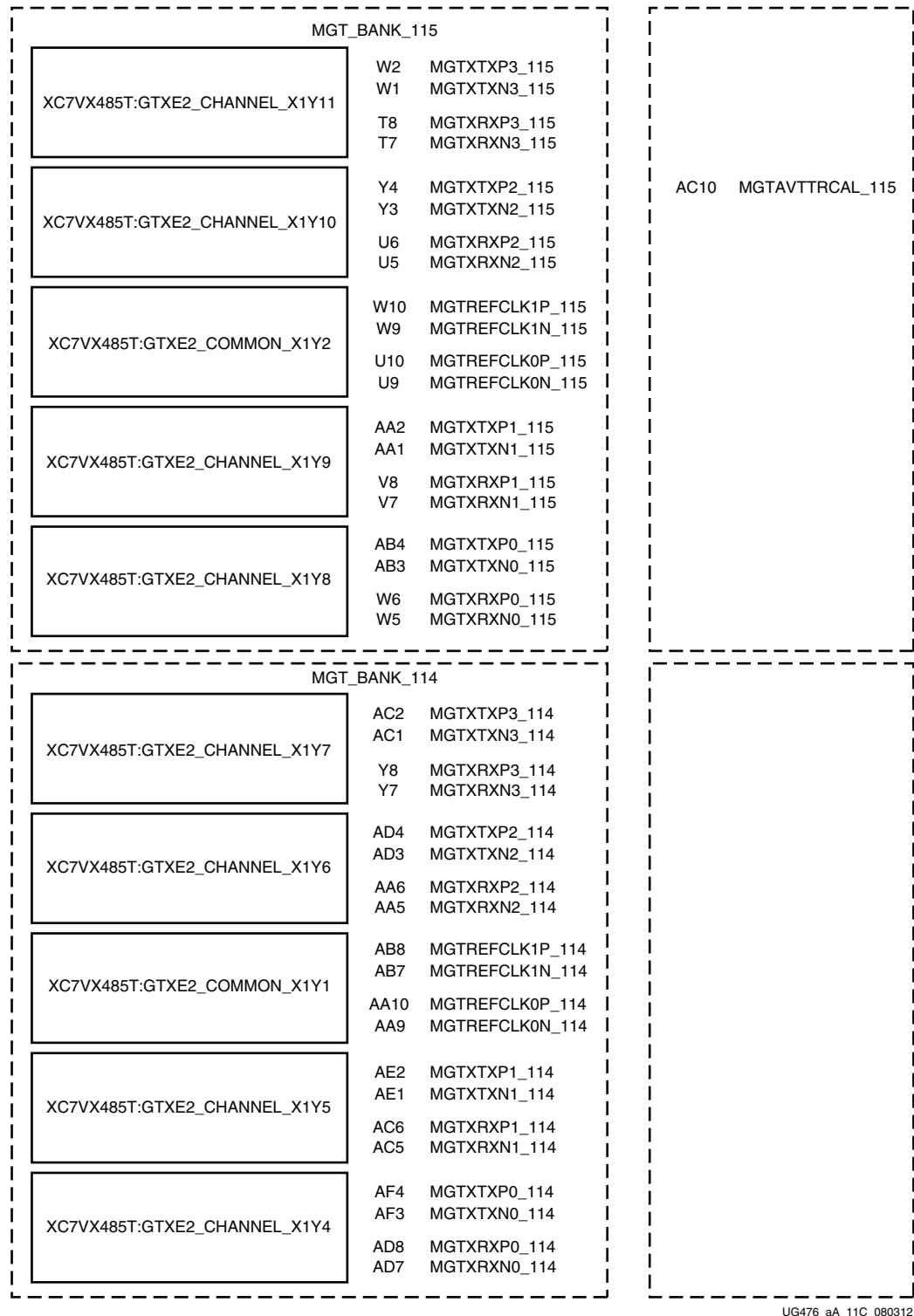
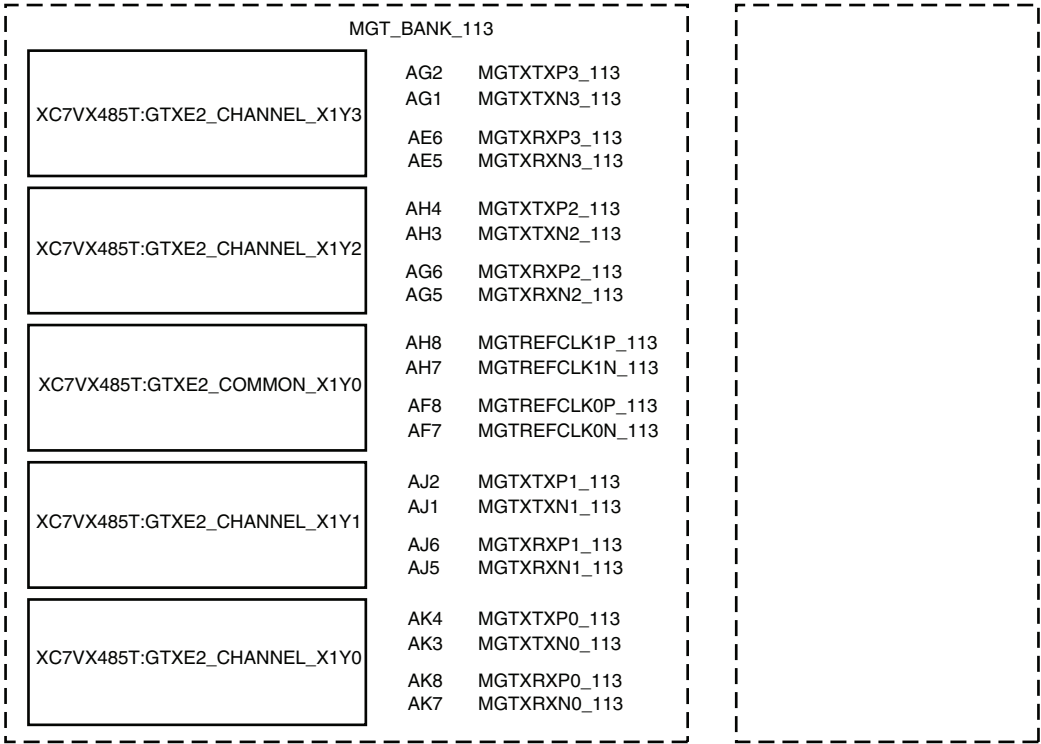


図 A-31 : FFG1927 パッケージの配置図 (2/8)



UG476_aA_11C_080312

図 A-32 : FFG1927 パッケージの配置図 (3/8)



UG476_aA_11D_080312

図 A-33 : FFG1927 パッケージの配置図 (4/8)

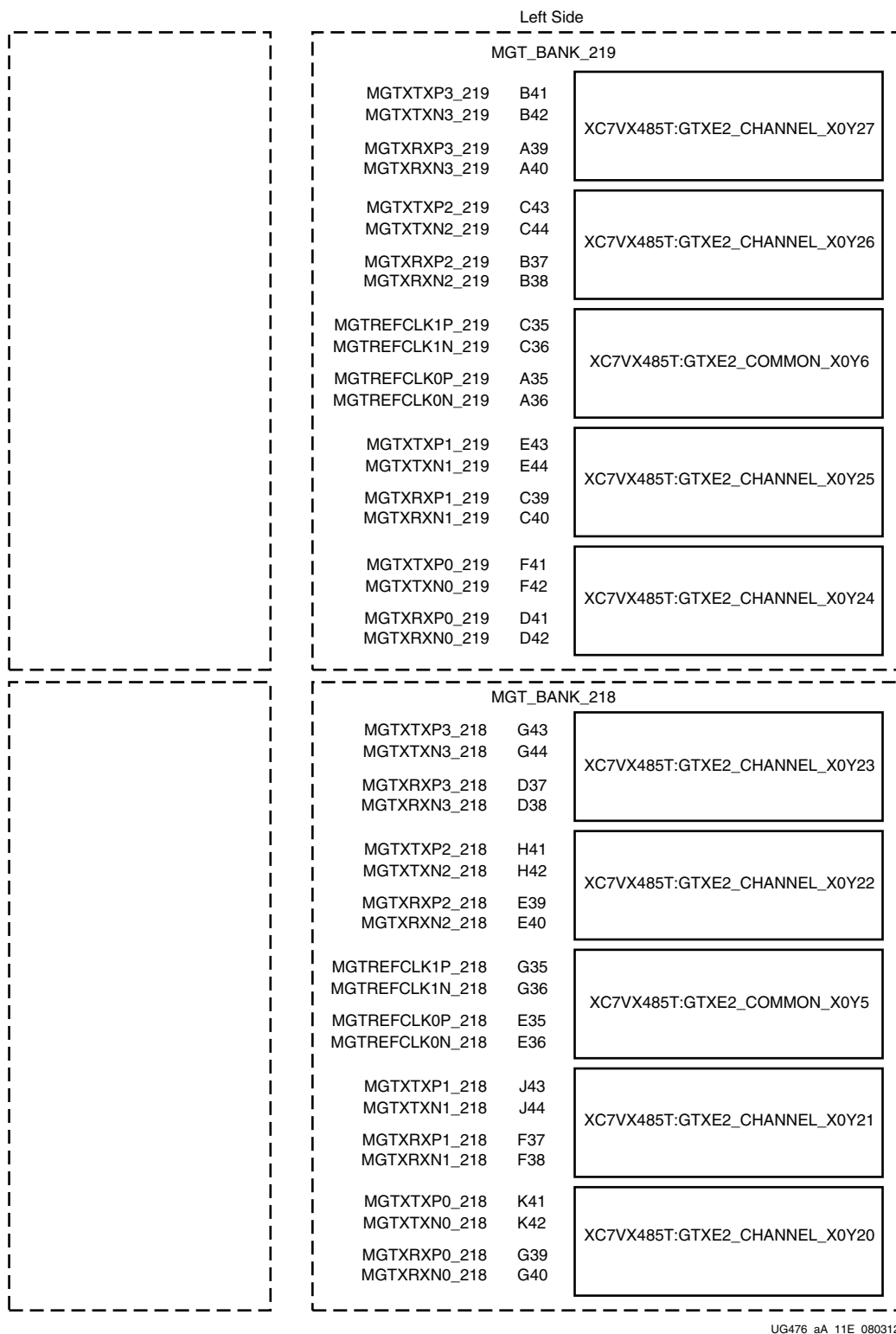
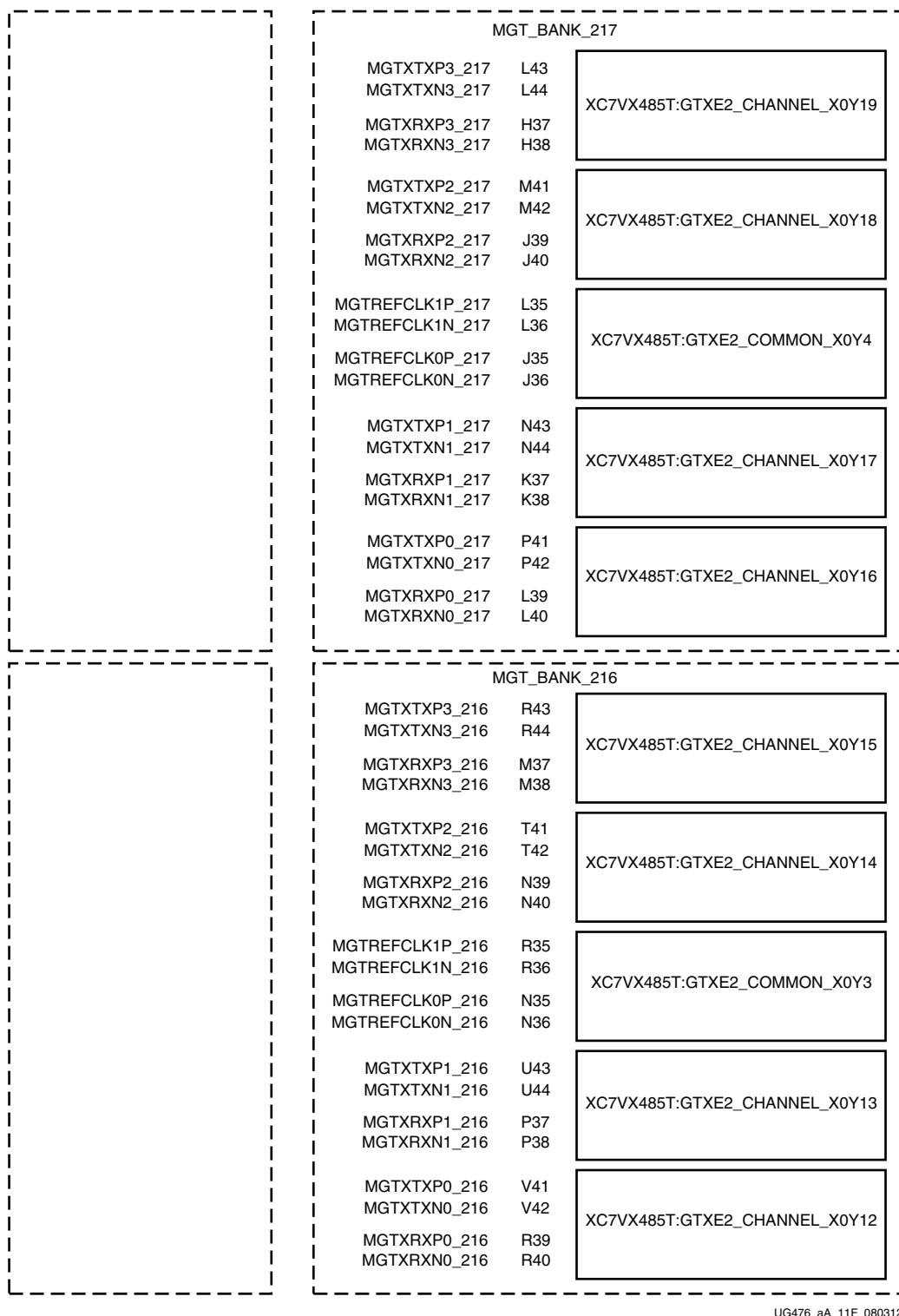
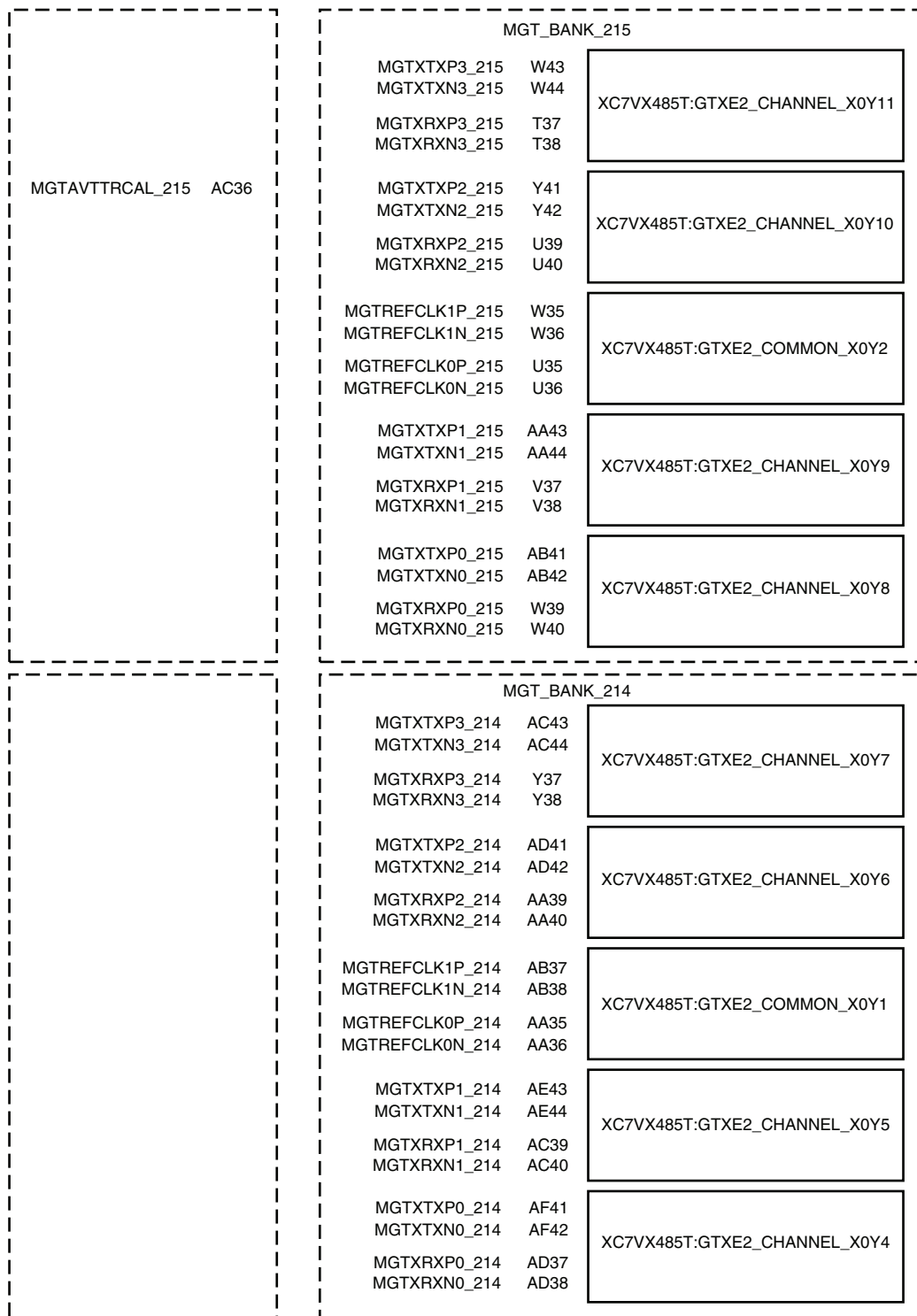


図 A-34 : FFG1927 パッケージの配置図 (5/8)



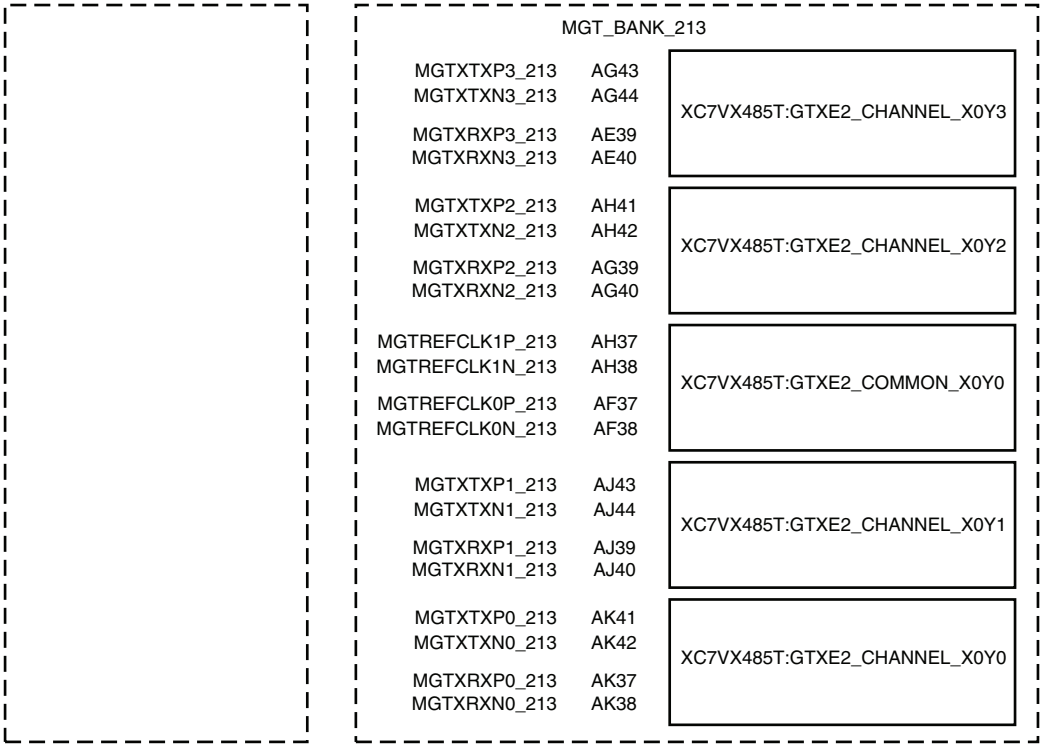
UG476_aA_11F_080312

図 A-35 : FFG1927 パッケージの配置図 (6/8)



UG476_aA_11G_080312

図 A-36 : FFG1927 パッケージの配置図 (7/8)



UG476_aA_11H_080312

図 A-37 : FFG1927 パッケージの配置図 (8/8)

FFG1930 パッケージの配置図

図 A-38 ～図 A-40 に、FFG1930 パッケージの配置図を示します。

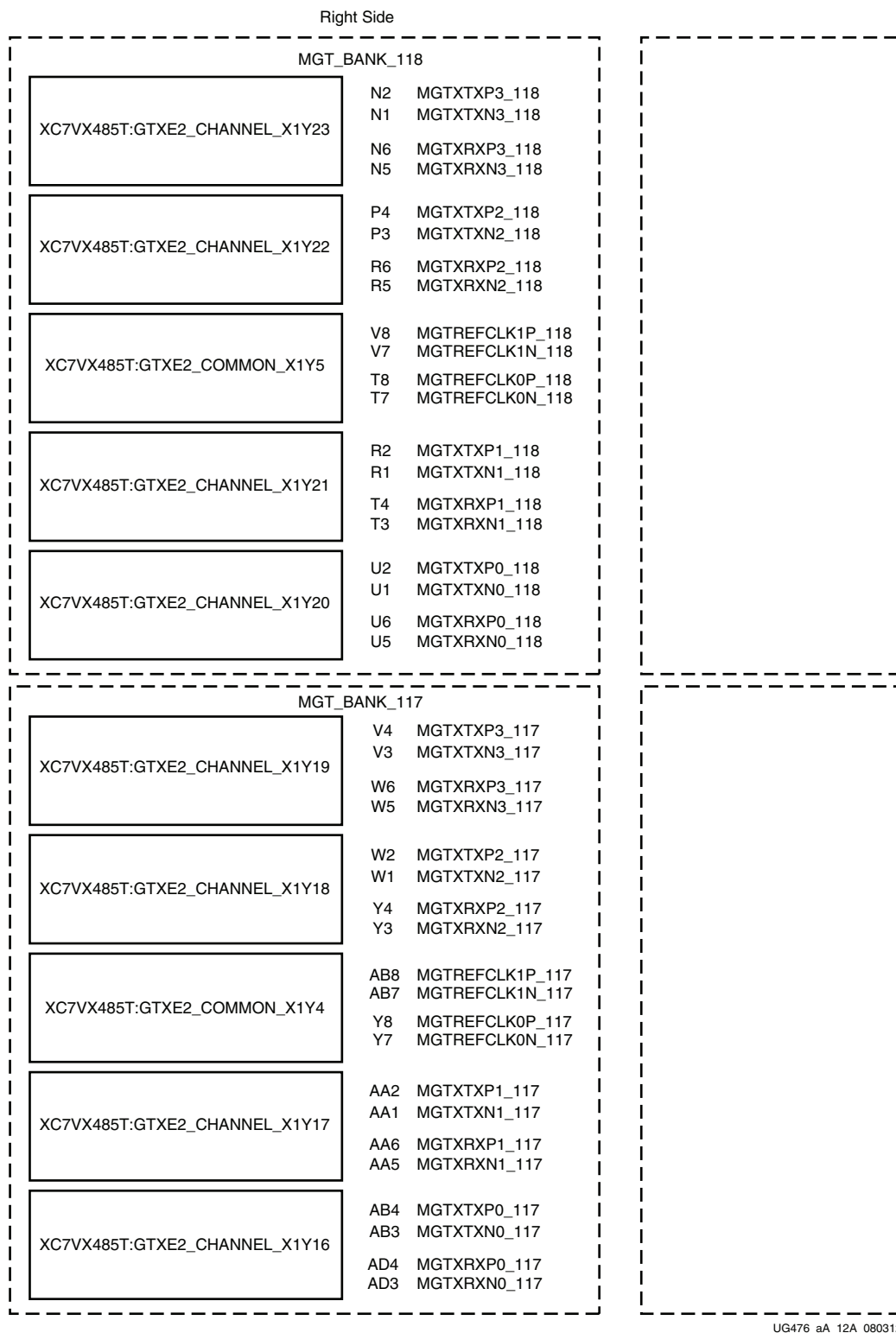
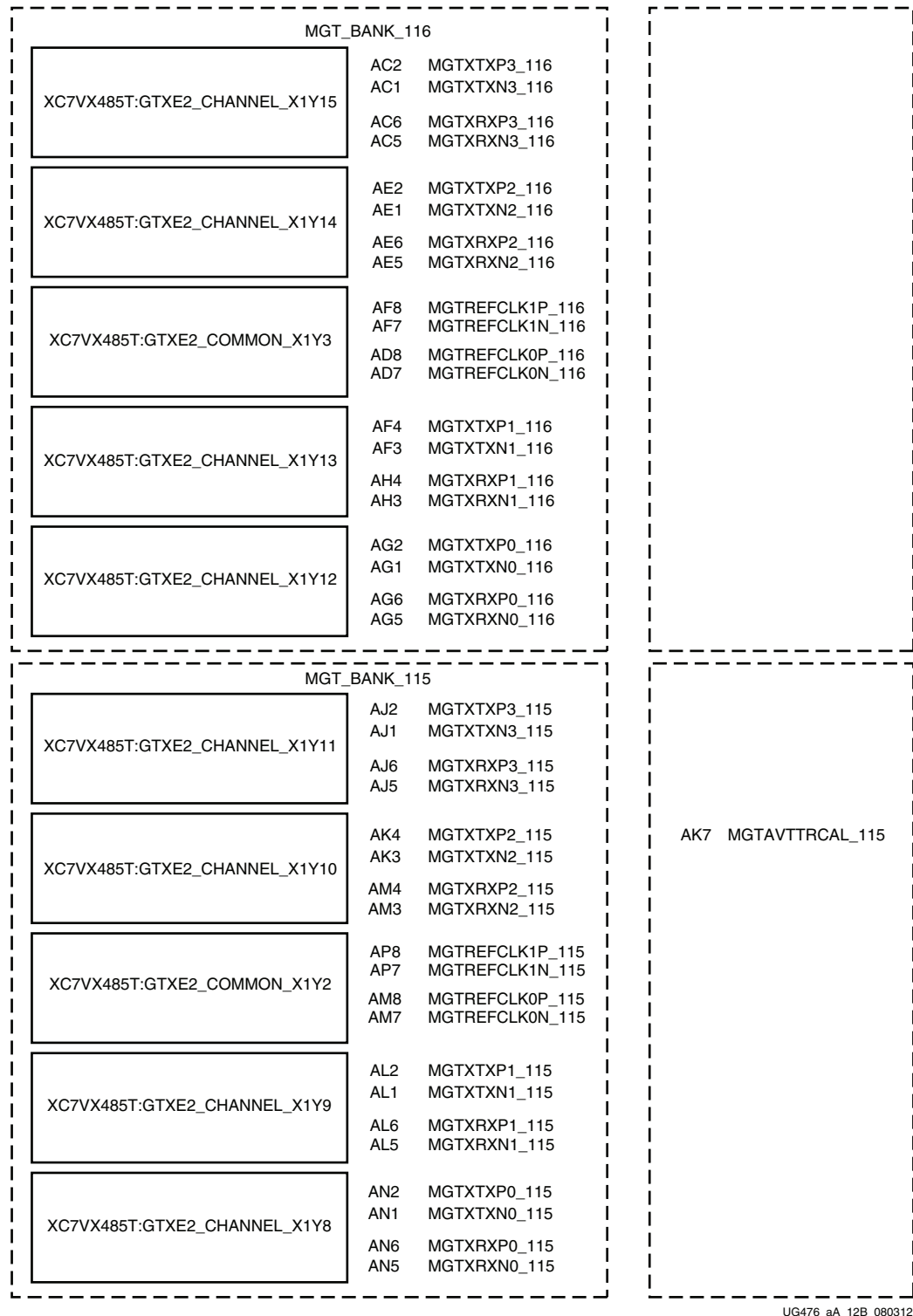


図 A-38 : FFG1930 パッケージの配置図 (1/3)



UG476_aA_12B_080312

図 A-39 : FFG1930 パッケージの配置図 (2/3)

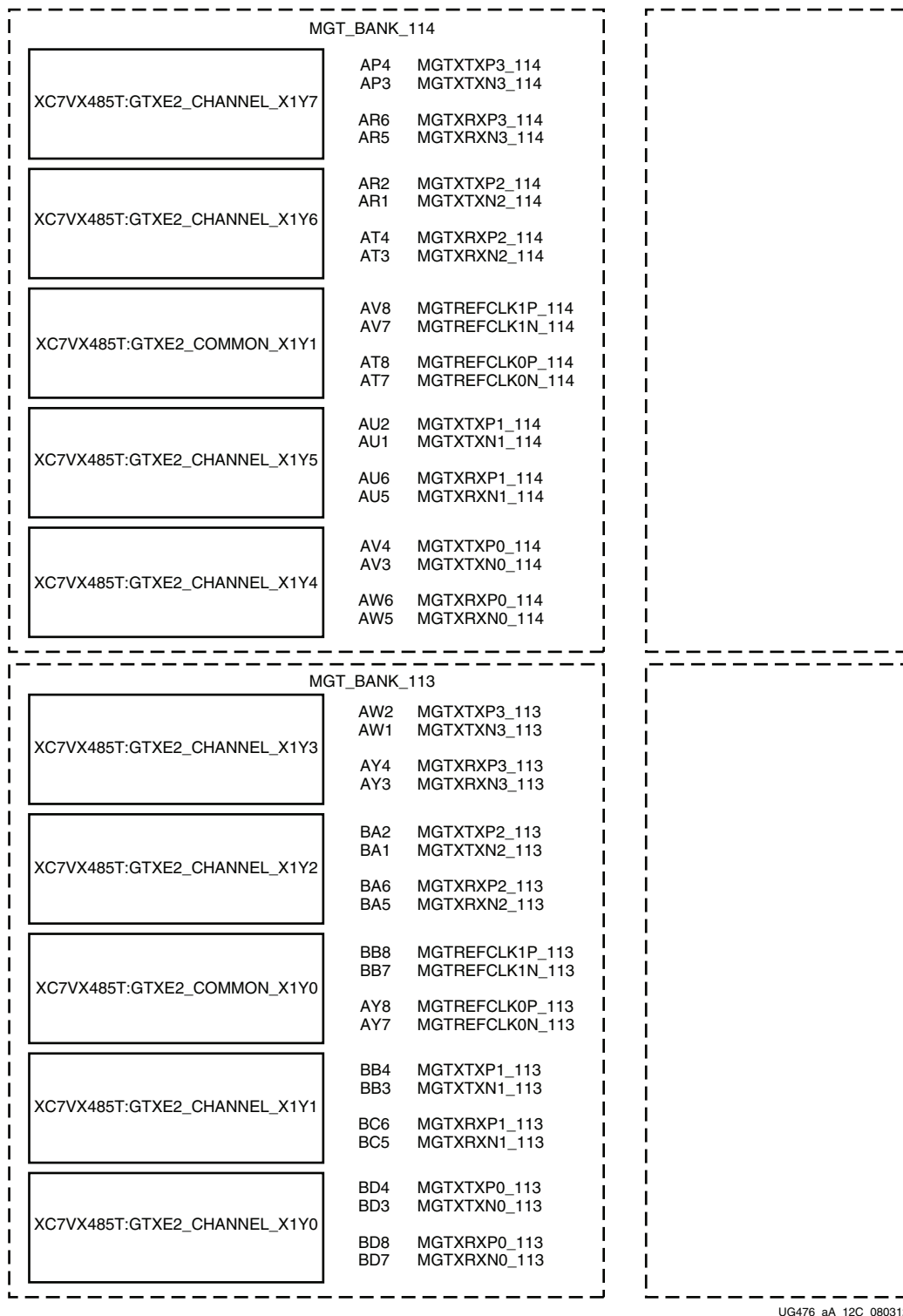


図 A-40 : FFG1930 パッケージの配置図 (3/3)

FLG1925 パッケージの配置図

図 A-41 ~ 図 A-42 に、FLG1925 パッケージの配置図を示します。

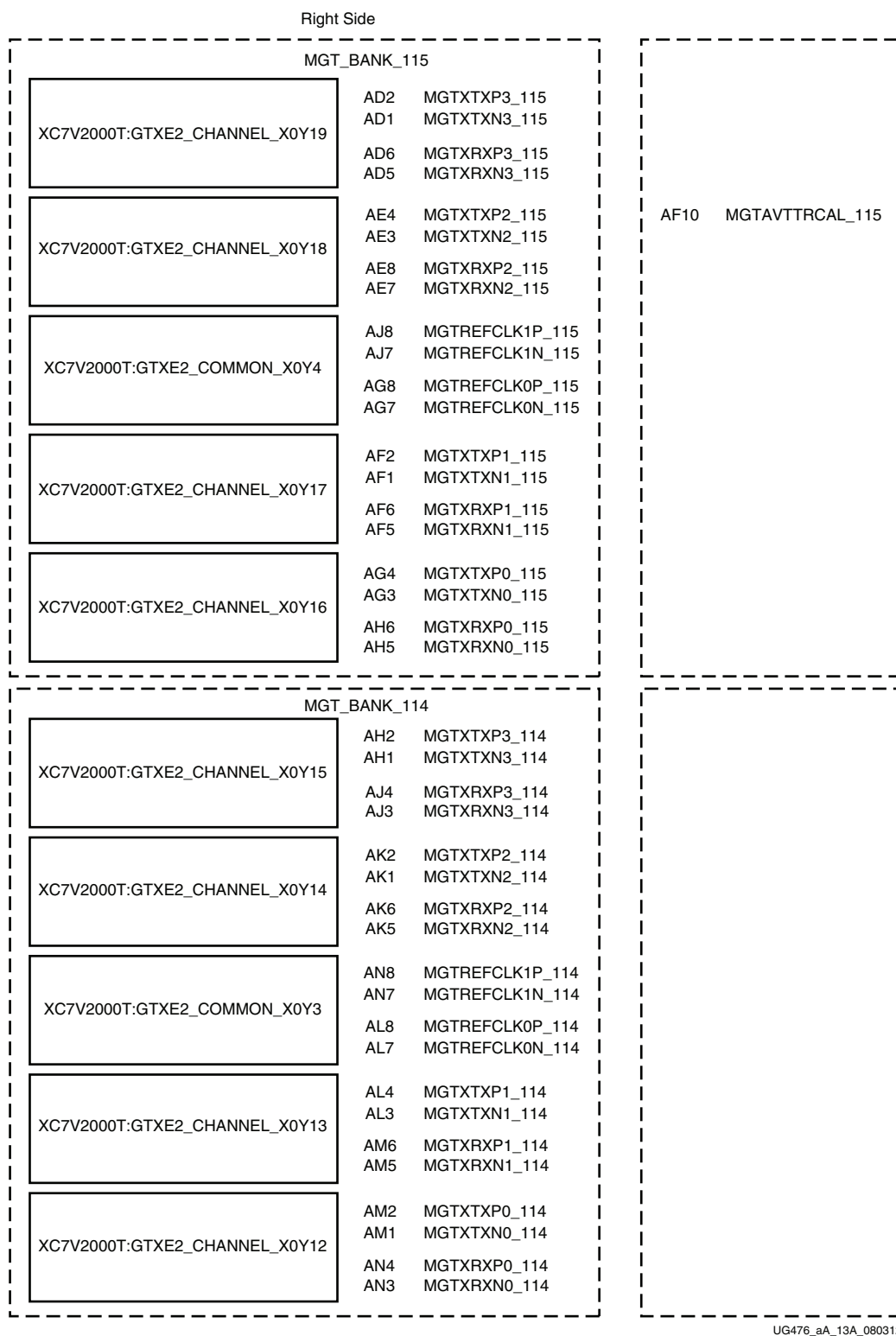
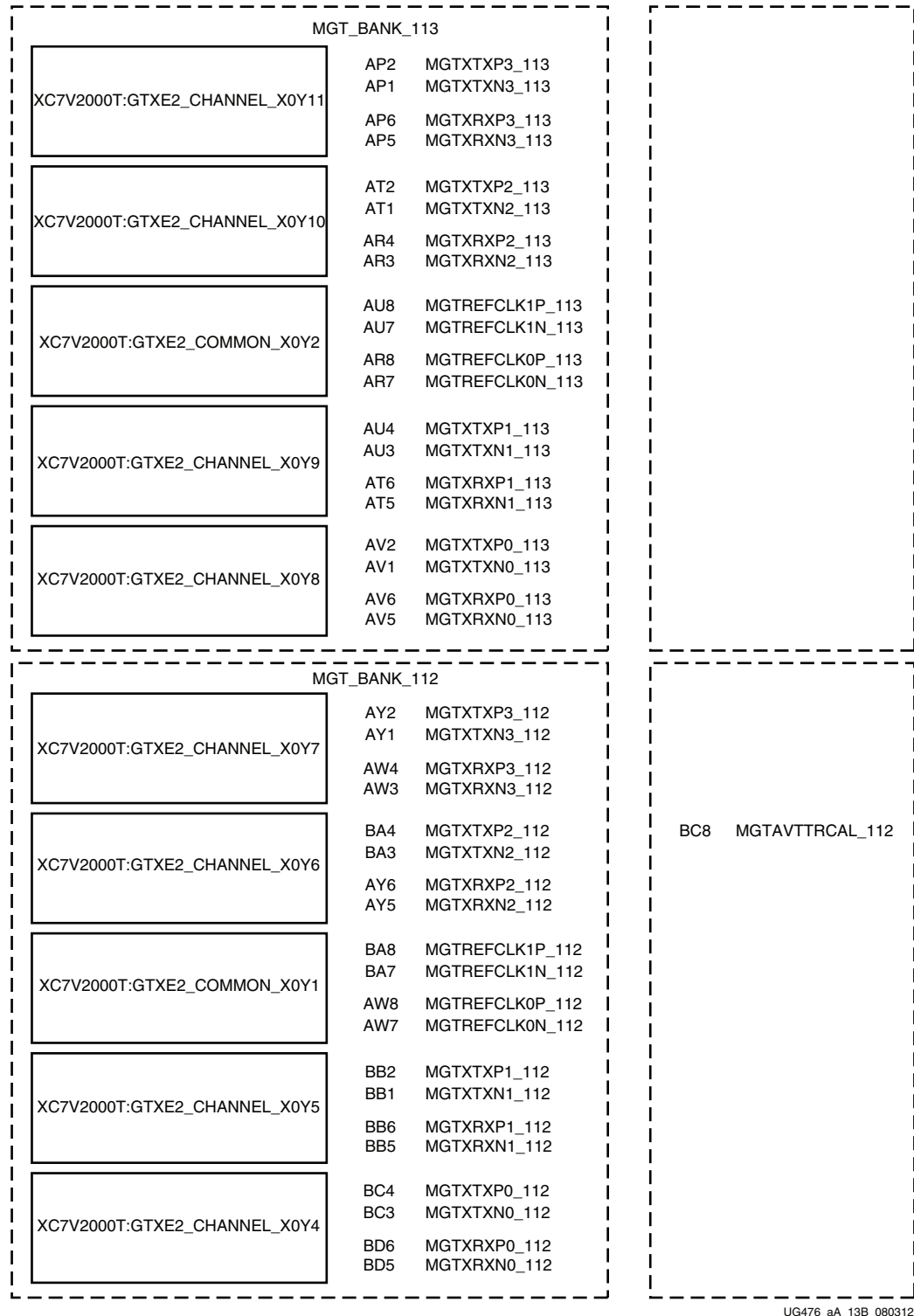


図 A-41 : FLG1925 パッケージの配置図 (1/2)



UG476_aA_13B_080312

図 A-42 : FLG1925 パッケージの配置図 (2/2)

FHG1761 パッケージの配置図

図 A-43 ~ 図 A-47 に、FHG1761 パッケージの配置図を示します。

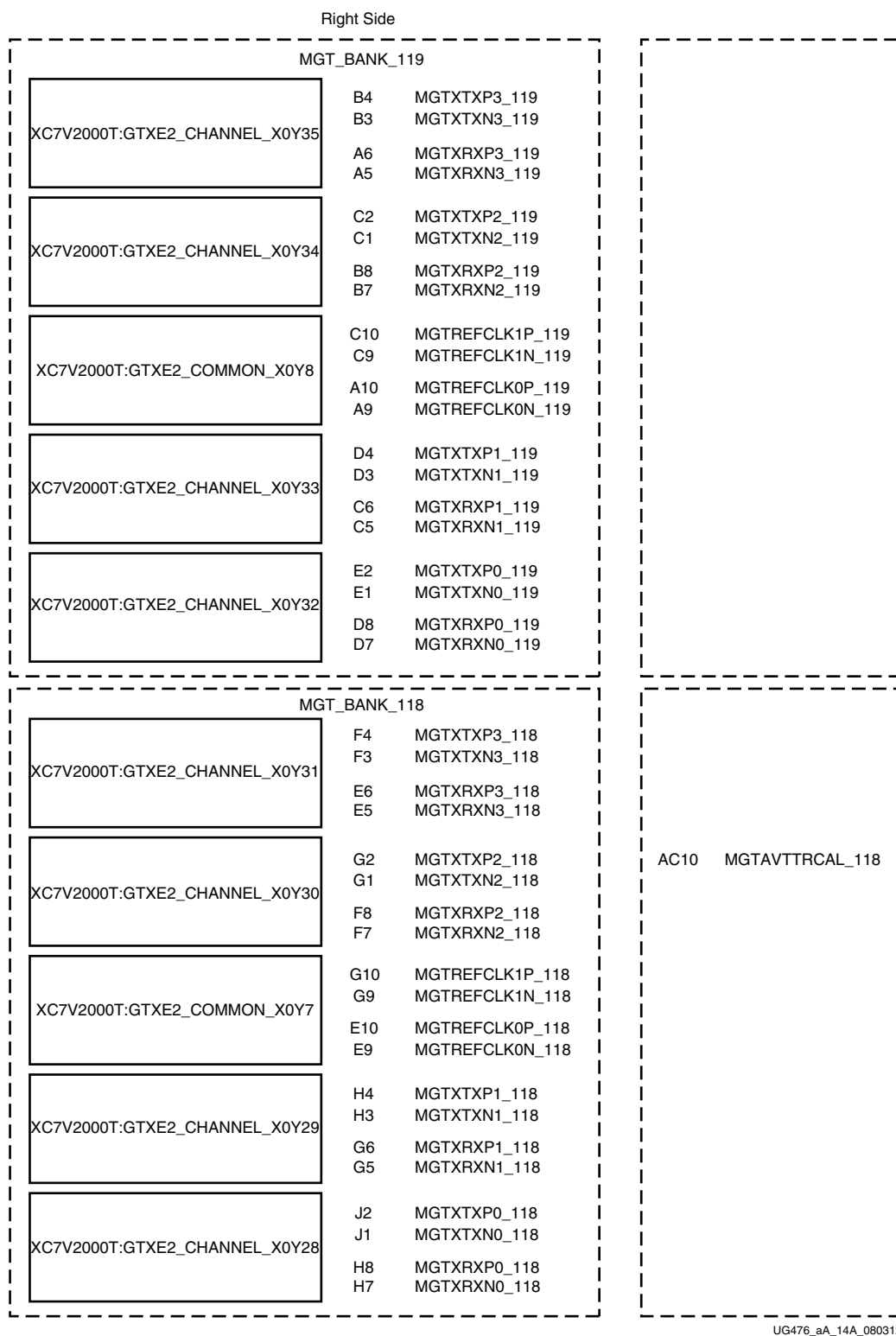
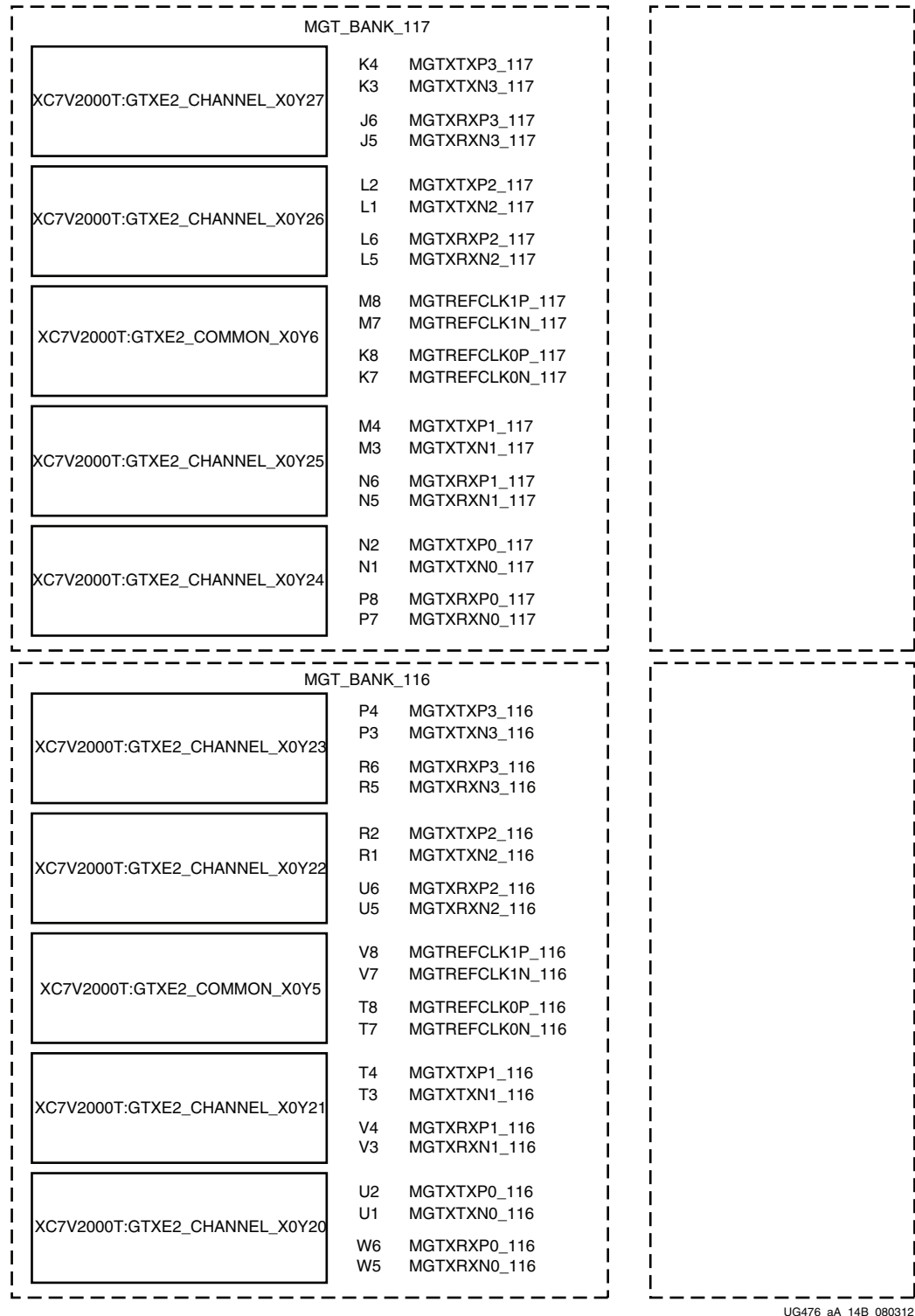


図 A-43 : FHG1761 パッケージの配置図 (1/5)



UG476_aA_14B_080312

図 A-44 : FHG1761 パッケージの配置図 (2/5)

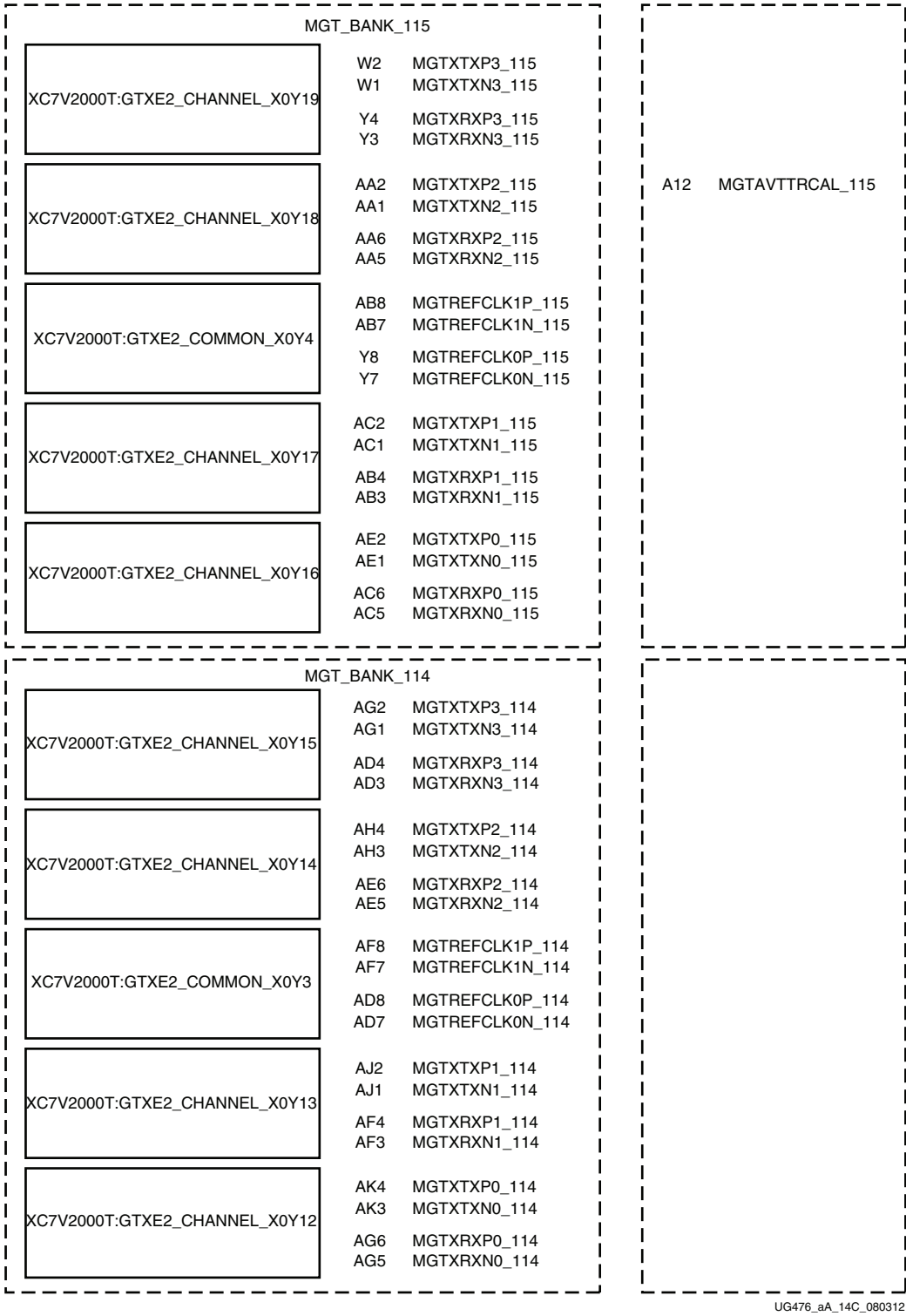
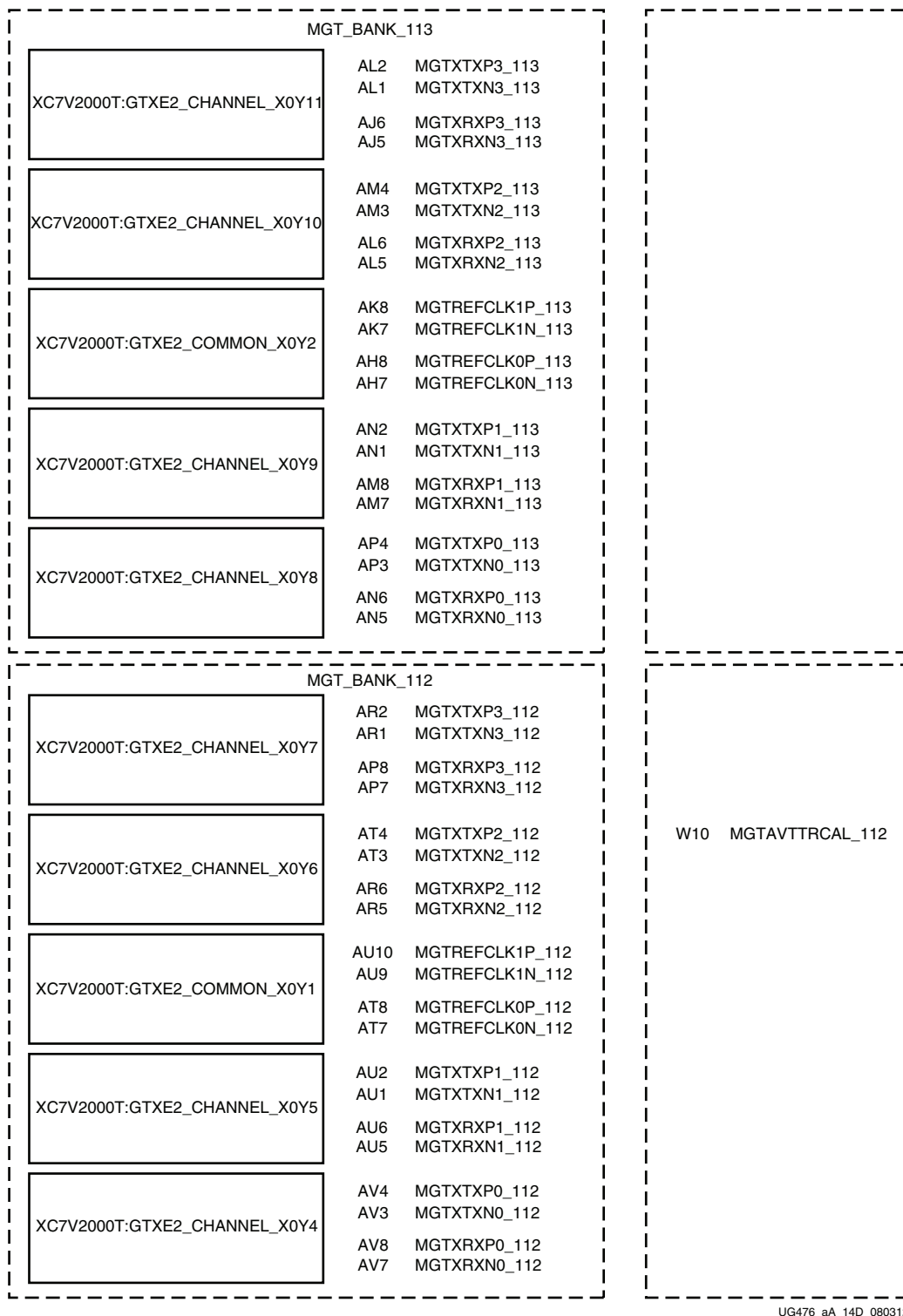
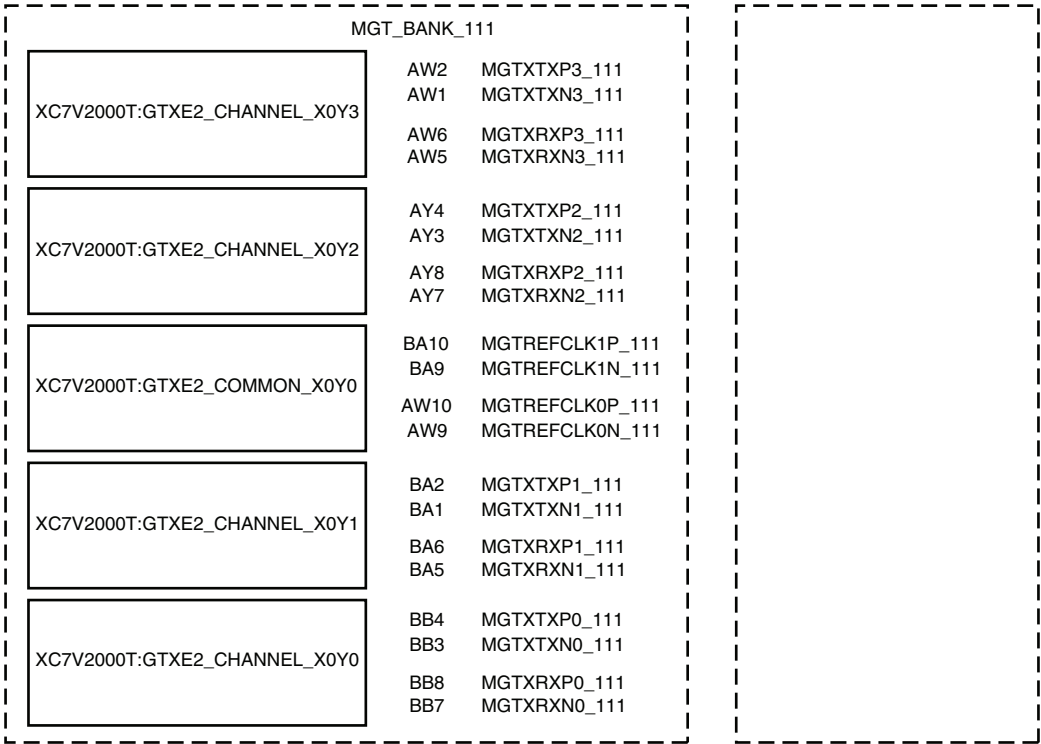


図 A-45 : FHG1761 パッケージの配置図 (3/5)



UG476_aA_14D_080312

図 A-46 : FHG1761 パッケージの配置図 (4/5)



UG476_aA_14E_080312

図 A-47 : FHG1761 パッケージの配置図 (5/5)

GTH トランシーバー パッケージの配置図

- [406 ページの「FFG1157 パッケージの配置図」](#)
- [409 ページの「FFG1158 パッケージの配置図」](#)
- [415 ページの「FFG1761 パッケージの配置図」](#)
- [420 ページの「FFG1926 パッケージの配置図」](#)
- [428 ページの「FFG1927 パッケージの配置図」](#)
- [438 ページの「FFG1928 パッケージの配置図」](#)
- [448 ページの「FFG1930 パッケージの配置図」](#)
- [451 ページの「FLG1926 パッケージの配置図」](#)
- [459 ページの「FLG1928 パッケージの配置図」](#)
- [471 ページの「FLG1930 パッケージの配置図」](#)

FFG1157 パッケージの配置図

図 A-48 ~ 図 A-50 に、FFG1157 パッケージの配置図を示します。

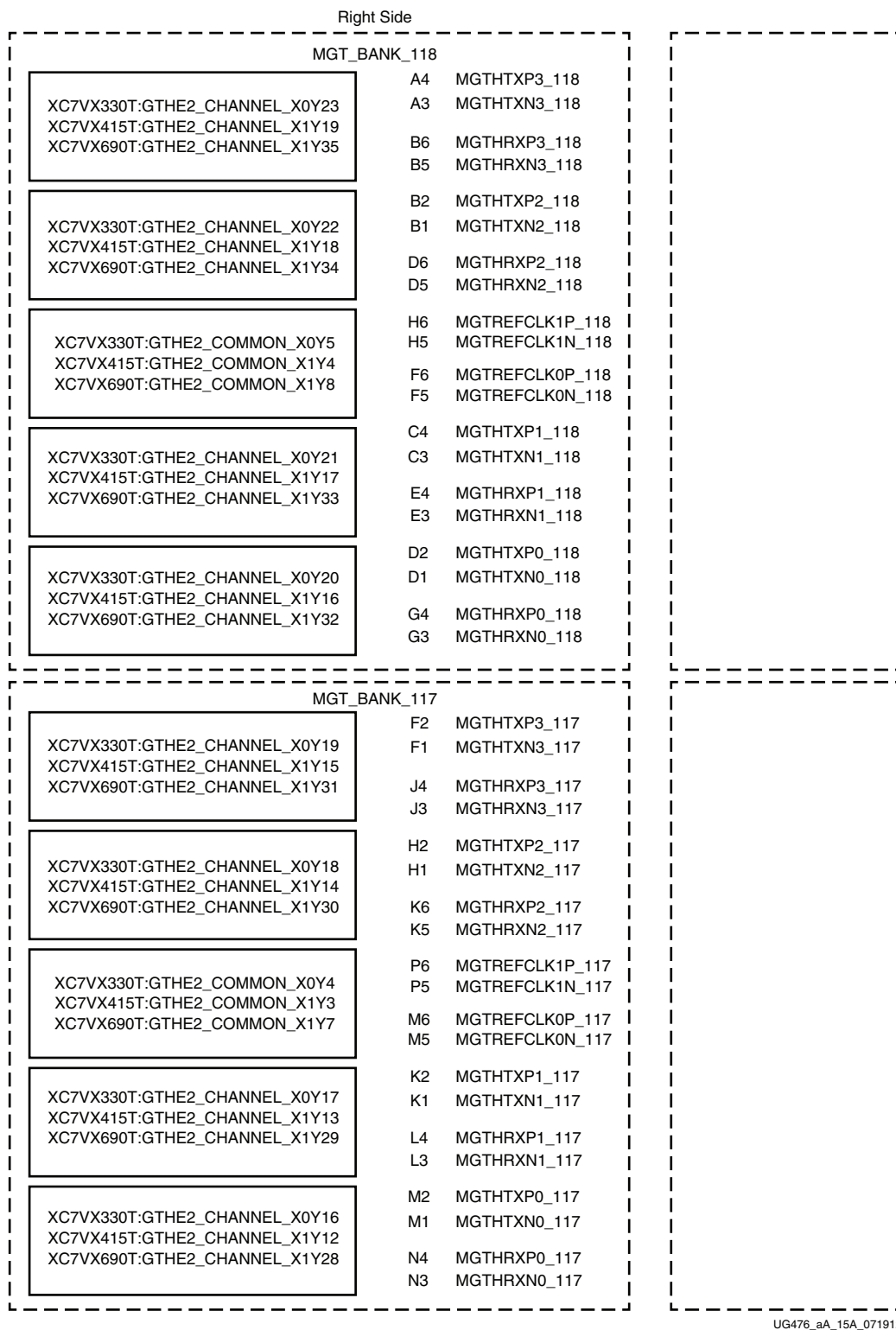


図 A-48 : FFG1157 パッケージの配置図 (1/3)

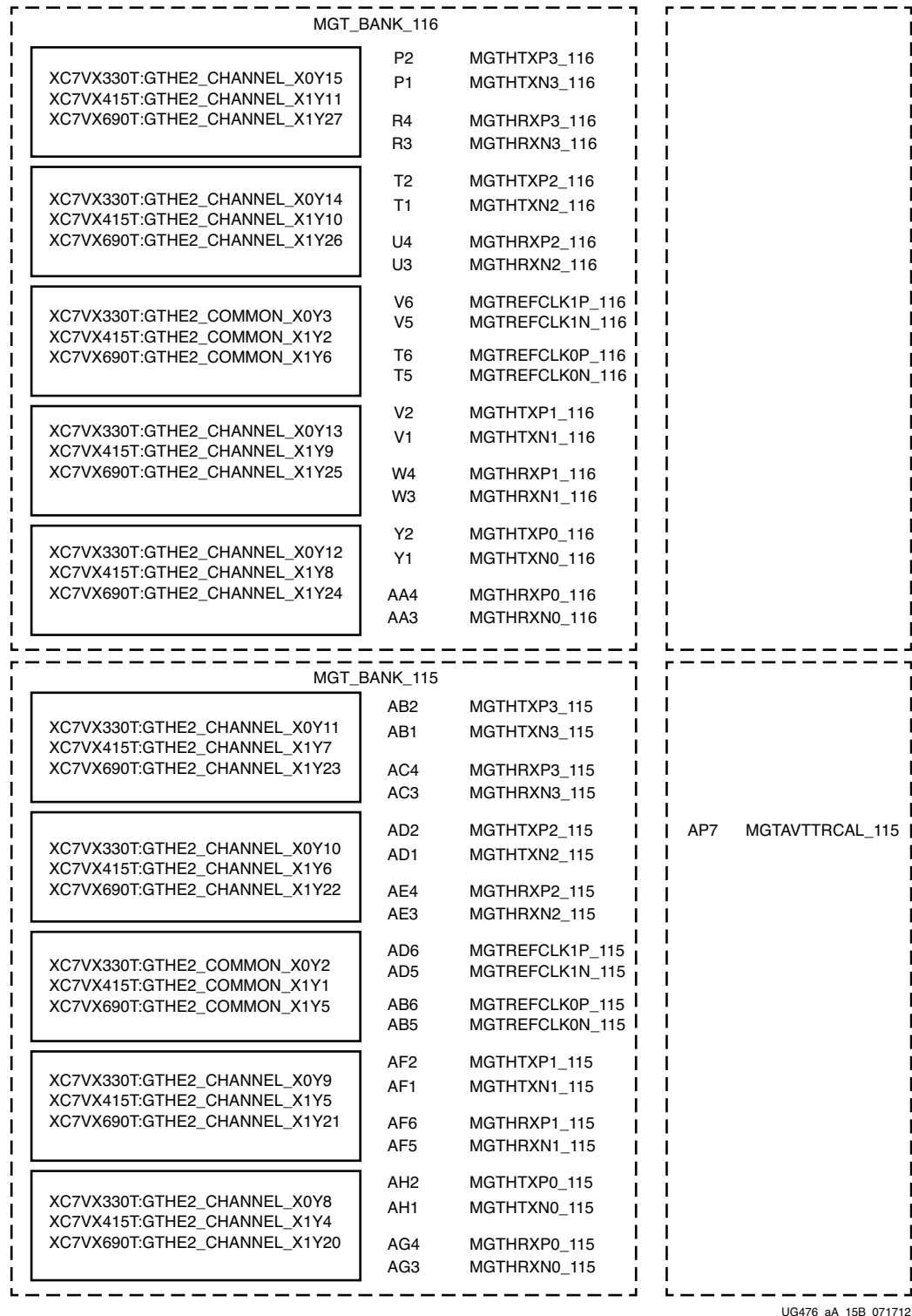


図 A-49 : FFG1157 パッケージの配置図 (2/3)

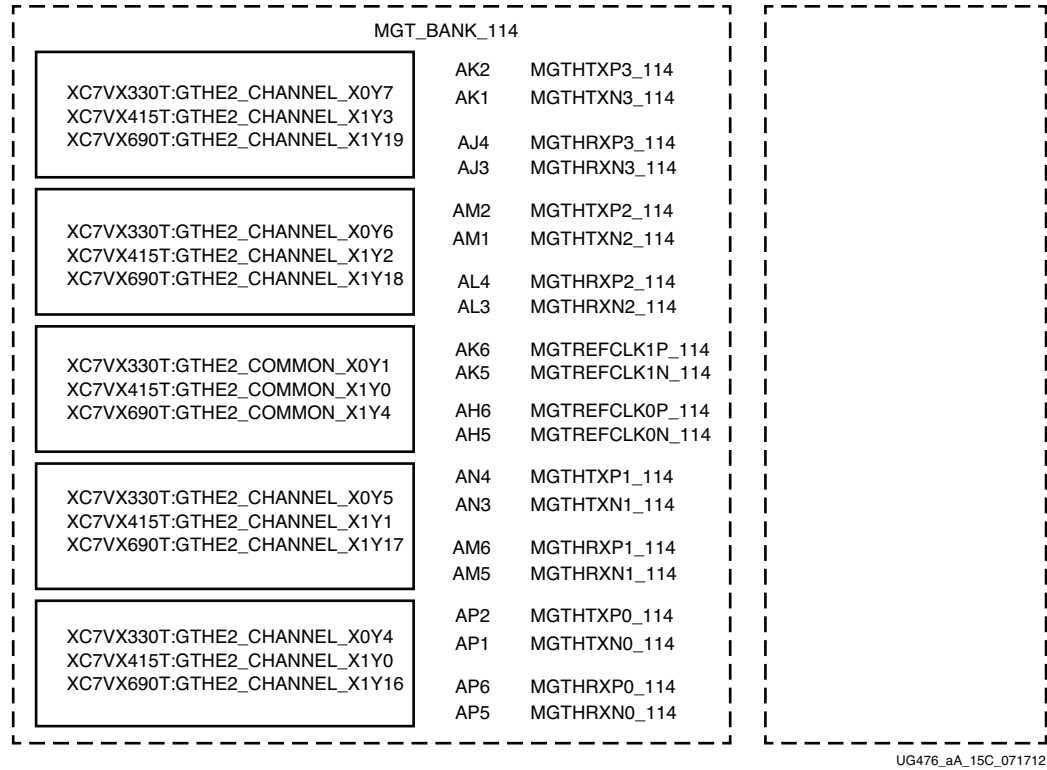


図 A-50 : FFG1157 パッケージの配置図 (3/3)

FFG1158 パッケージの配置図

図 A-51 ~ 図 A-56 に、FFG1158 パッケージの配置図を示します。

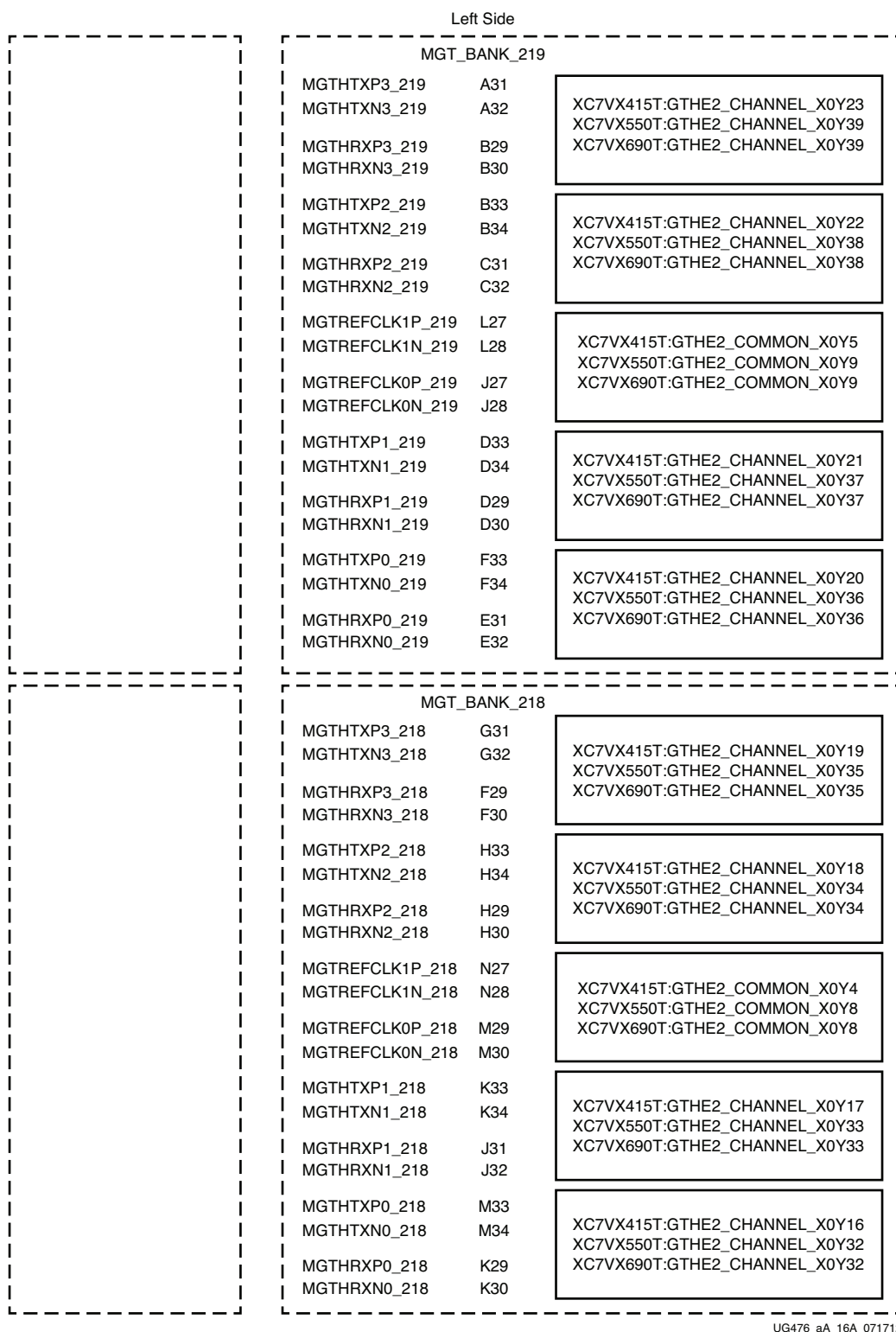
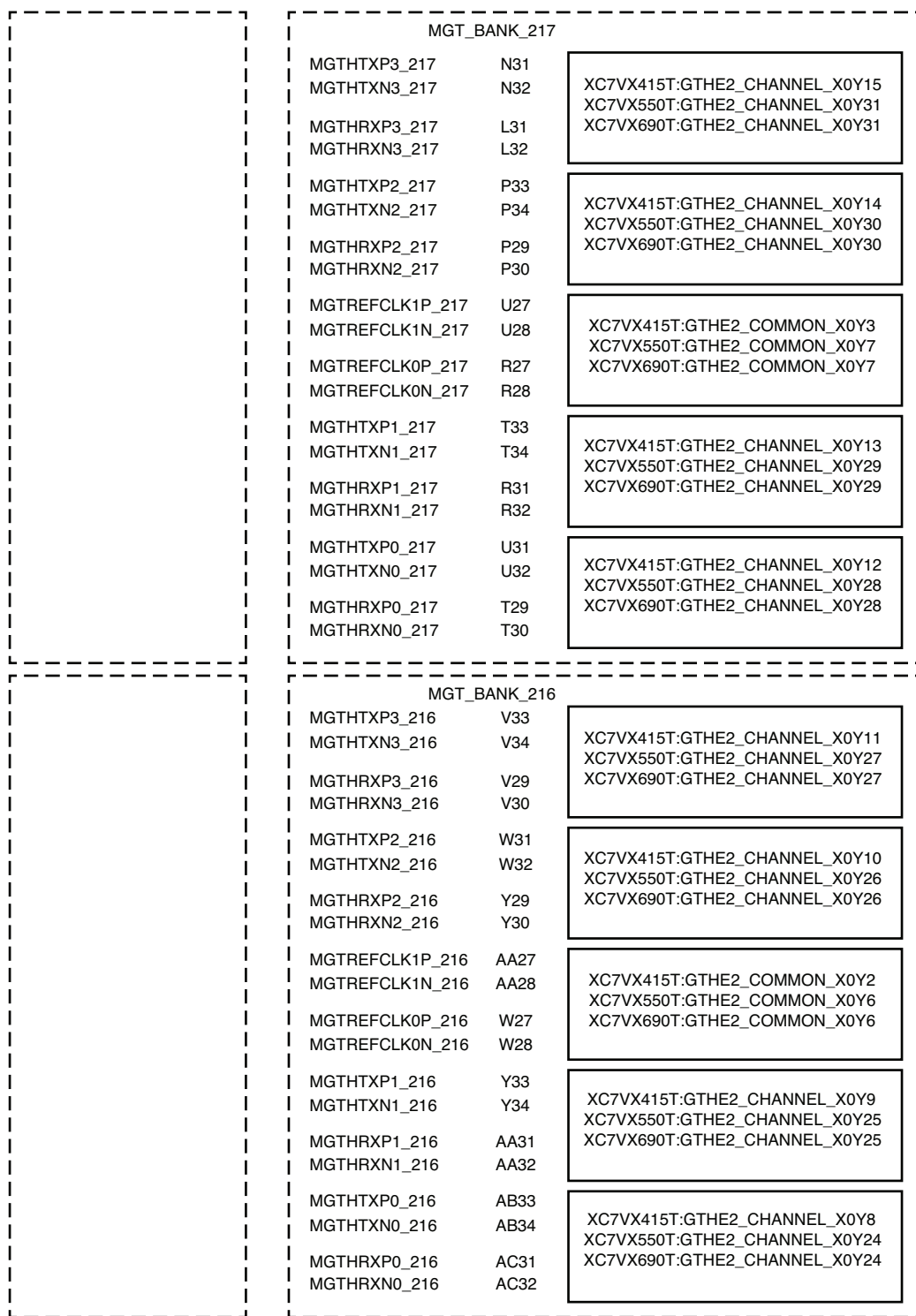


図 A-51 : FFG1158 パッケージの配置図 (1/6)



UG476_aA_16B_071712

図 A-52 : FFG1158 パッケージの配置図 (2/6)

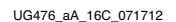


図 A-53 : FFG1158 パッケージの配置図 (3/6)

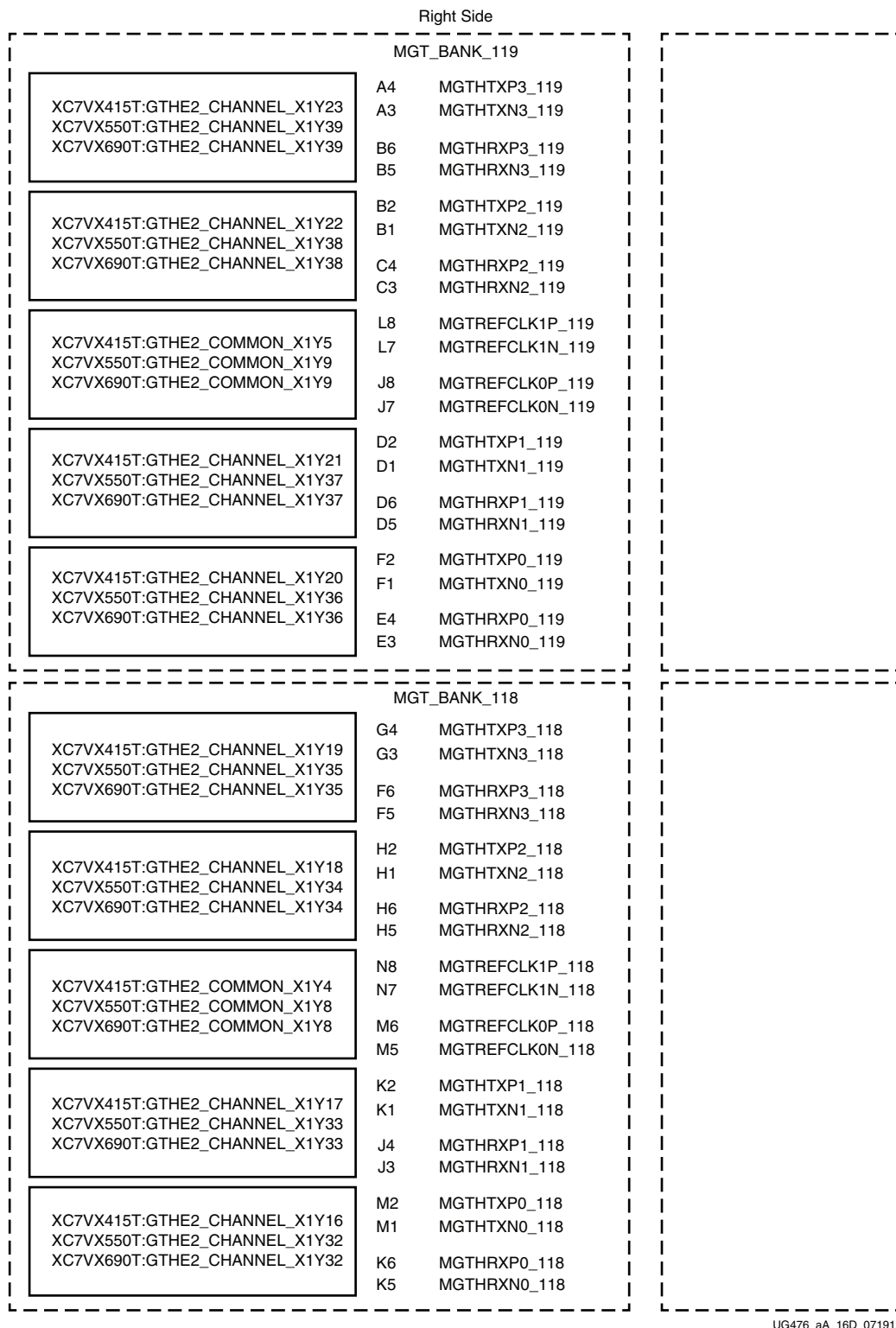
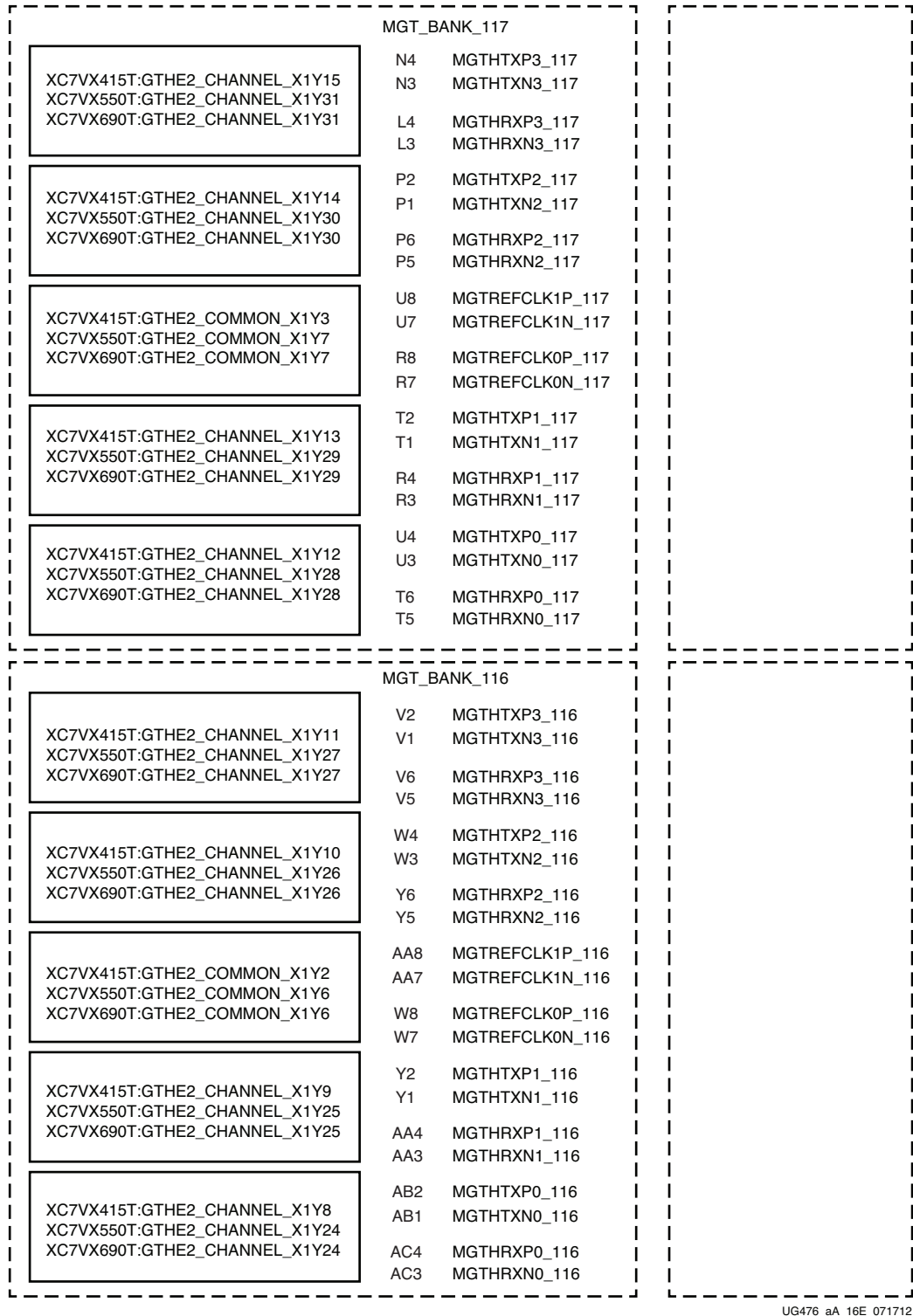


図 A-54 : FFG1158 パッケージの配置図 (4/6)



UG476_aA_16E_071712

図 A-55 : FFG1158 パッケージの配置図 (5/6)

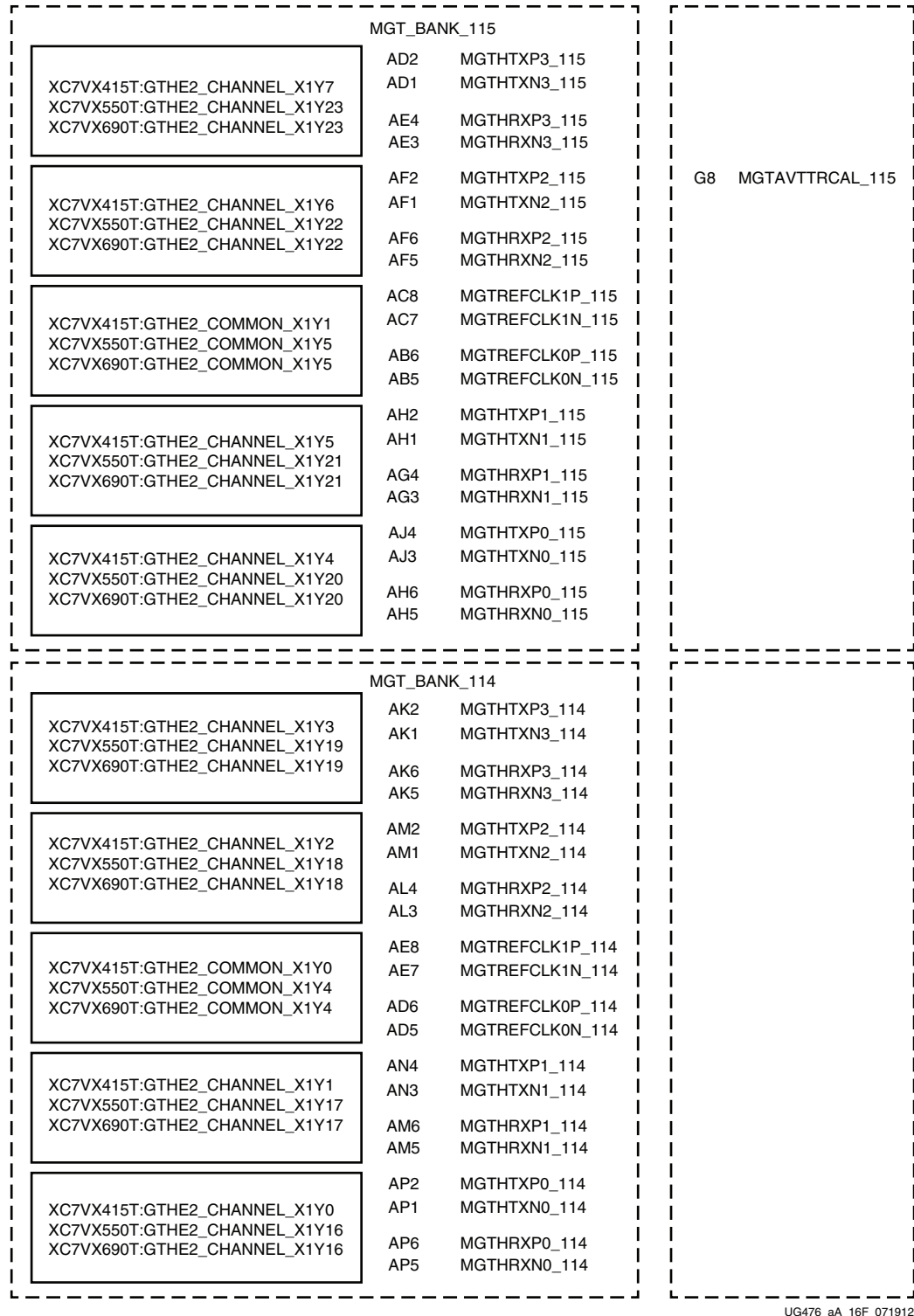


図 A-56 : FFG1158 パッケージの配置図 (6/6)

FFG1761 パッケージの配置図

図 A-57 ~ 図 A-61 に、FFG1761 パッケージの配置図を示します。

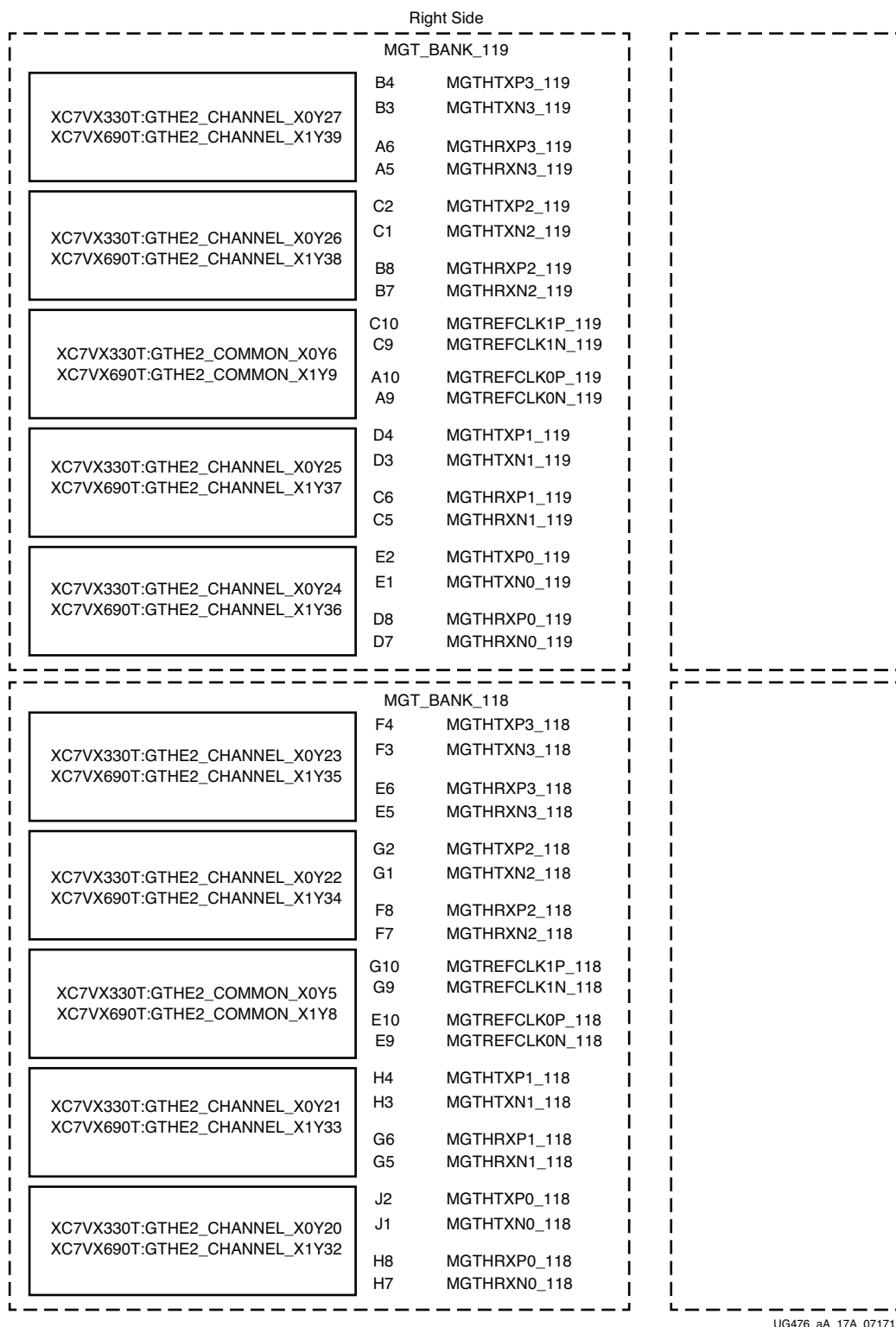
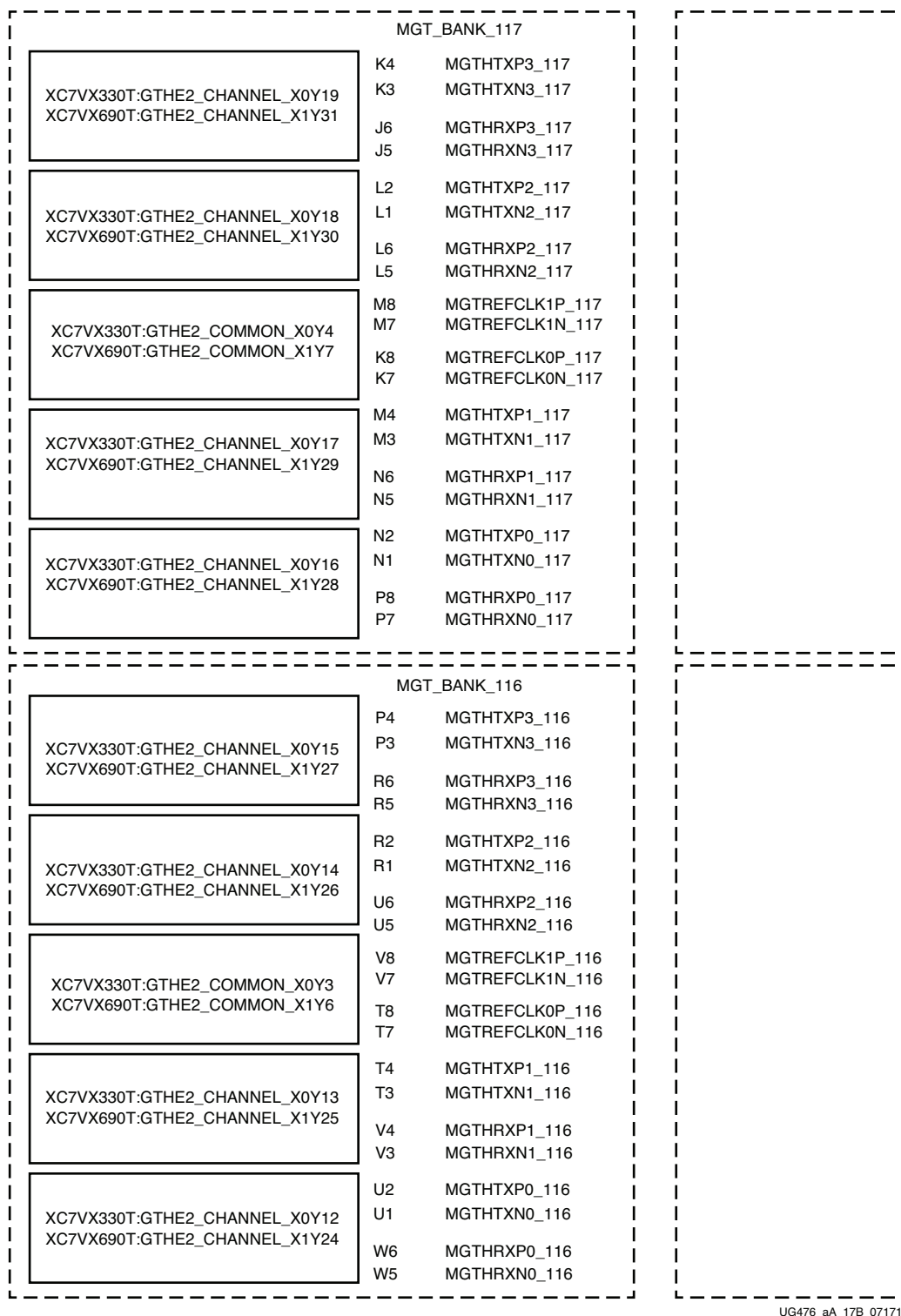
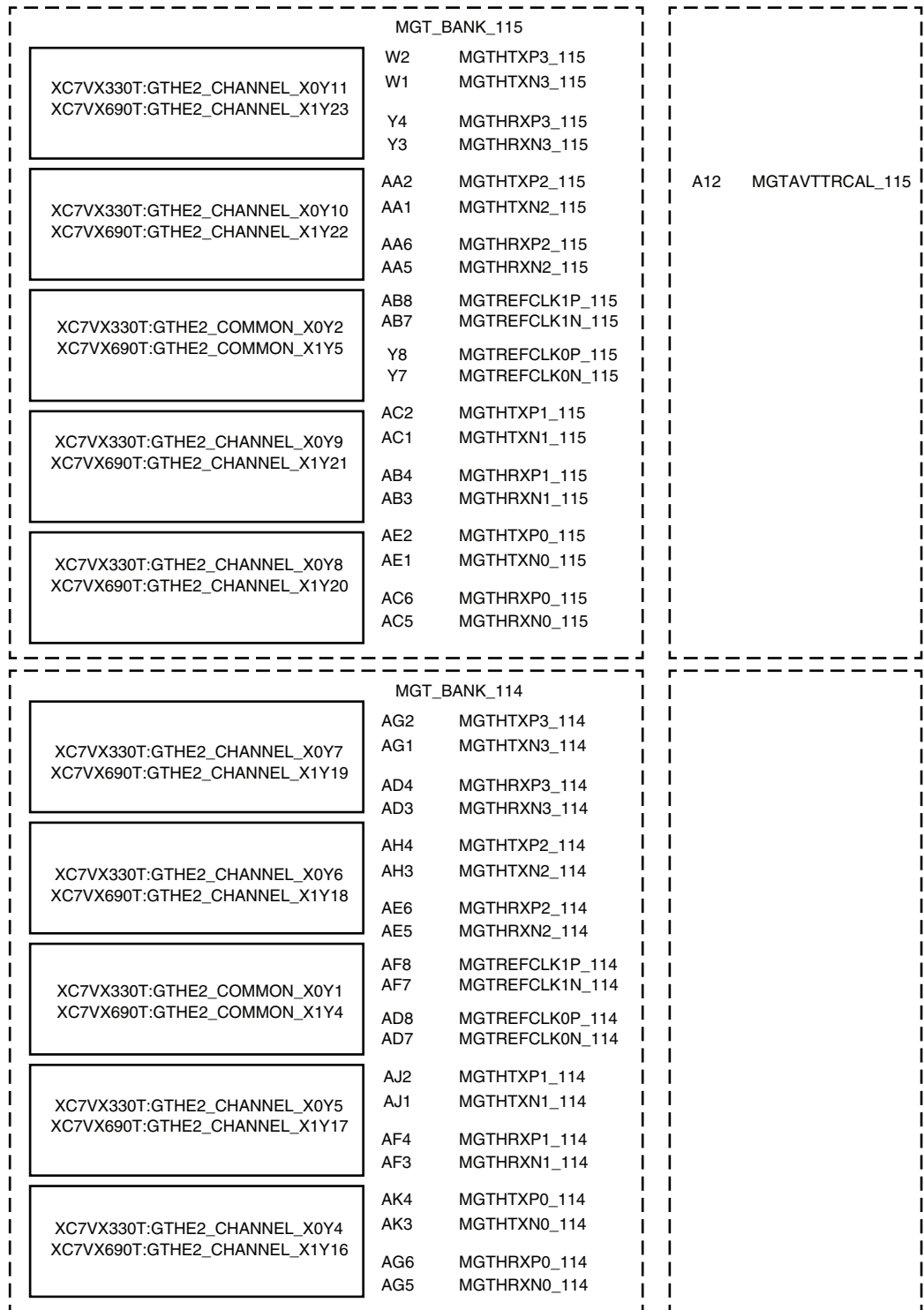


図 A-57 : FFG1761 パッケージの配置図 (1/5)



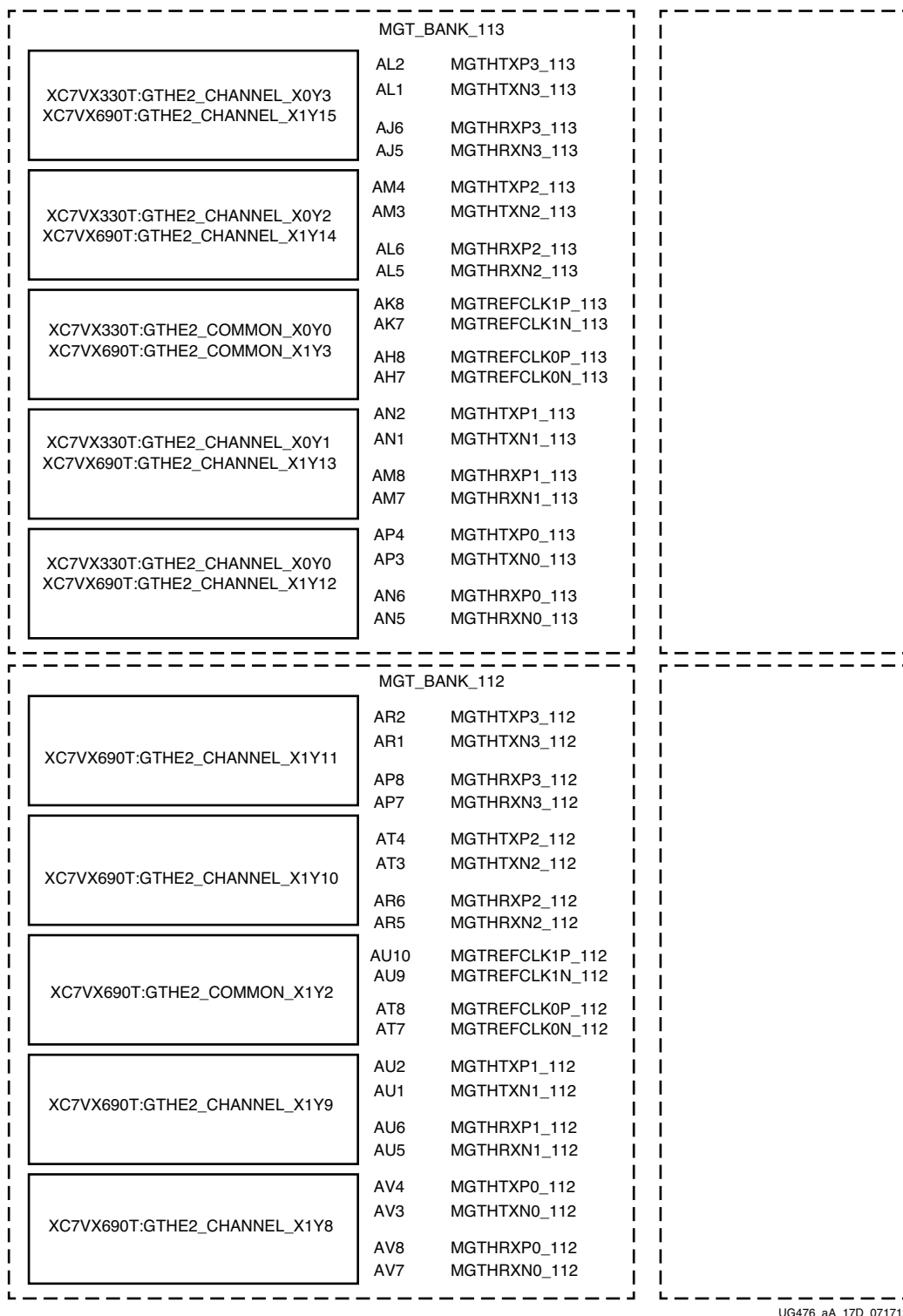
UG476_aA_17B_071712

図 A-58 : FFG1761 パッケージの配置図 (2/5)



UG476_aA_17C_071912

図 A-59 : FFG1761 パッケージの配置図 (3/5)



UG476_aA_17D_071712

図 A-60 : FFG1761 パッケージの配置図 (4/5)

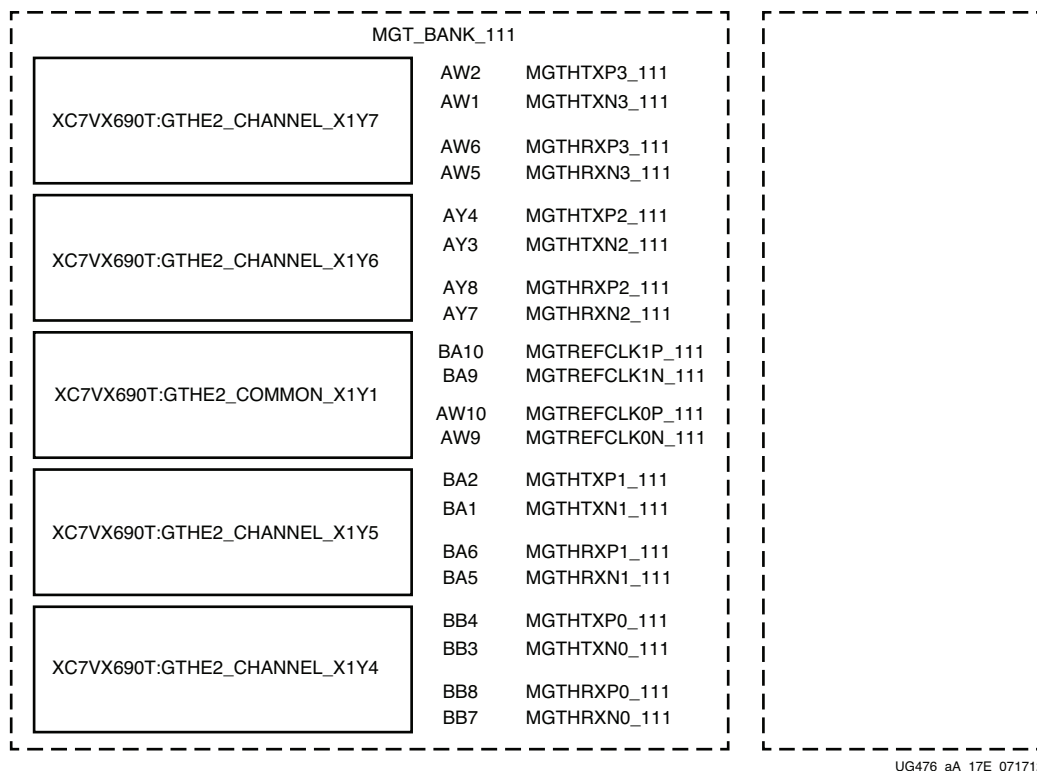


図 A-61 : FFG1761 パッケージの配置図 (5/5)

FFG1926 パッケージの配置図

図 A-62 ~ 図 A-69 に、FFG1926 パッケージの配置図を示します。

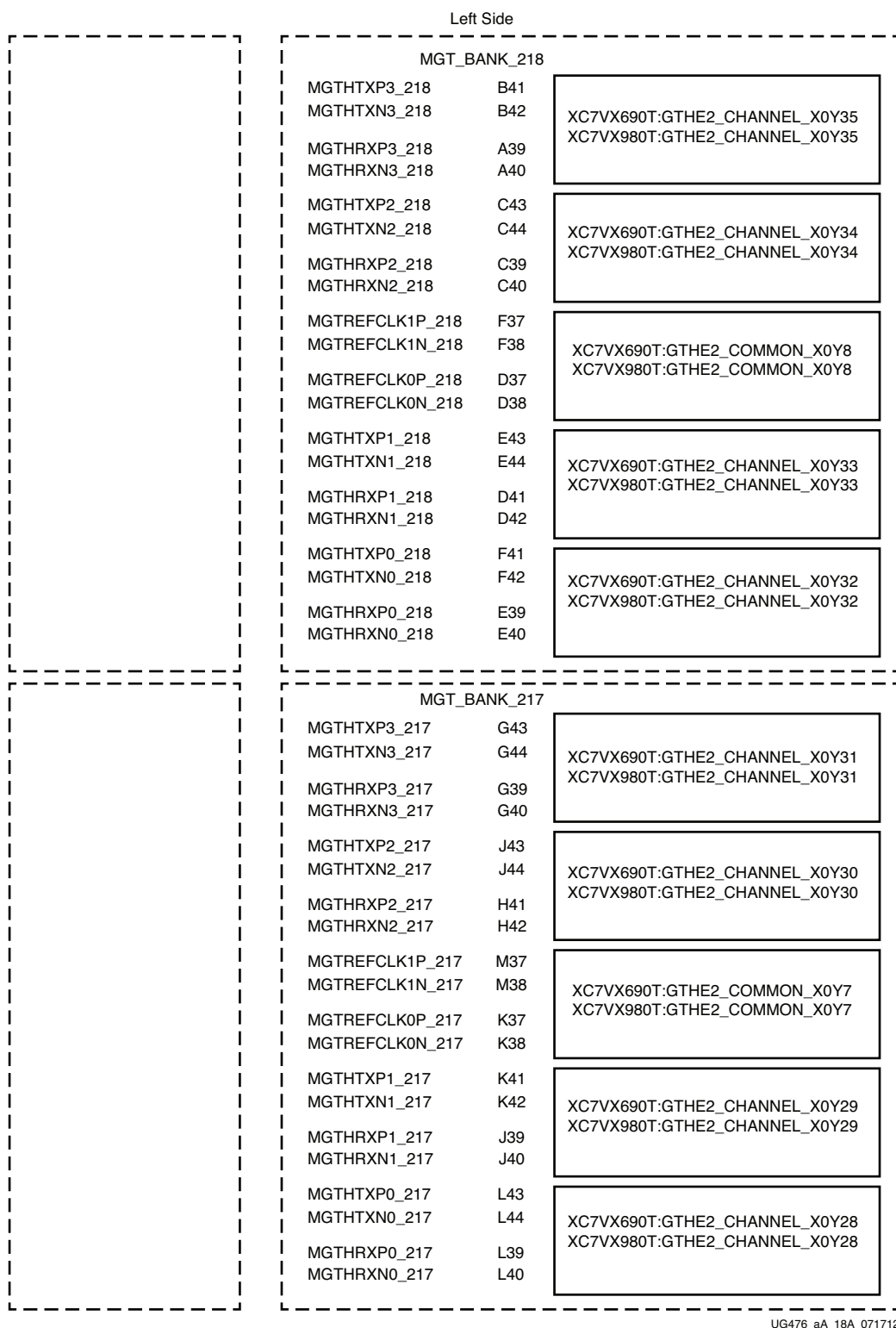
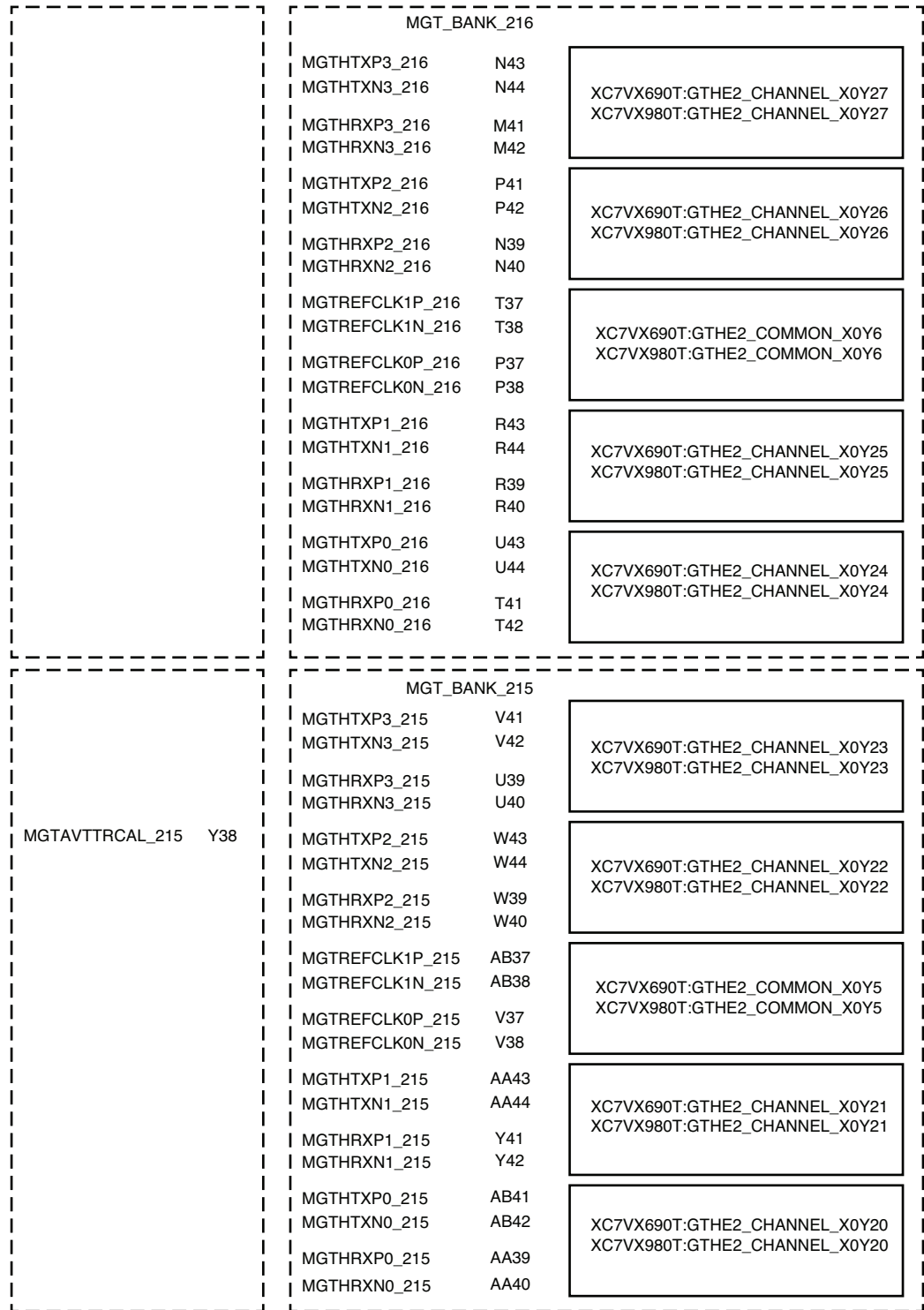
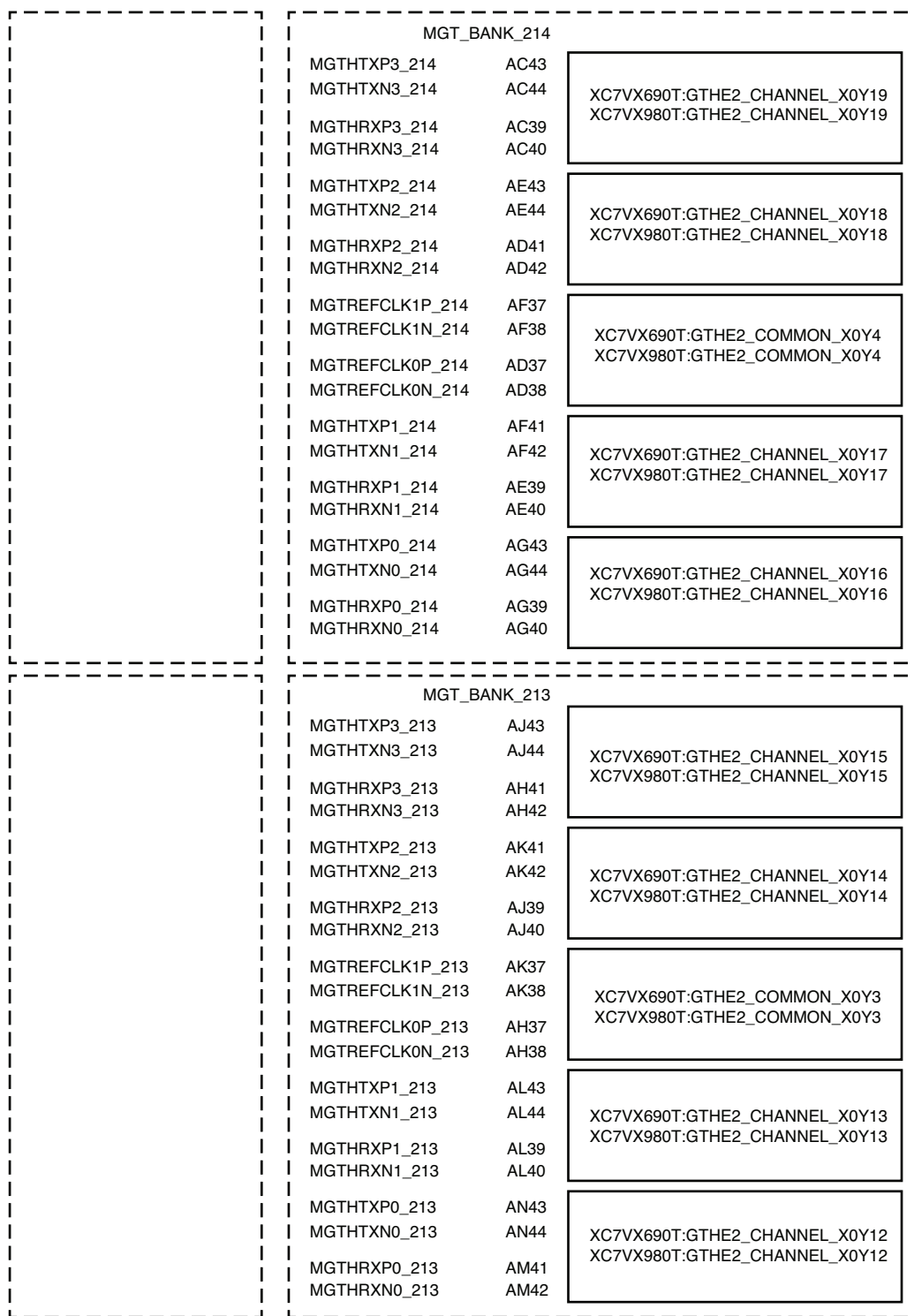


図 A-62 : FFG1926 パッケージの配置図 (1/8)



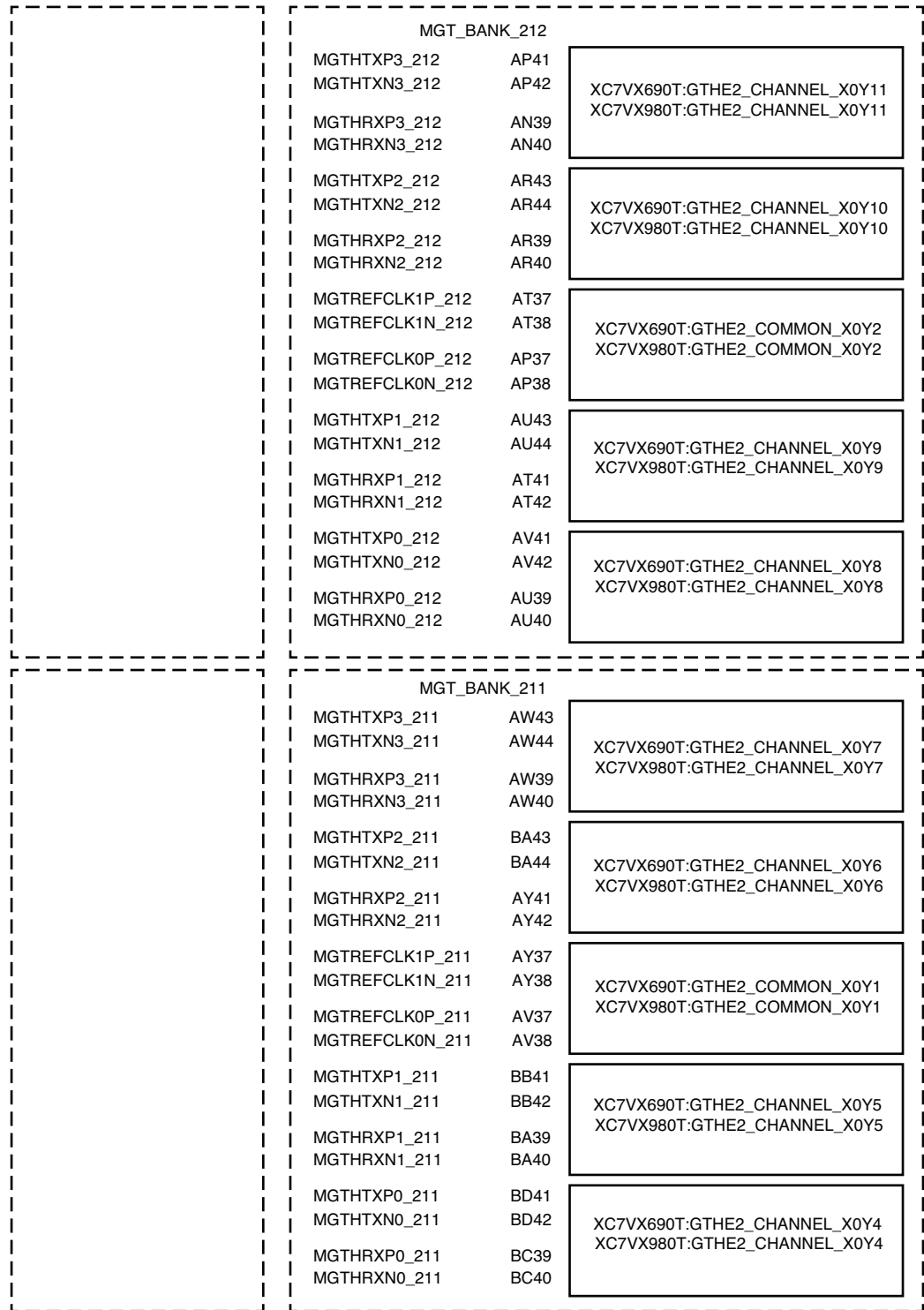
UG476_aA_18B_071712

図 A-63 : FFG1926 パッケージの配置図 (2/8)



UG476_aA_18C_071712

図 A-64 : FFG1926 パッケージの配置図 (3/8)



UG476_aA_18D_071712

図 A-65 : FFG1926 パッケージの配置図 (4/8)

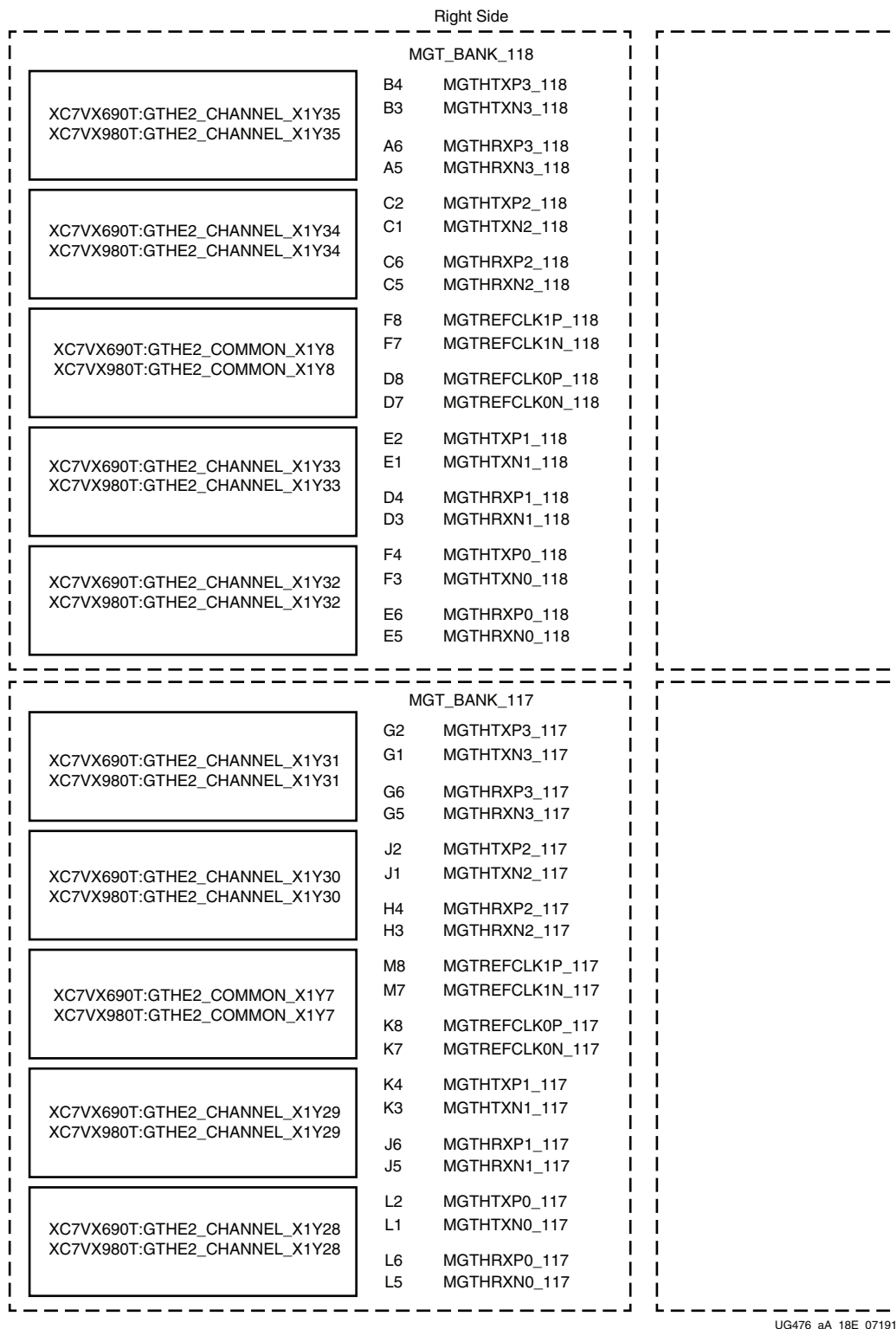


図 A-66 : FFG1926 パッケージの配置図 (5/8)

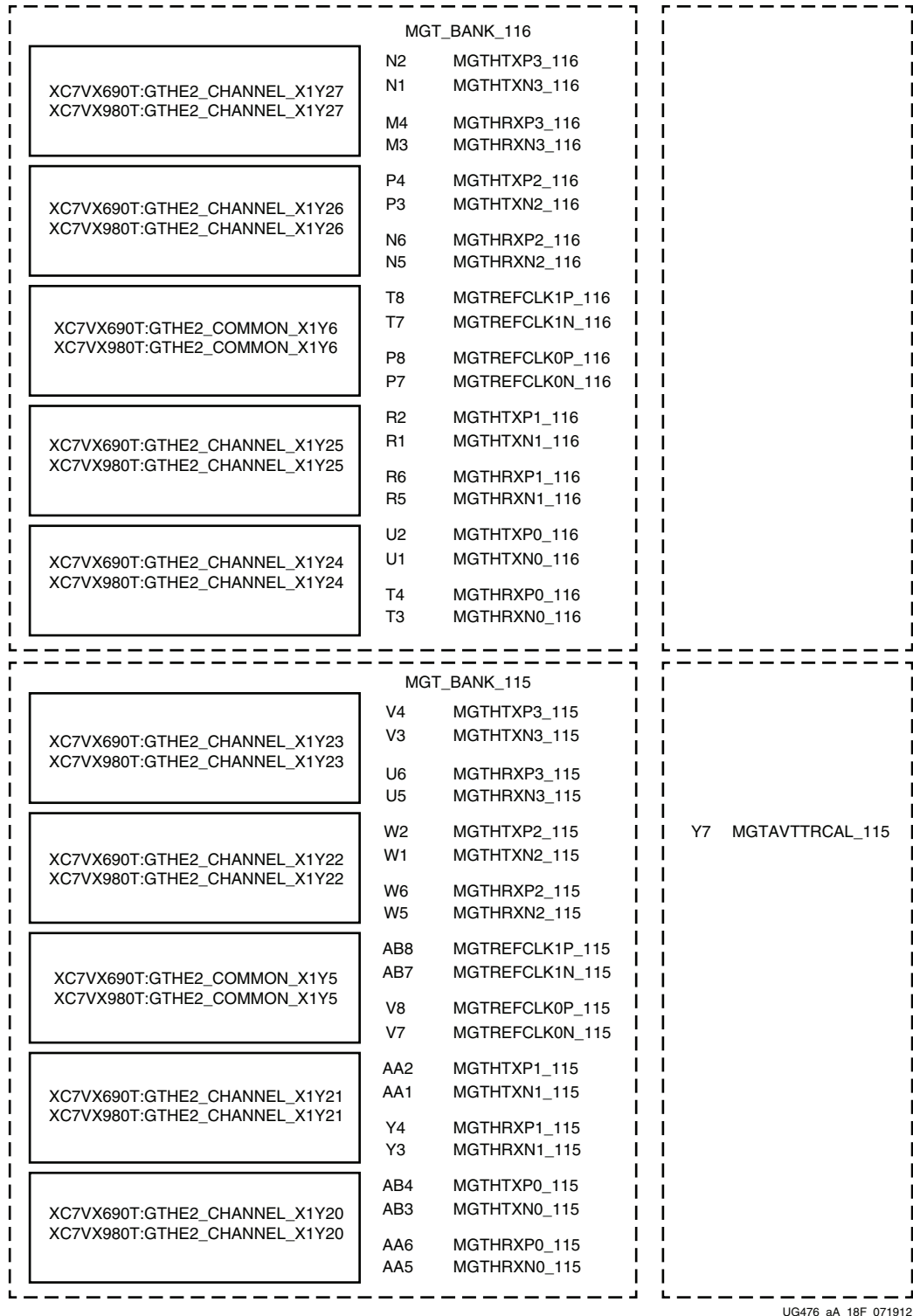
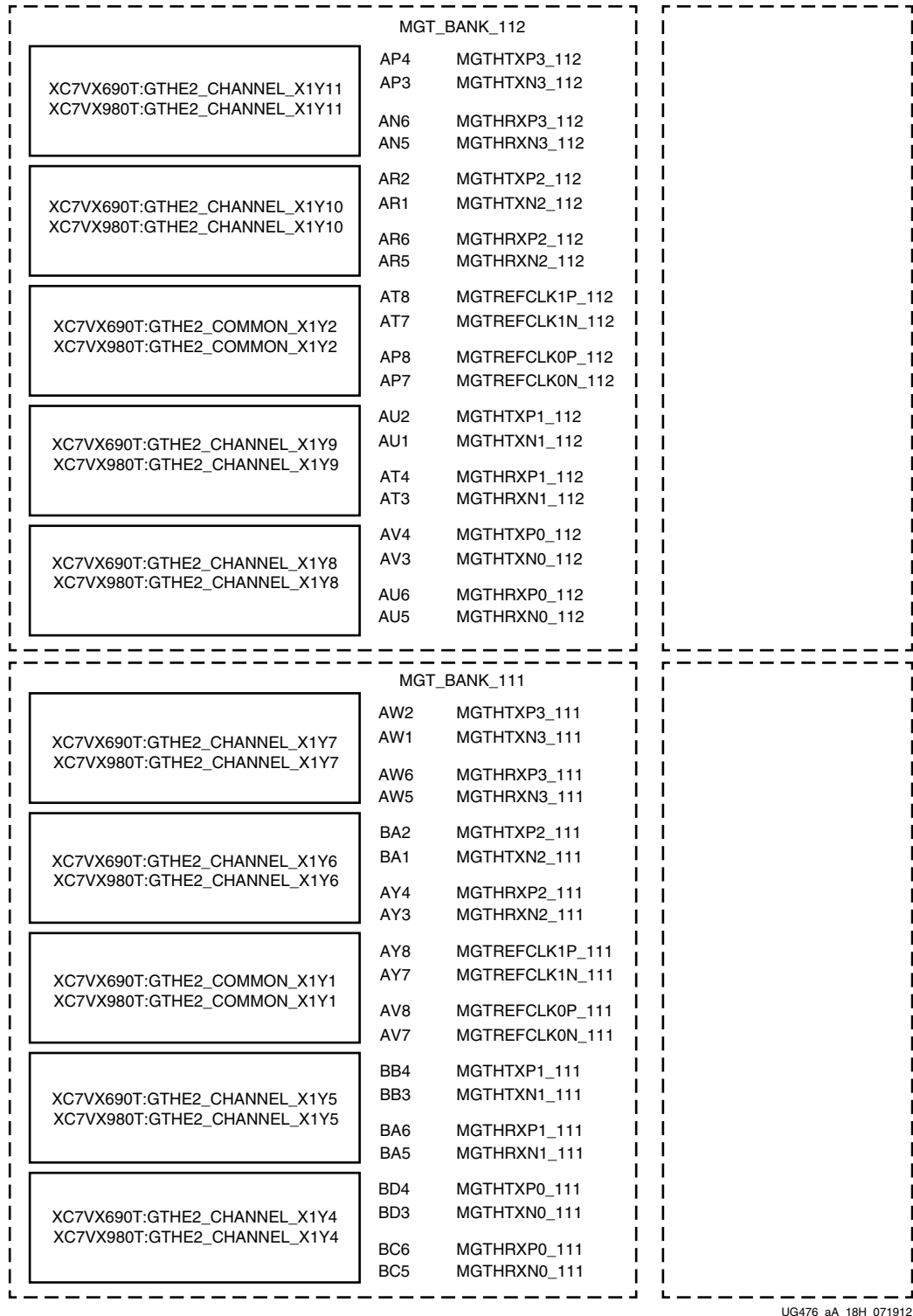


図 A-67 : FFG1926 パッケージの配置図 (6/8)



図 A-68 : FFG1926 パッケージの配置図 (7/8)



UG476_aA_18H_071912

図 A-69 : FFG1926 パッケージの配置図 (8/8)

FFG1927 パッケージの配置図

図 A-70 ～図 A-79 に、FFG1927 パッケージの配置図を示します。

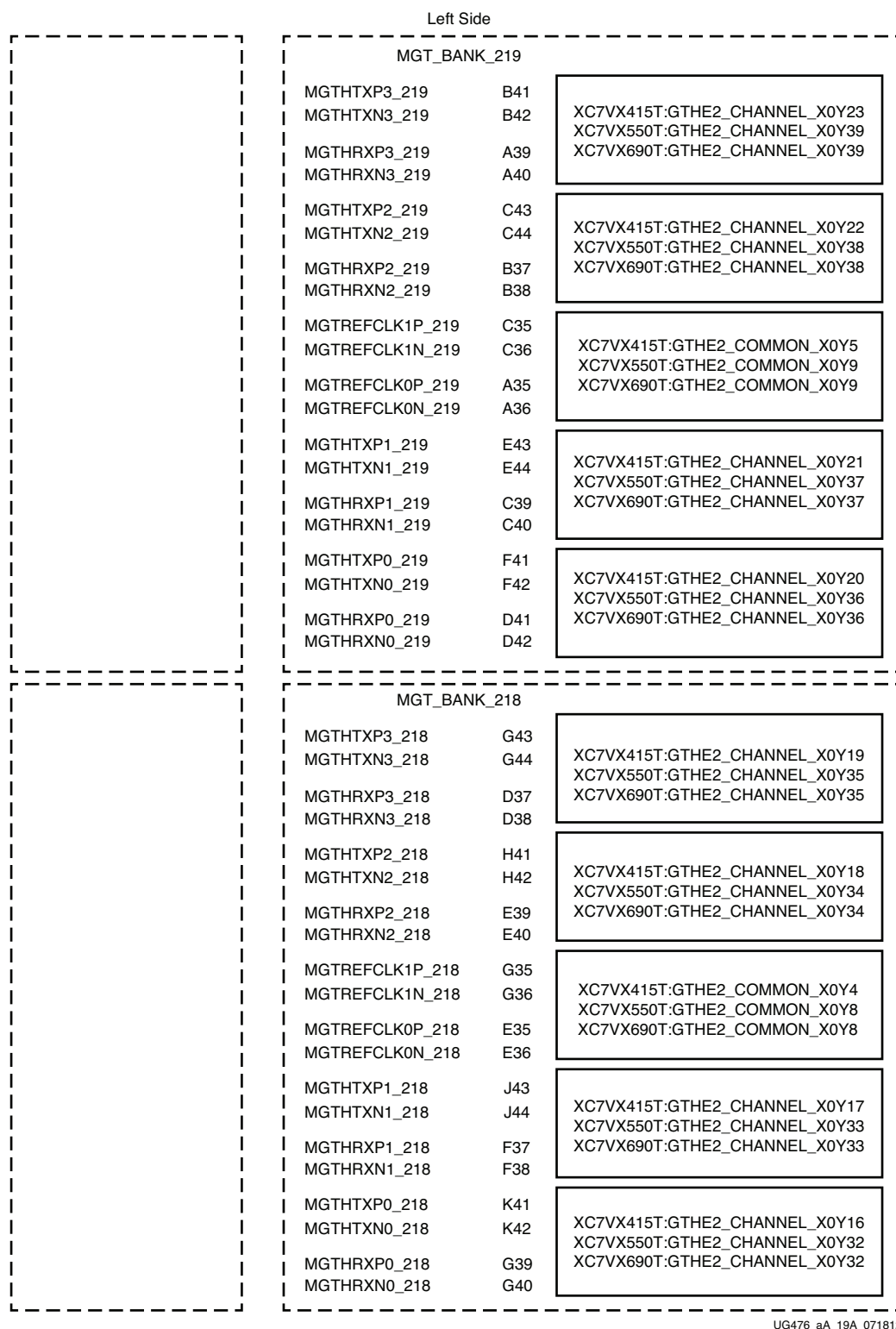
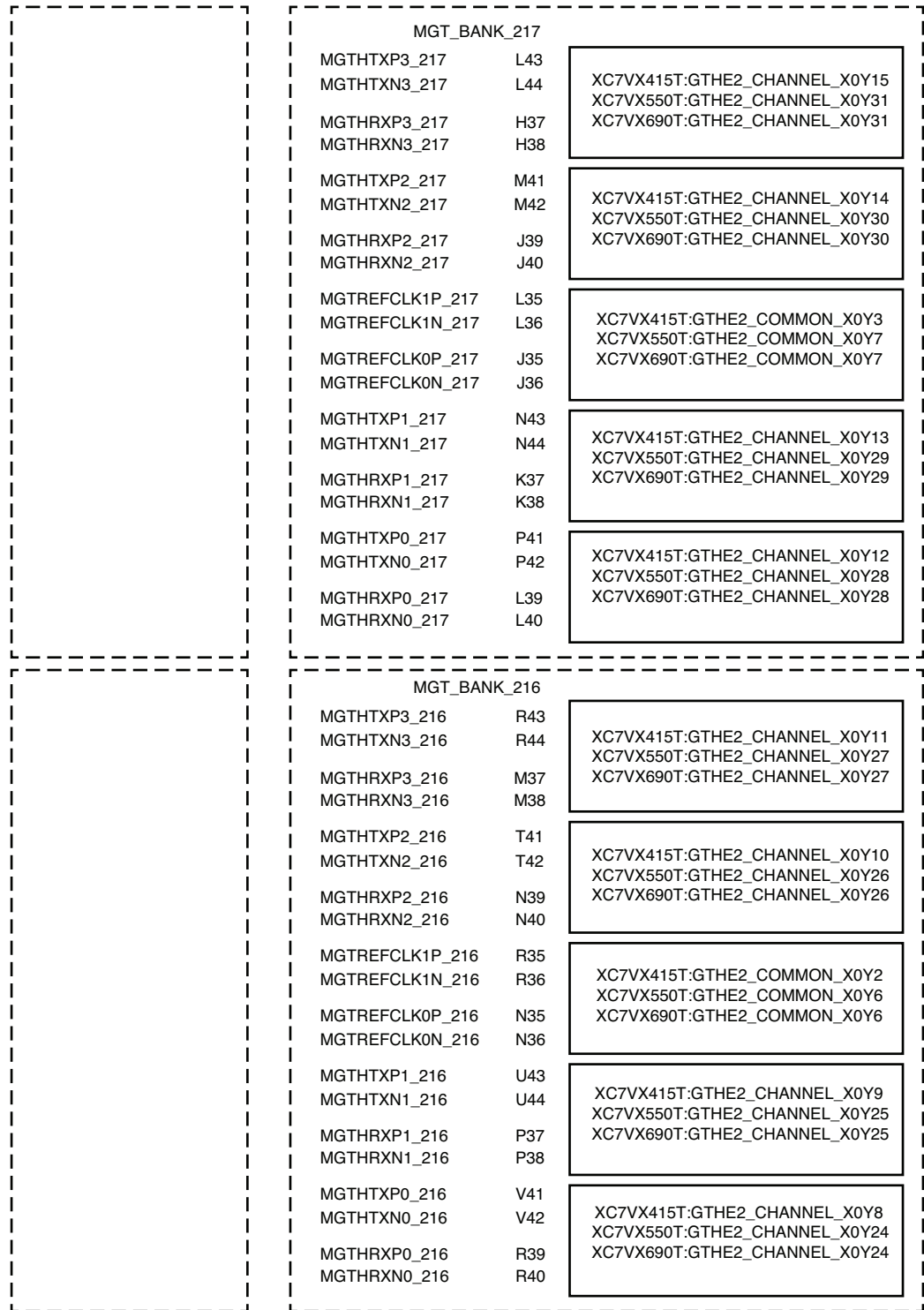
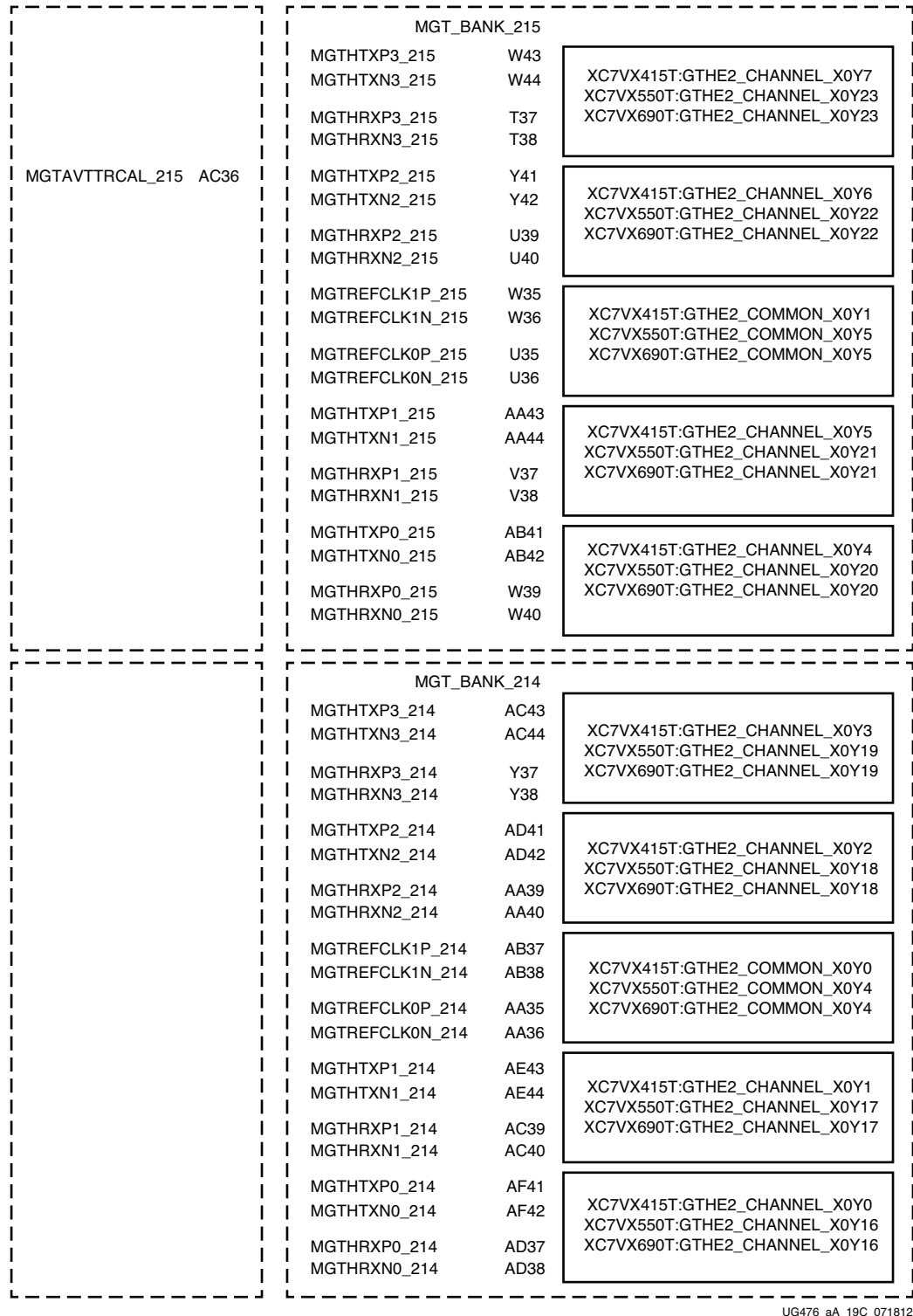


図 A-70 : FFG1927 パッケージの配置図 (1/10)



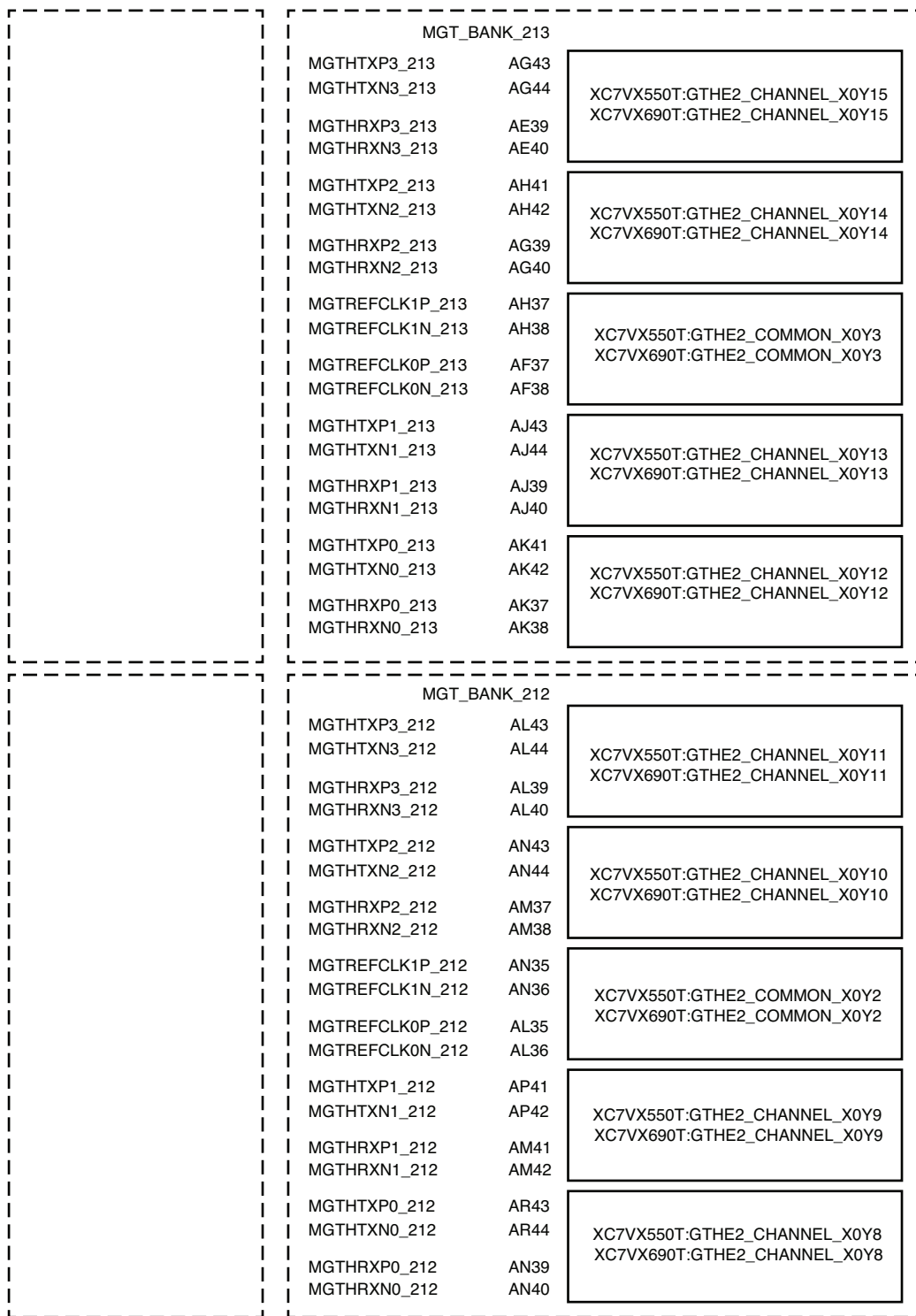
UG476_aA_19B_071812

図 A-71 : FFG1927 パッケージの配置図 (2/10)



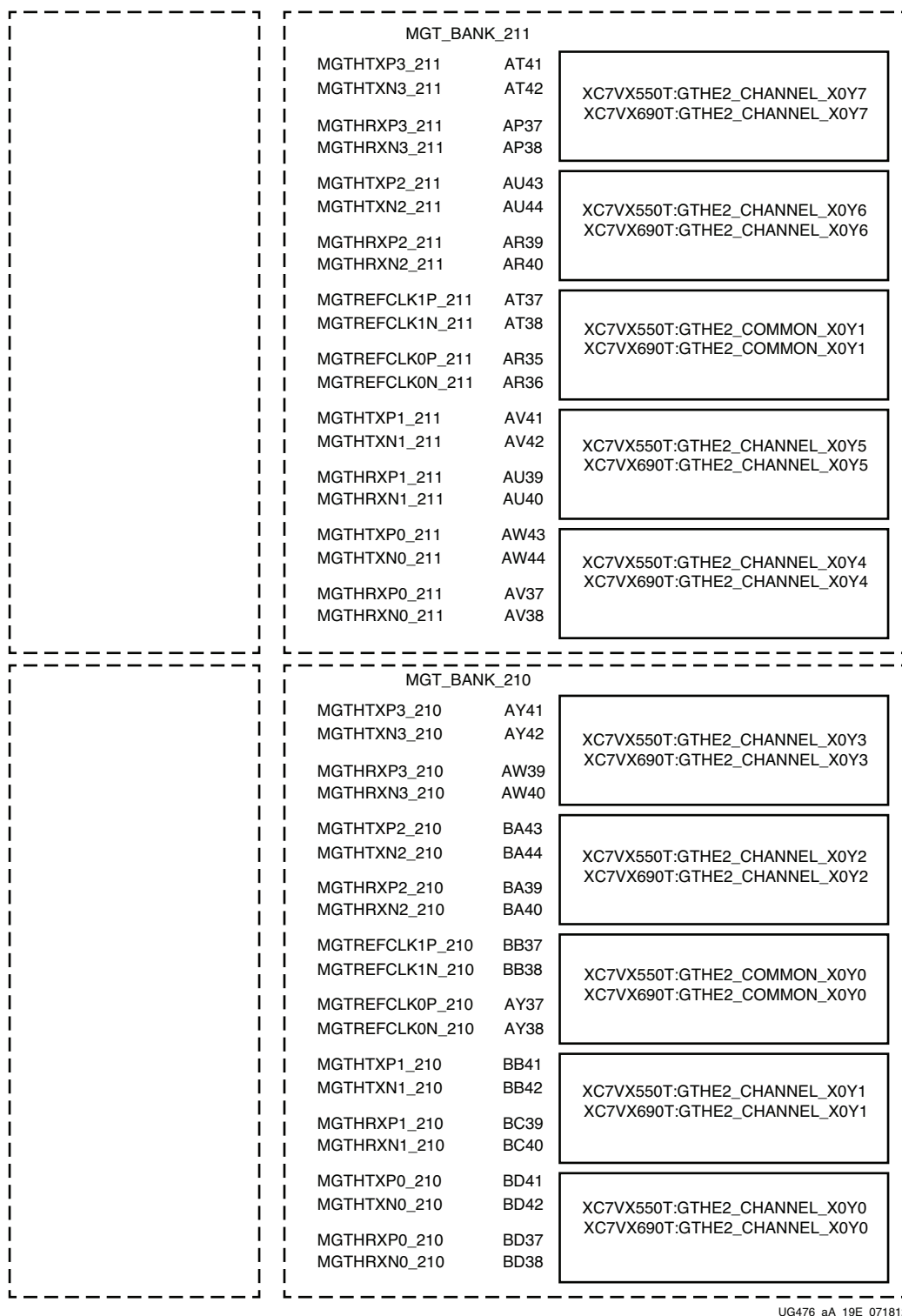
UG476_aA_19C_071812

図 A-72 : FFG1927 パッケージの配置図 (3/10)



UG476_aA_19D_071812

図 A-73 : FFG1927 パッケージの配置図 (4/10)



UG476_aA_19E_071812

図 A-74 : FFG1927 パッケージの配置図 (5/10)

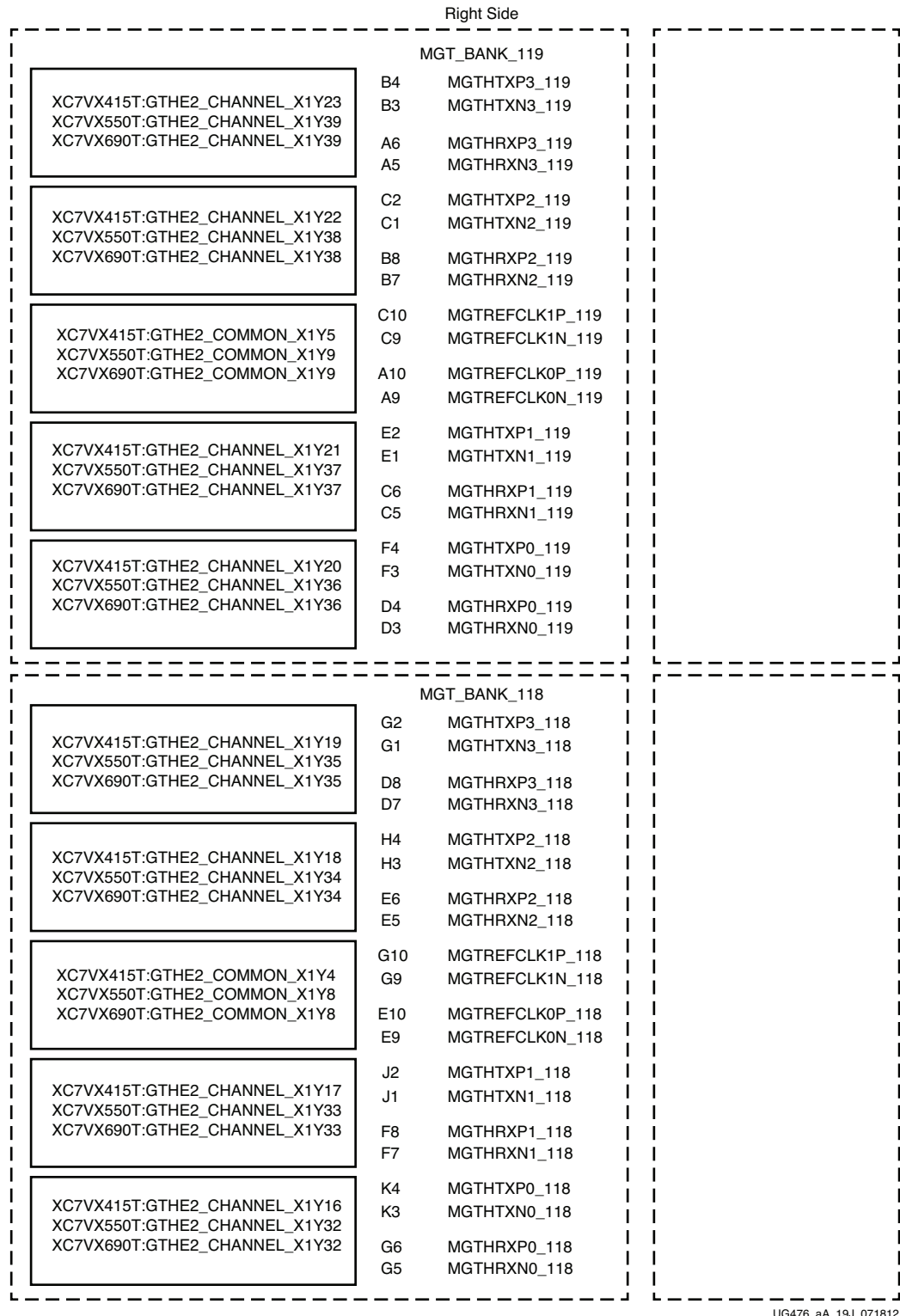
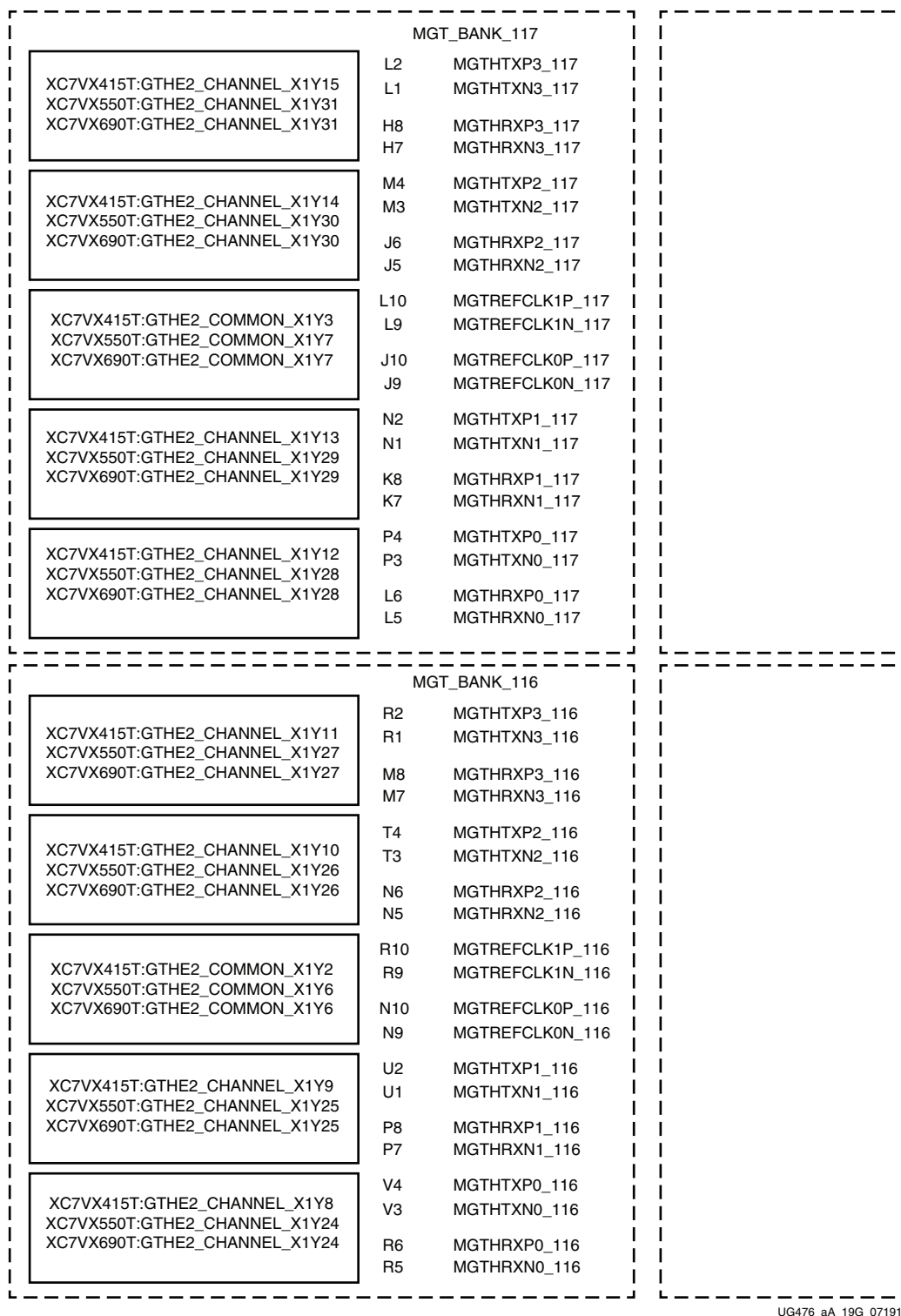


図 A-75 : FFG1927 パッケージの配置図 (6/10)



UG476_aA_19G_071912

図 A-76 : FFG1927 パッケージの配置図 (7/10)

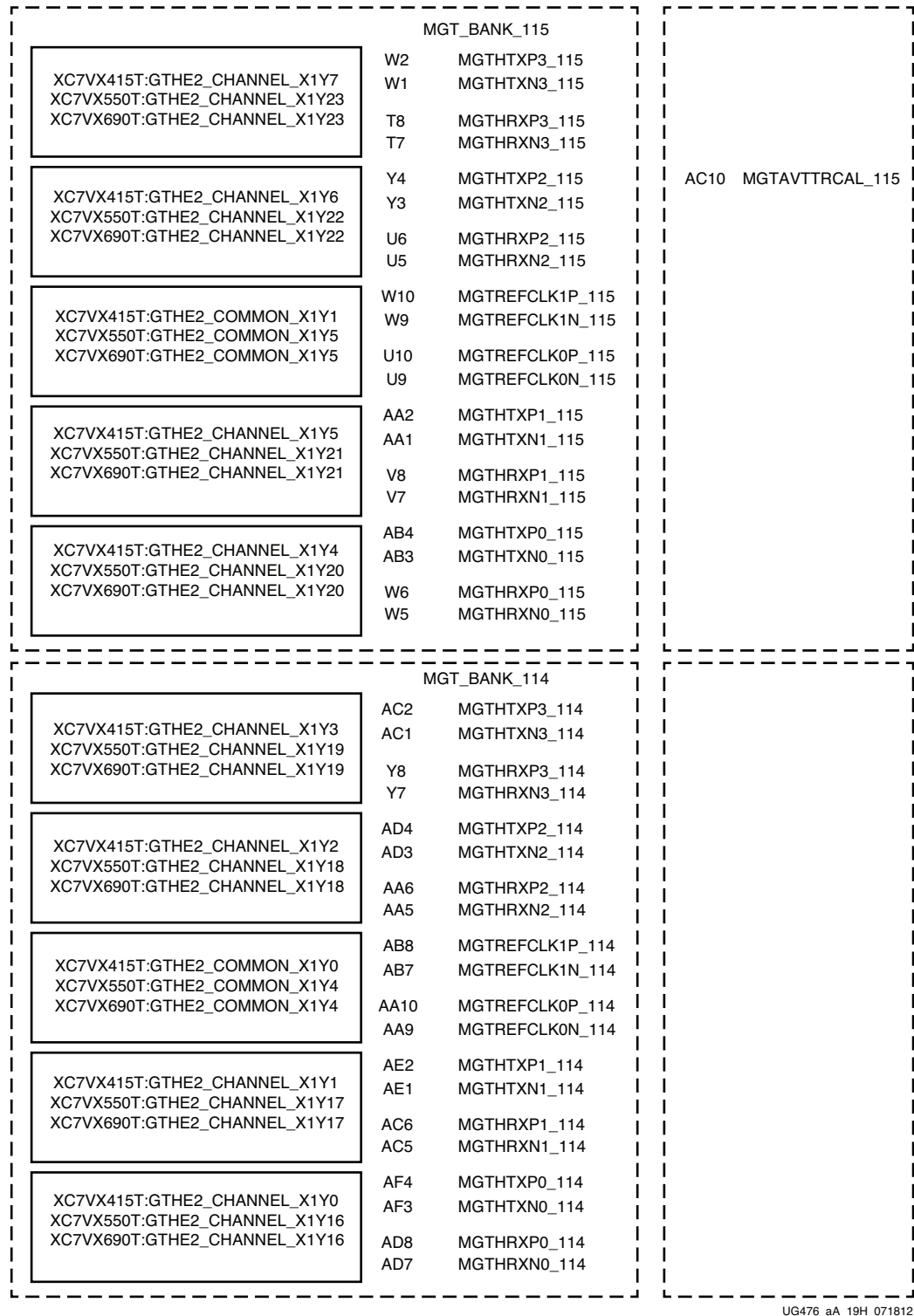
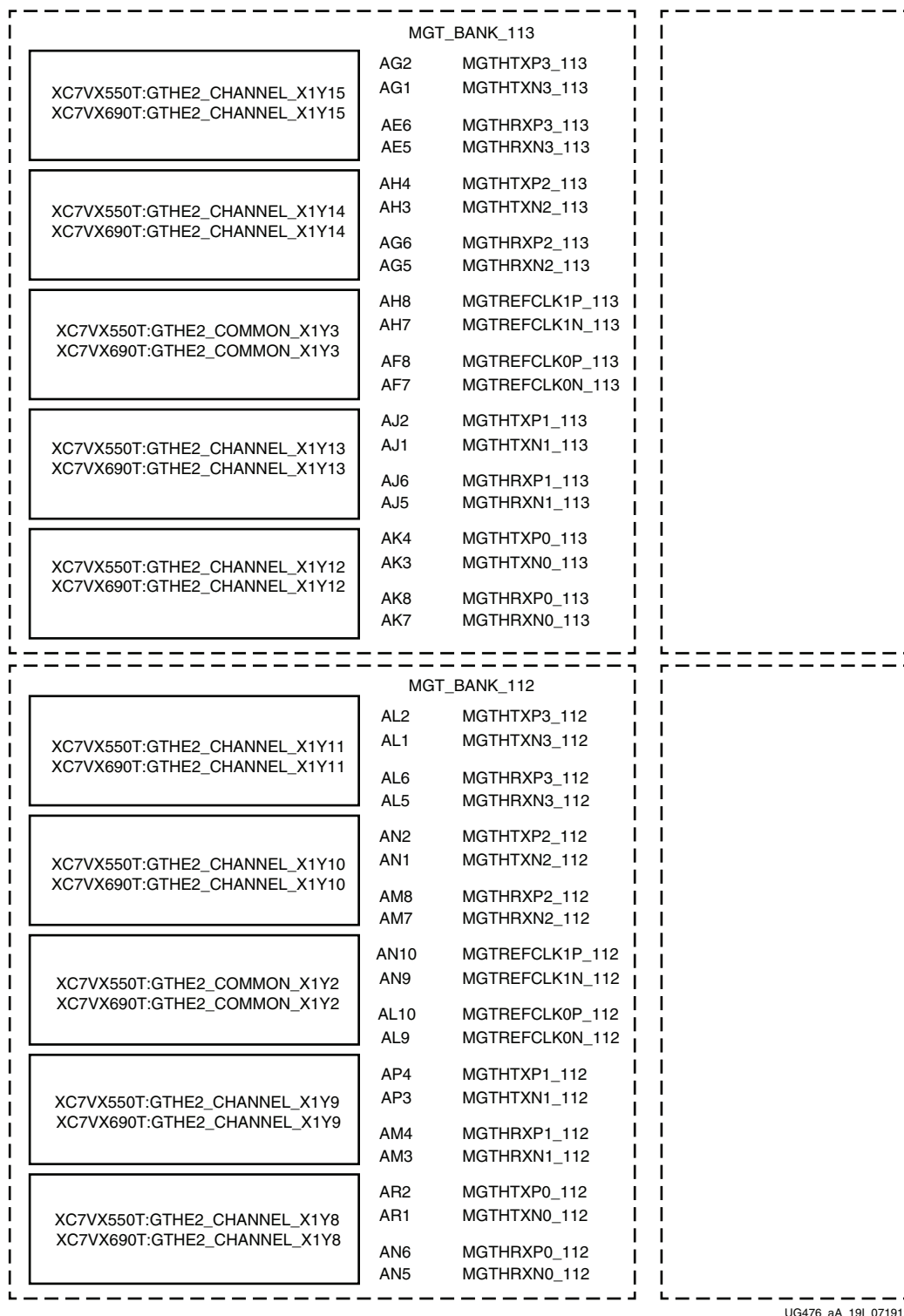


図 A-77 : FFG1927 パッケージの配置図 (8/10)



UG476_aA_19L_071912

図 A-78 : FFG1927 パッケージの配置図 (9/10)

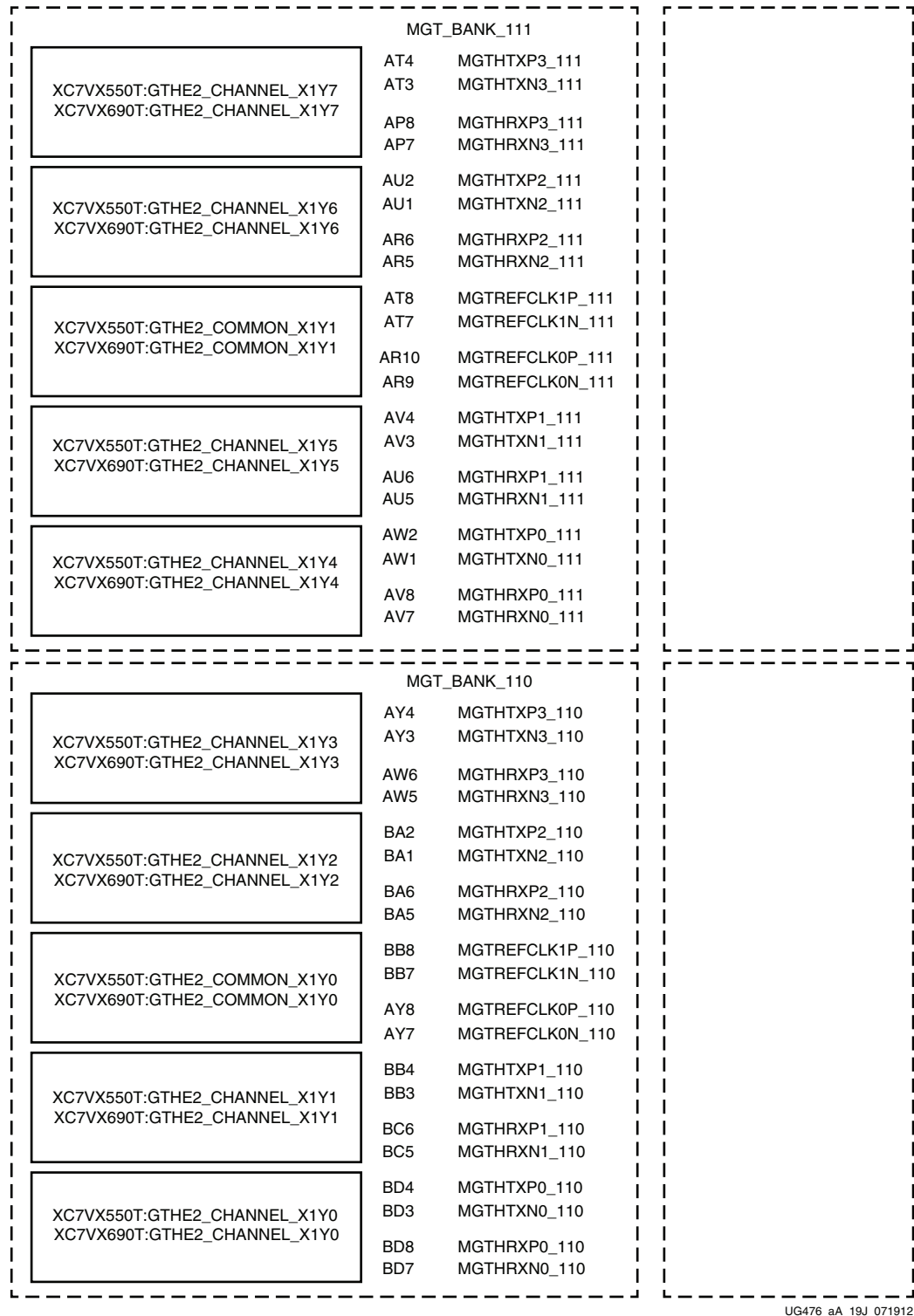
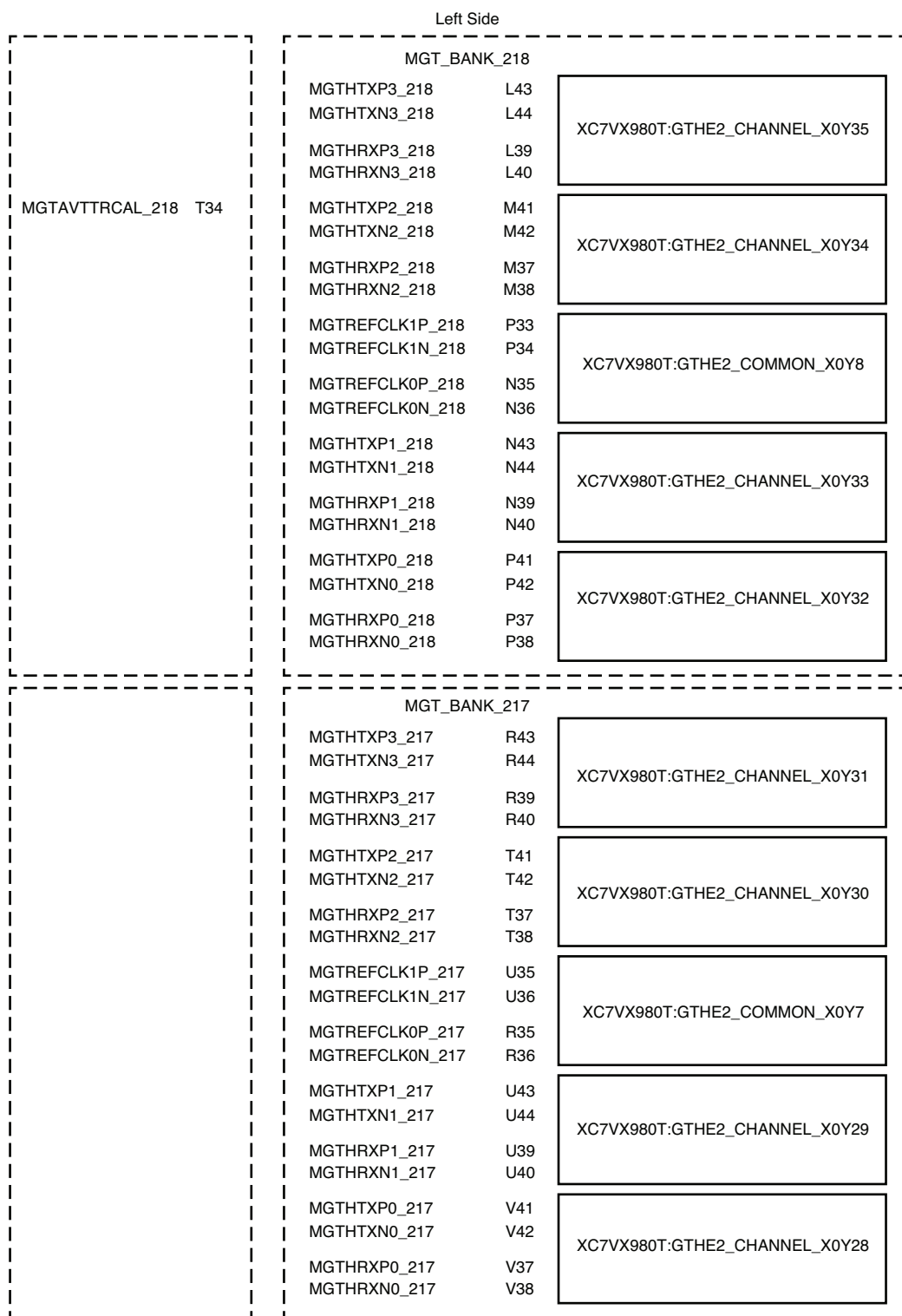


図 A-79 : FFG1927 パッケージの配置図 (10/10)

FFG1928 パッケージの配置図

図 A-80 ～図 A-89 に、FFG1928 パッケージの配置図を示します。



UG476_aA_20A_071912

図 A-80 : FFG1928 パッケージの配置図 (1/10)

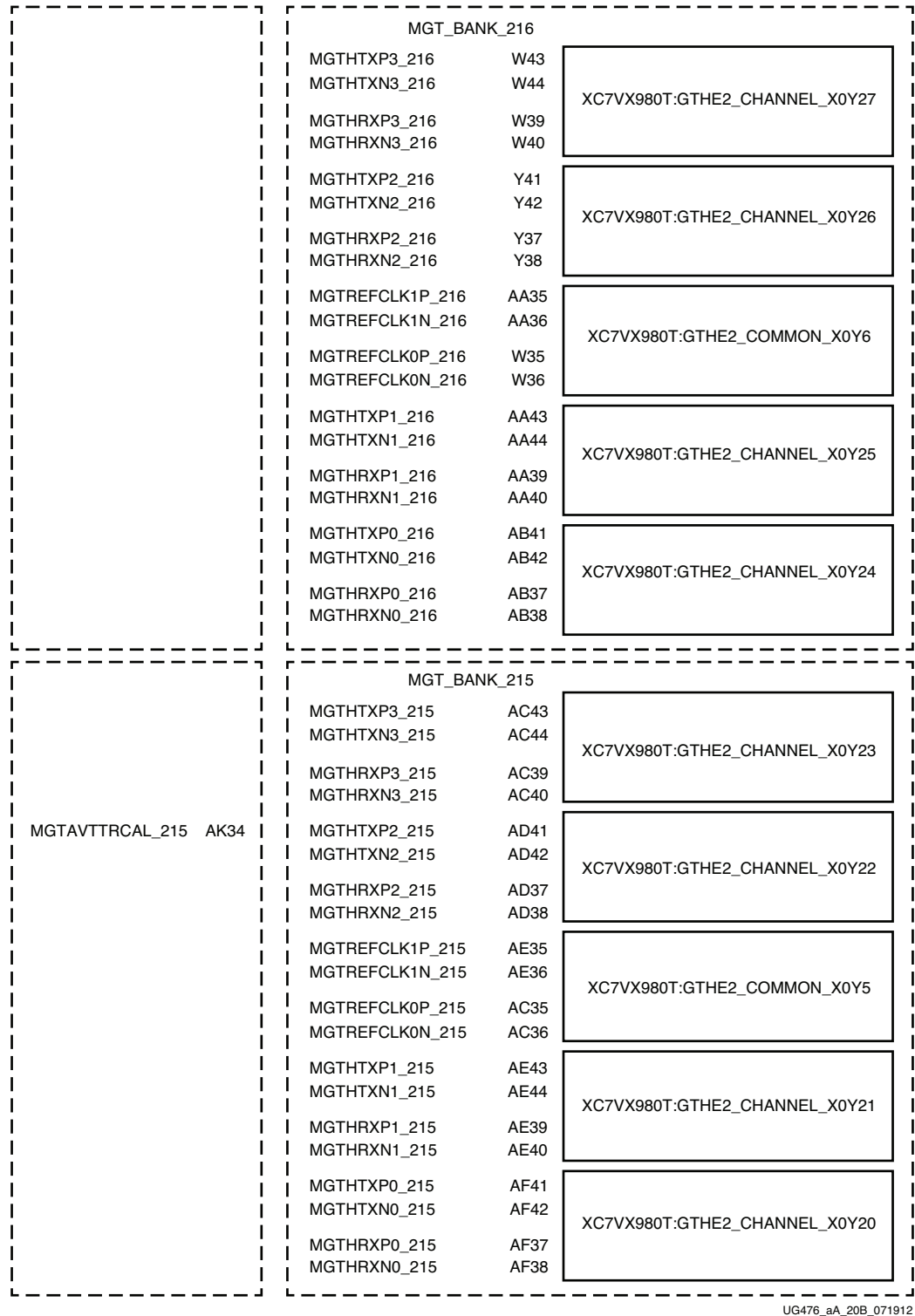


図 A-81 : FFG1928 パッケージの配置図 (2/10)

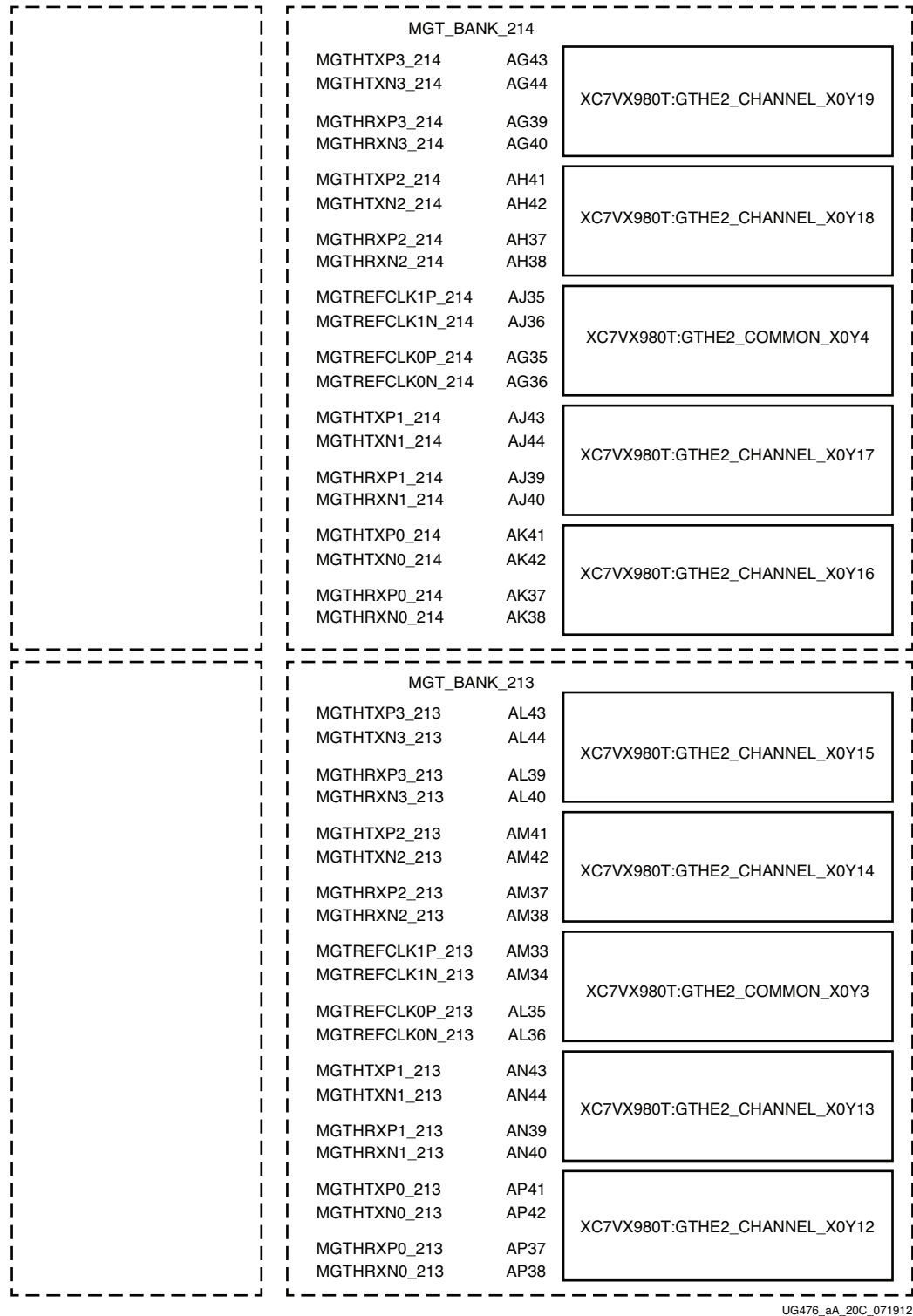


図 A-82 : FFG1928 パッケージの配置図 (3/10)

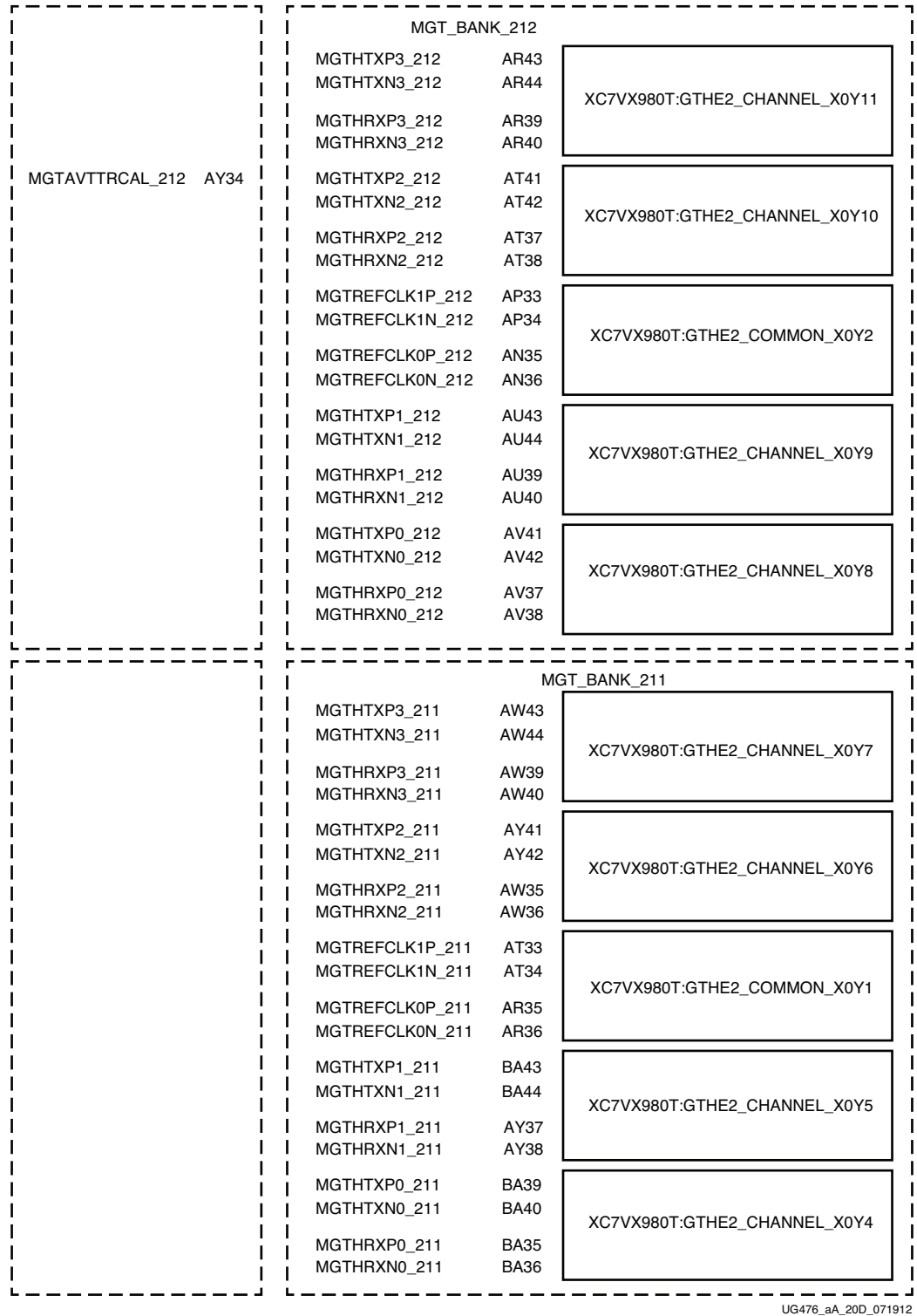
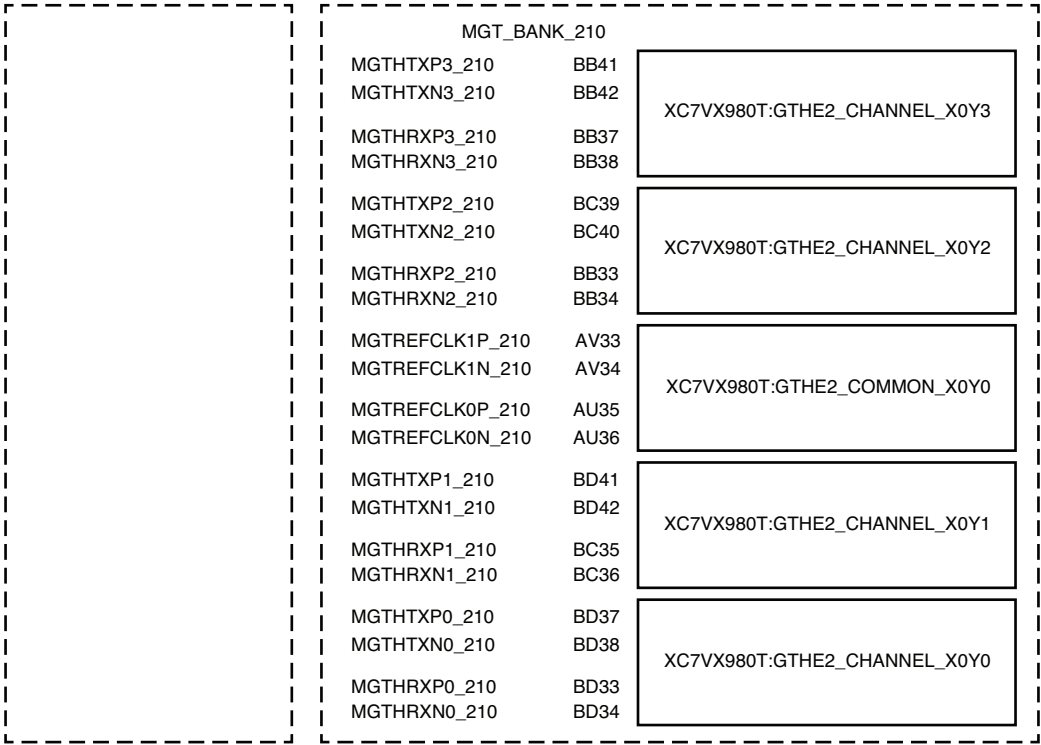


図 A-83 : FFG1928 パッケージの配置図 (4/10)



UG476_aA_20E_071912

図 A-84 : FFG1928 パッケージの配置図 (5/10)

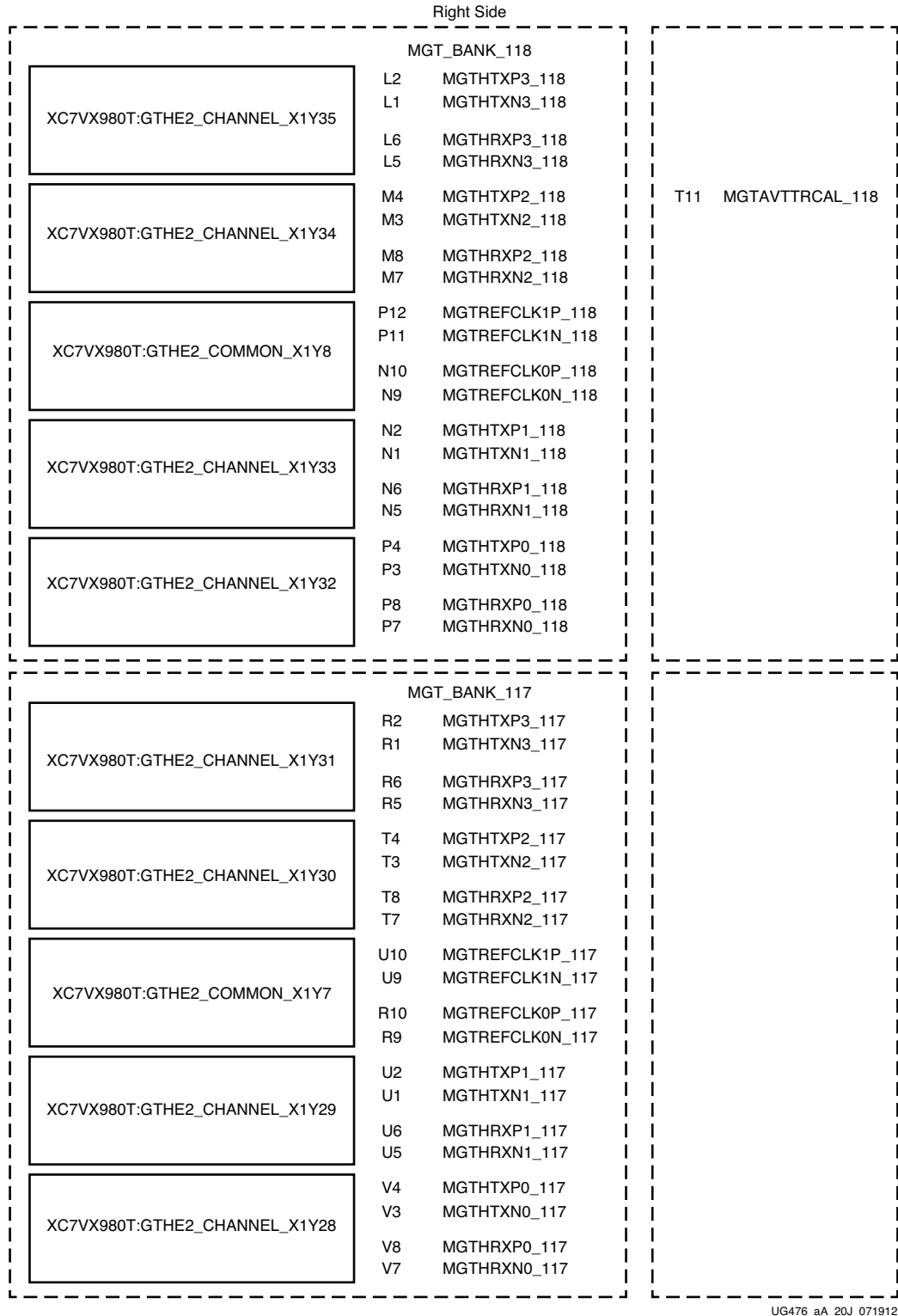


図 A-85 : FFG1928 パッケージの配置図 (6/10)

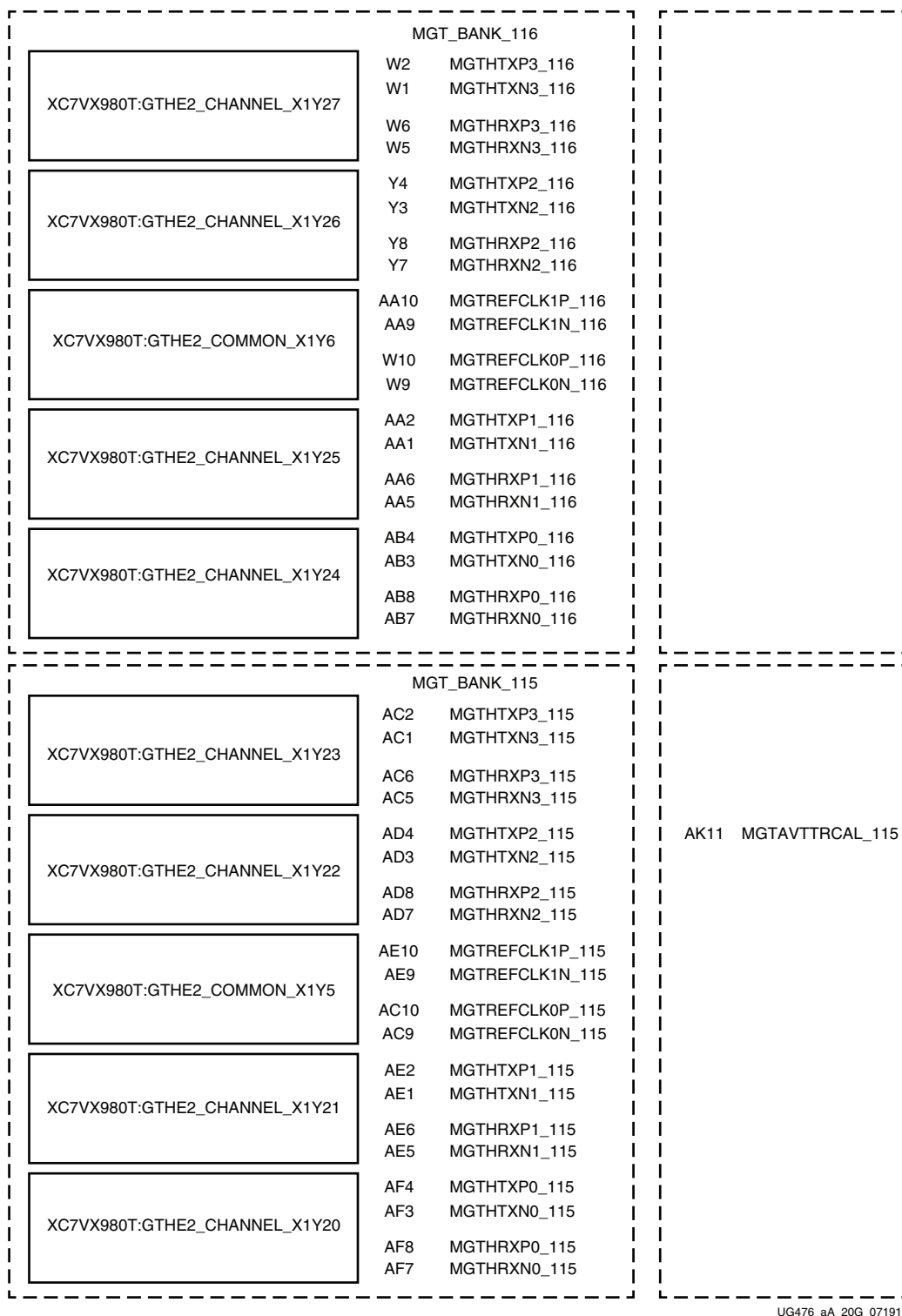
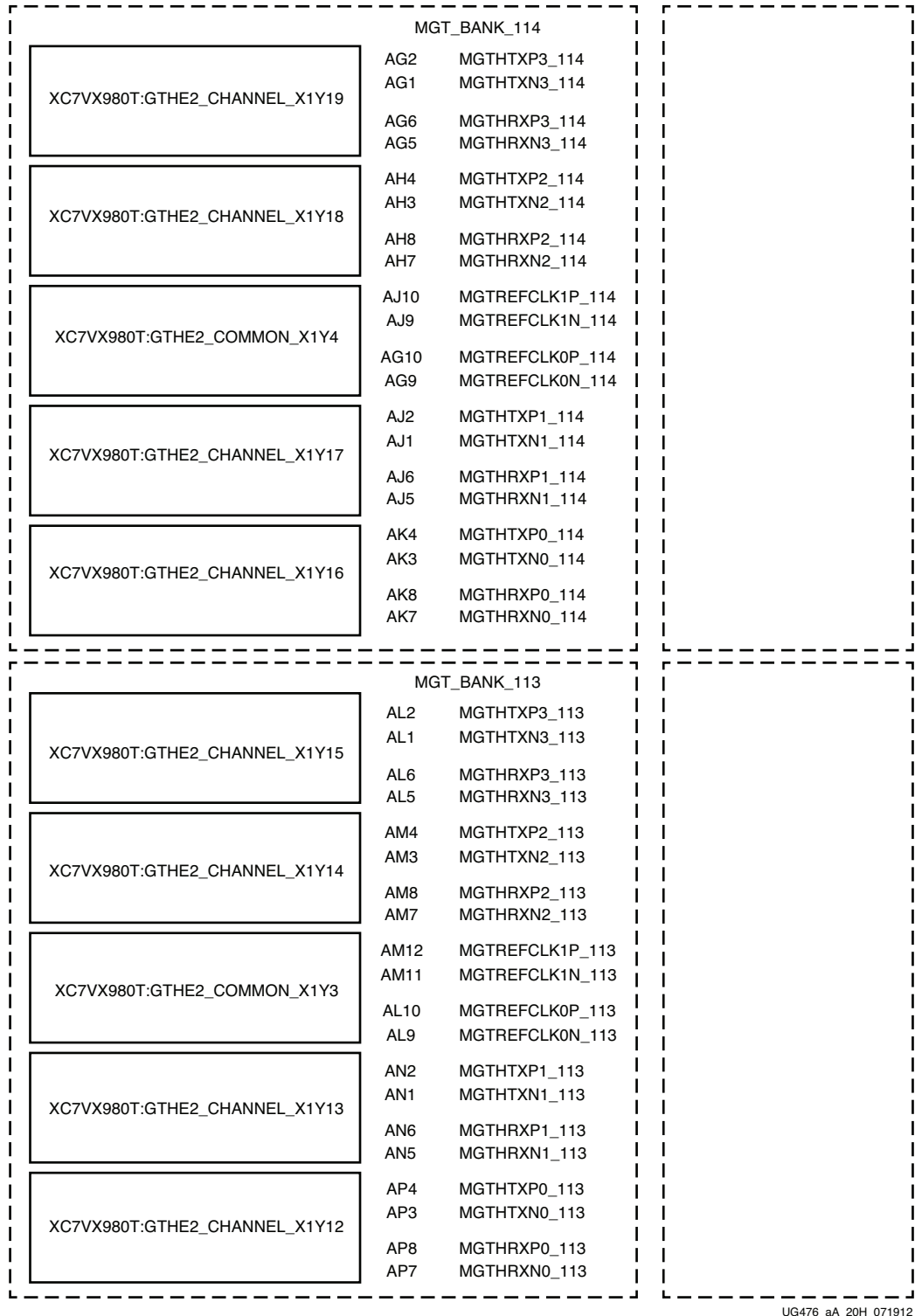
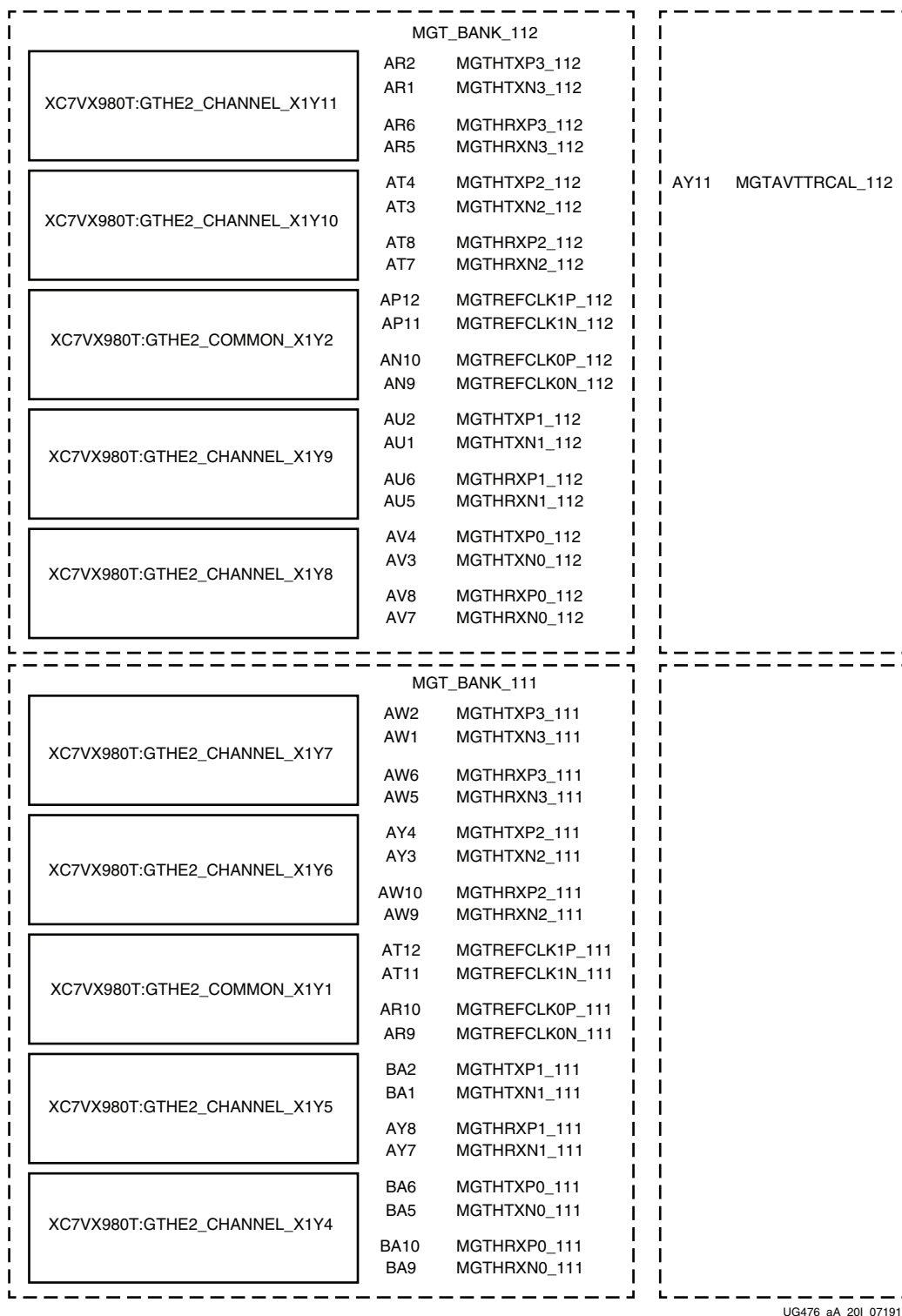


図 A-86 : FFG1928 パッケージの配置図 (7/10)



UG476_aA_20H_071912

図 A-87 : FFG1928 パッケージの配置図 (8/10)



UG476_aA_20L_071912

図 A-88 : FFG1928 パッケージの配置図 (9/10)

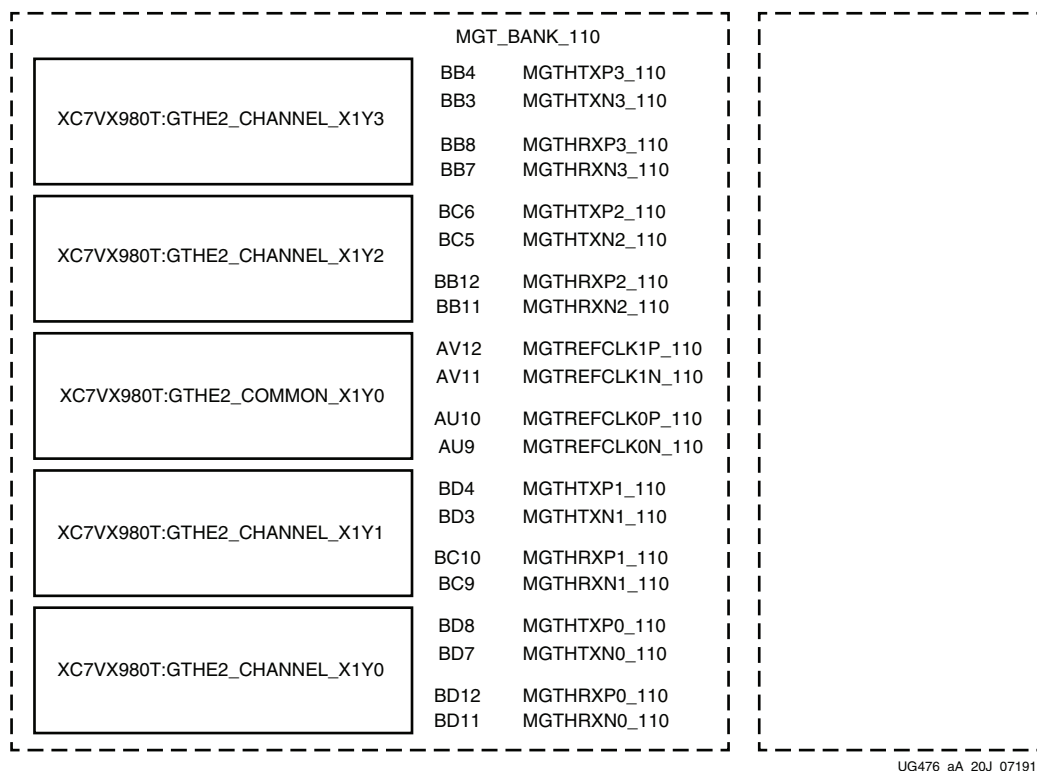


図 A-89 : FFG1928 パッケージの配置図 (10/10)

FFG1930 パッケージの配置図

図 A-90 ~ 図 A-92 に、FFG1930 パッケージの配置図を示します。

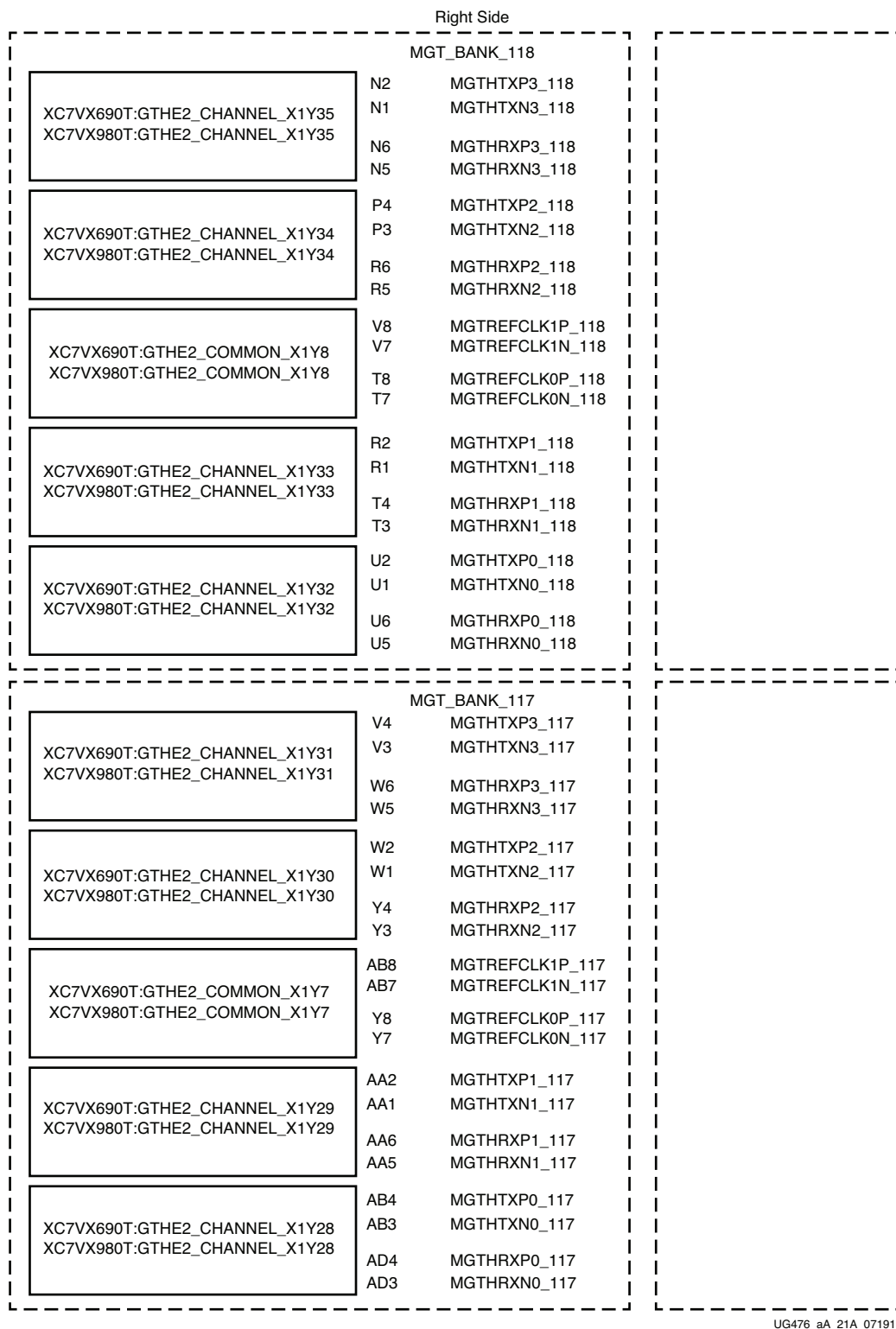


図 A-90 : FFG1930 パッケージの配置図 (1/3)

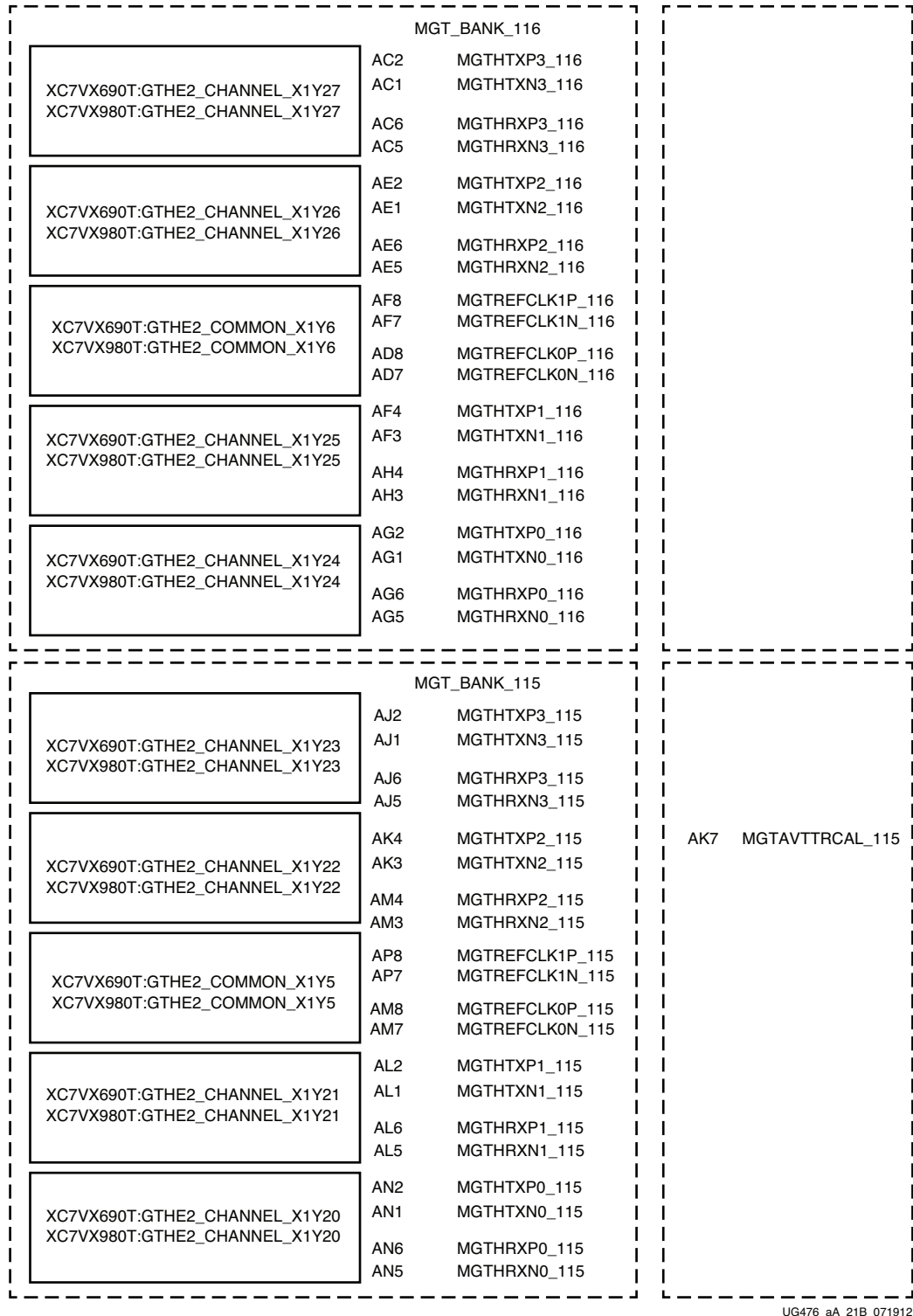
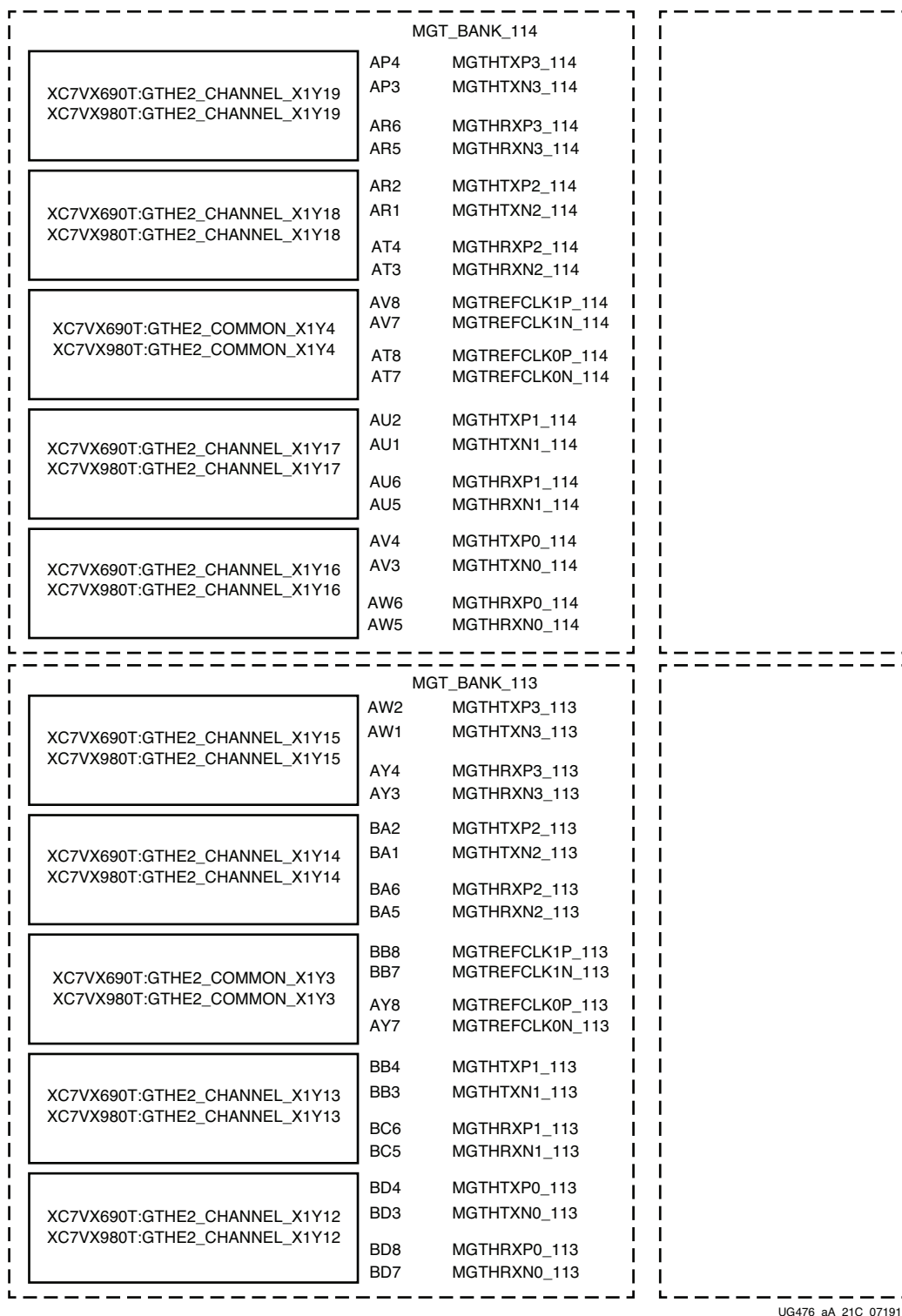


図 A-91 : FFG1930 パッケージの配置図 (2/3)

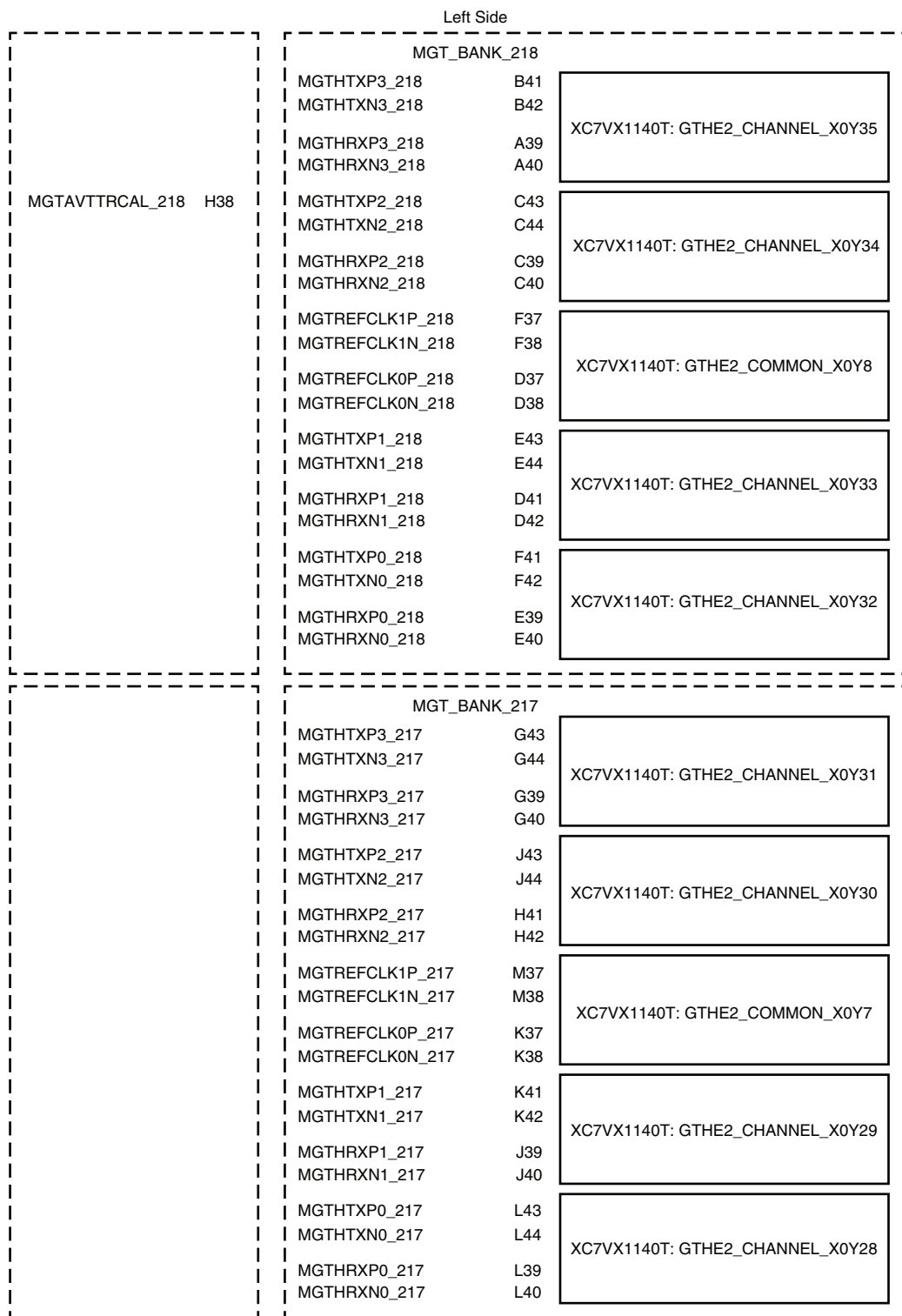


UG476_aA_21C_071912

図 A-92 : FFG1930 パッケージの配置図 (3/3)

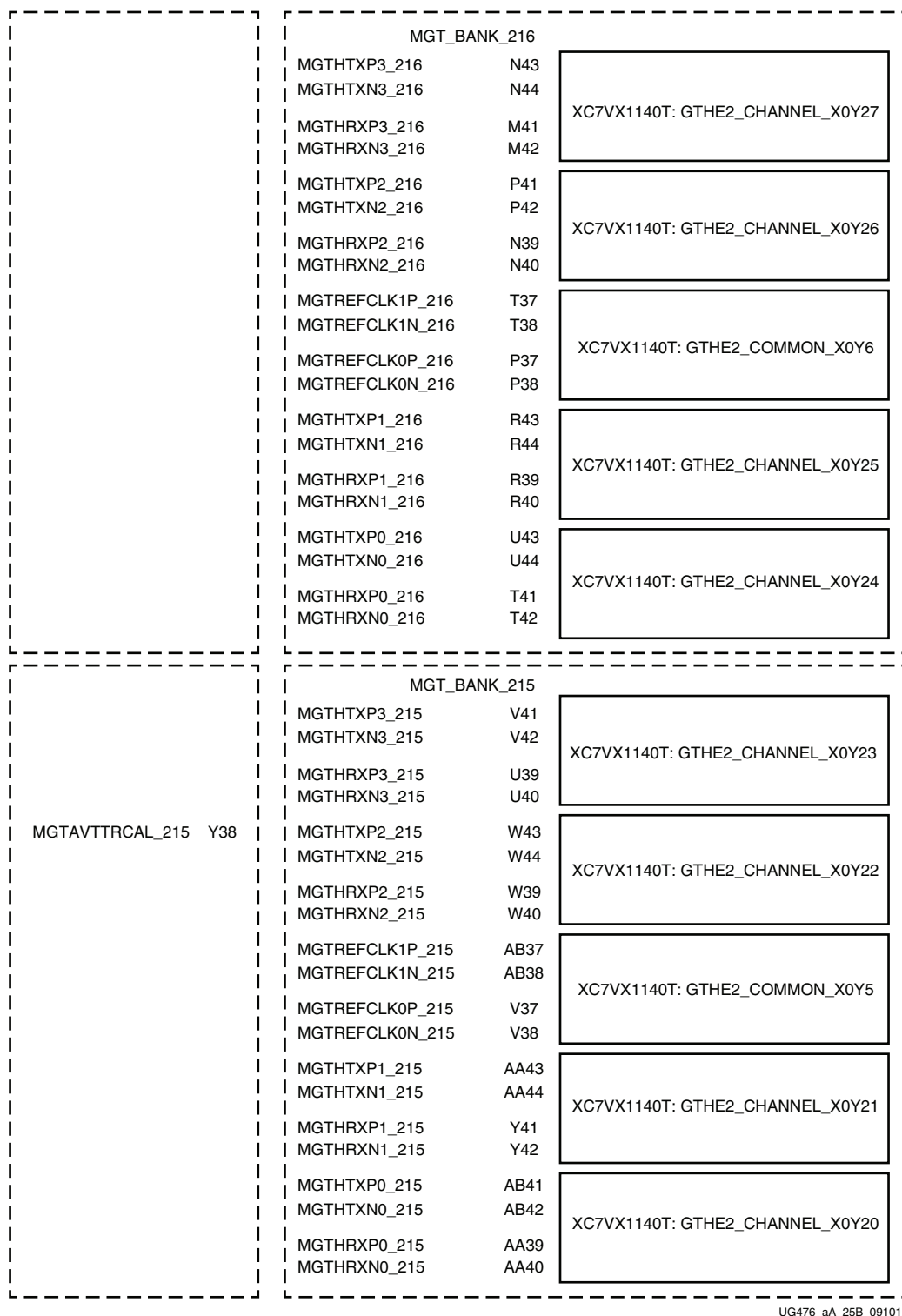
FLG1926 パッケージの配置図

図 A-93 ~ 図 A-100 に、FLG1926 パッケージの配置図を示します。



UG476_aA_25A_091012

図 A-93 : FLG1926 パッケージの配置図 (1/8)



UG476_aA_25B_091012

図 A-94 : FLG1926 パッケージの配置図 (2/8)

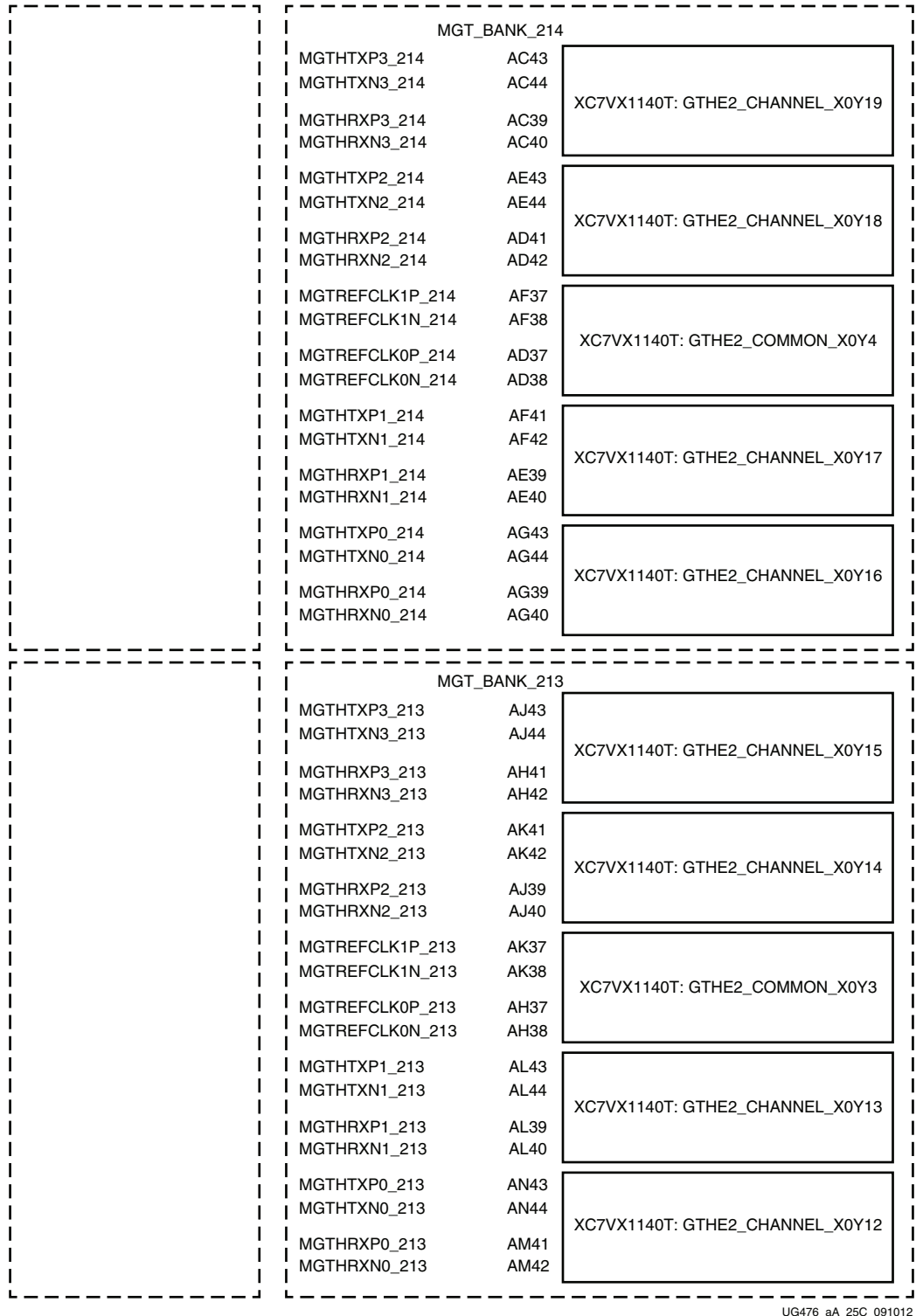


図 A-95 : FLG1926 パッケージの配置図 (3/8)

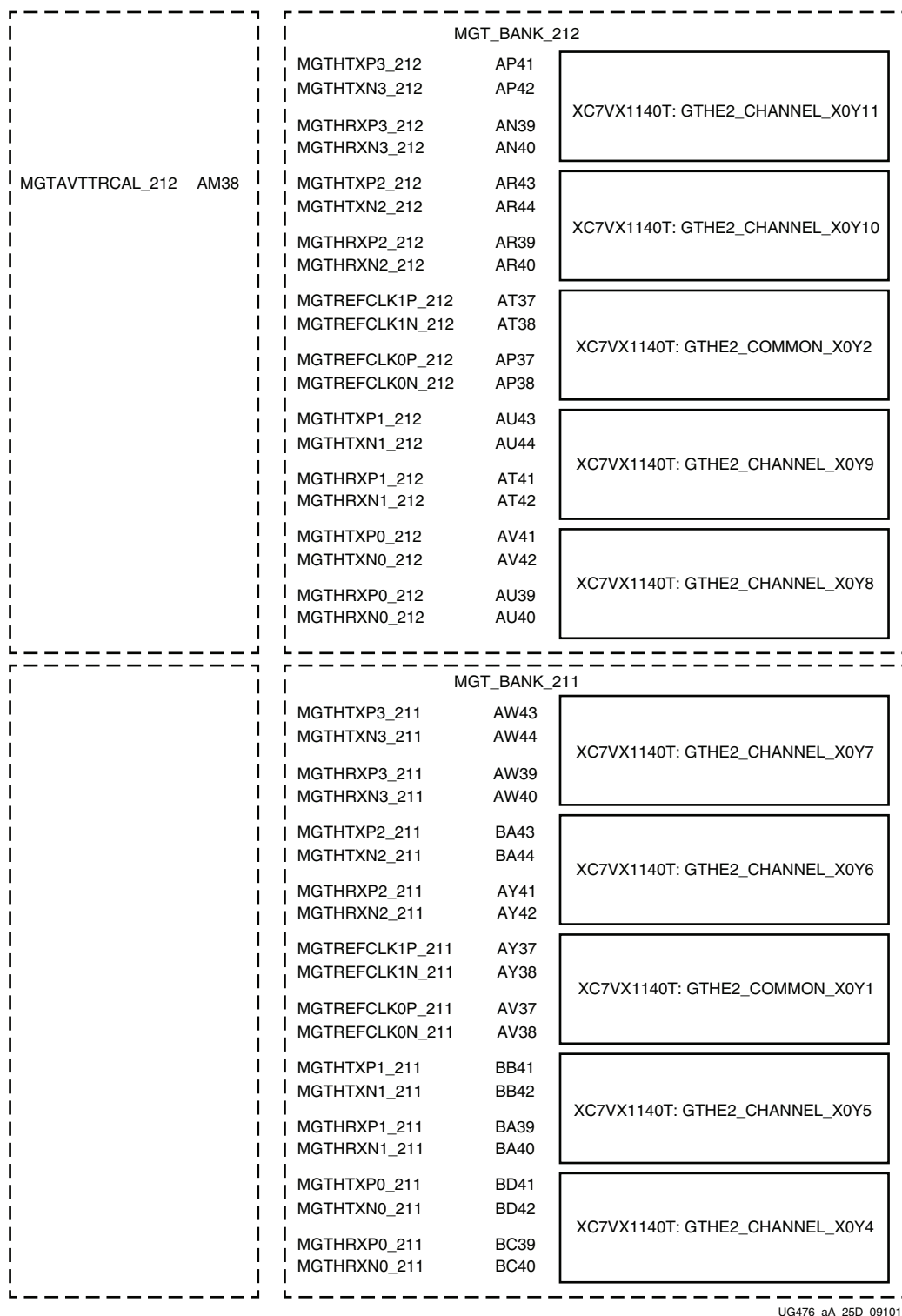


図 A-96 : FLG1926 パッケージの配置図 (4/8)

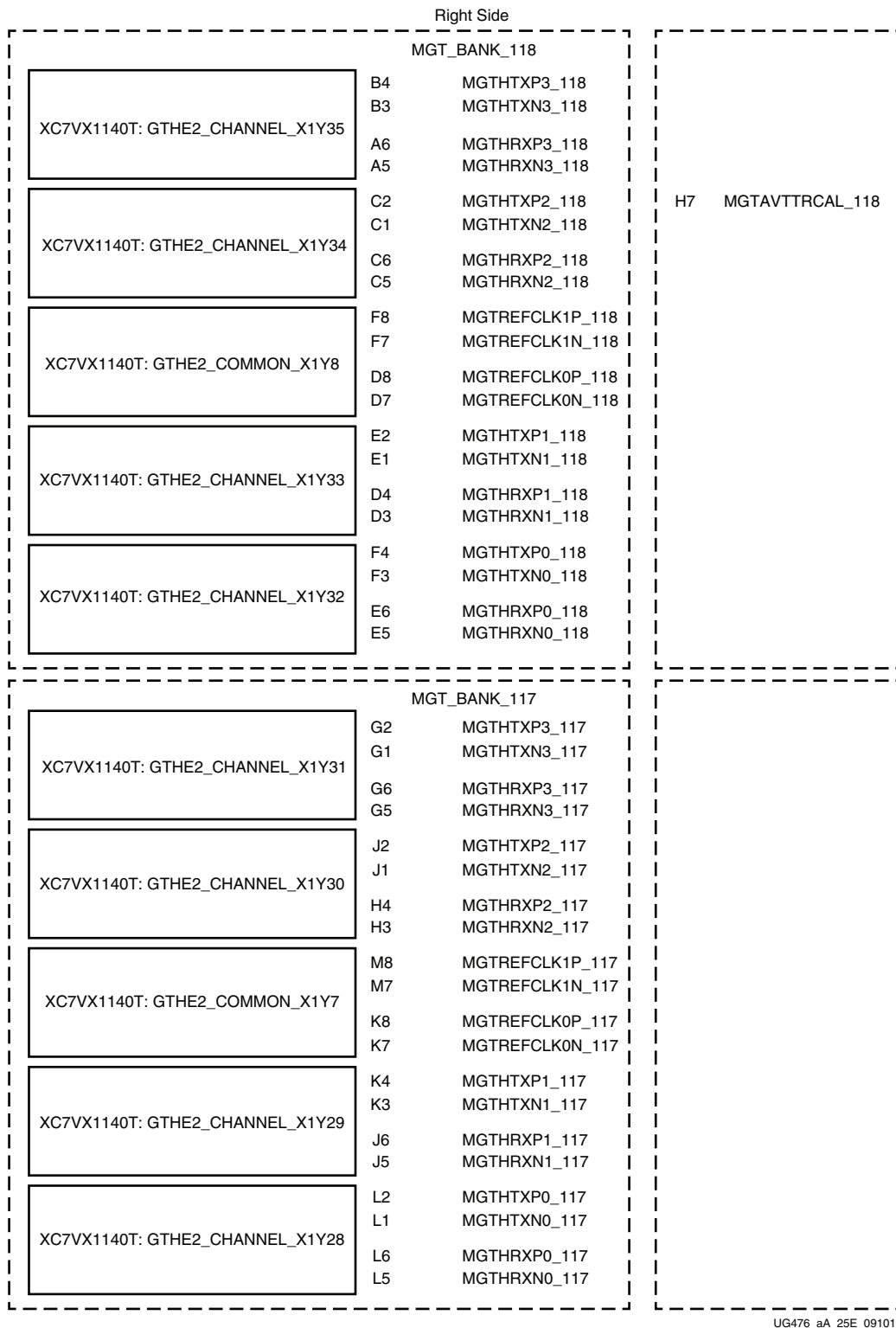
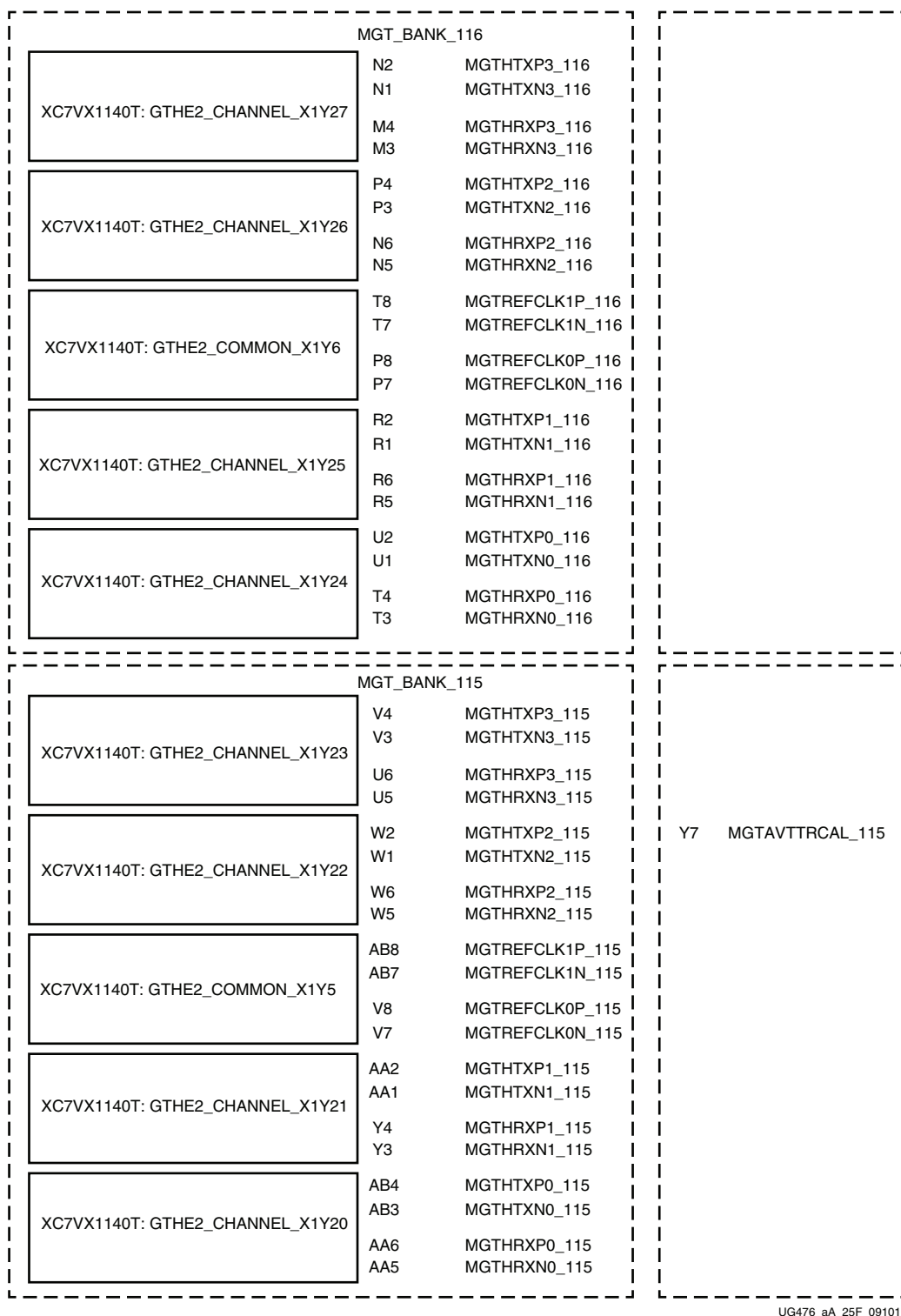
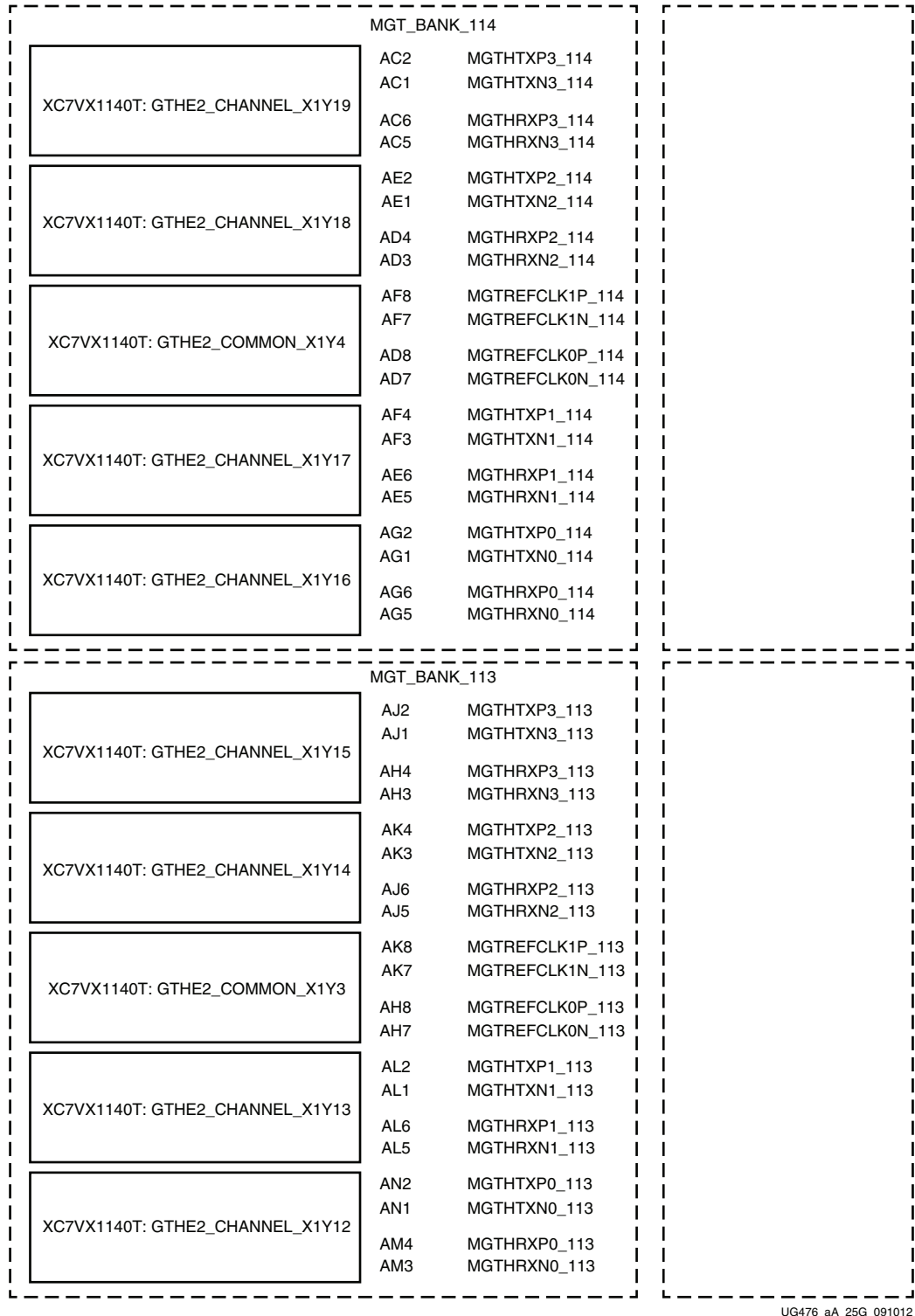


図 A-97 : FLG1926 パッケージの配置図 (5/8)



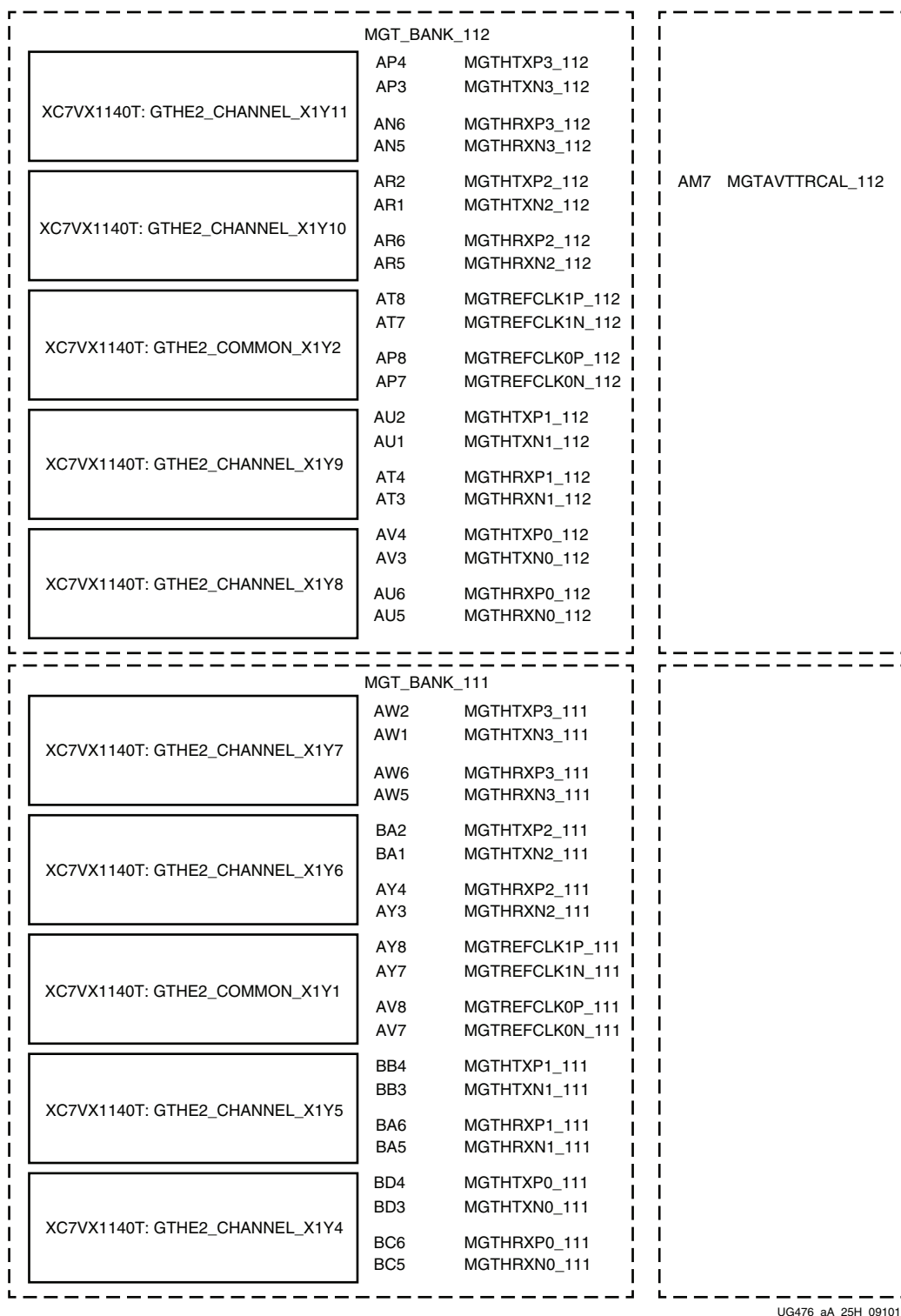
UG476_aA_25F_091012

図 A-98 : FLG1926 パッケージの配置図 (6/8)



UG476_aA_25G_091012

図 A-99 : FLG1926 パッケージの配置図 (7/8)



UG476_aA_25H_091012

図 A-100 : FLG1926 パッケージの配置図 (8/8)

FLG1928 パッケージの配置図

図 A-101 ~ 図 A-112 に、FLG1928 パッケージの配置図を示します。

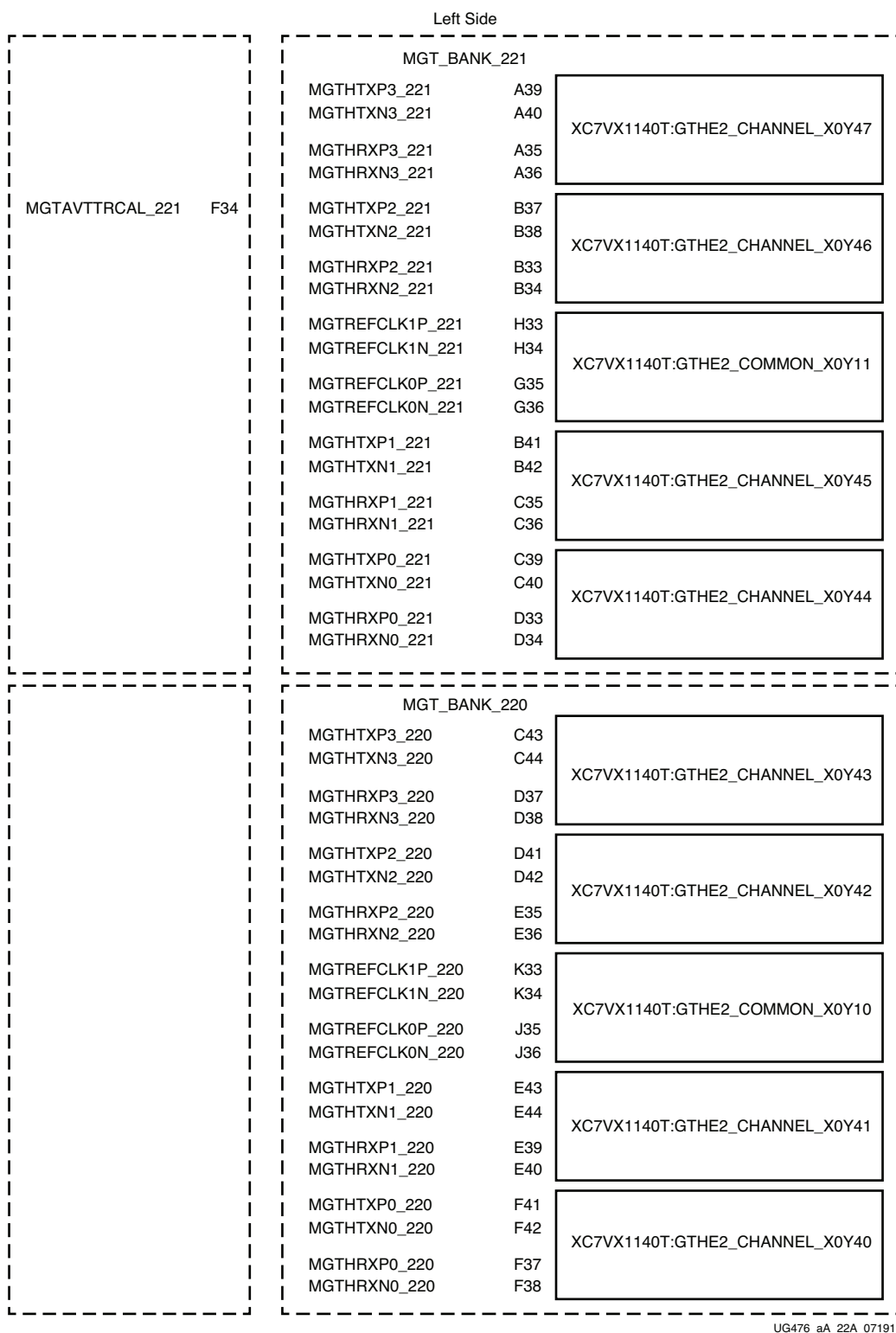
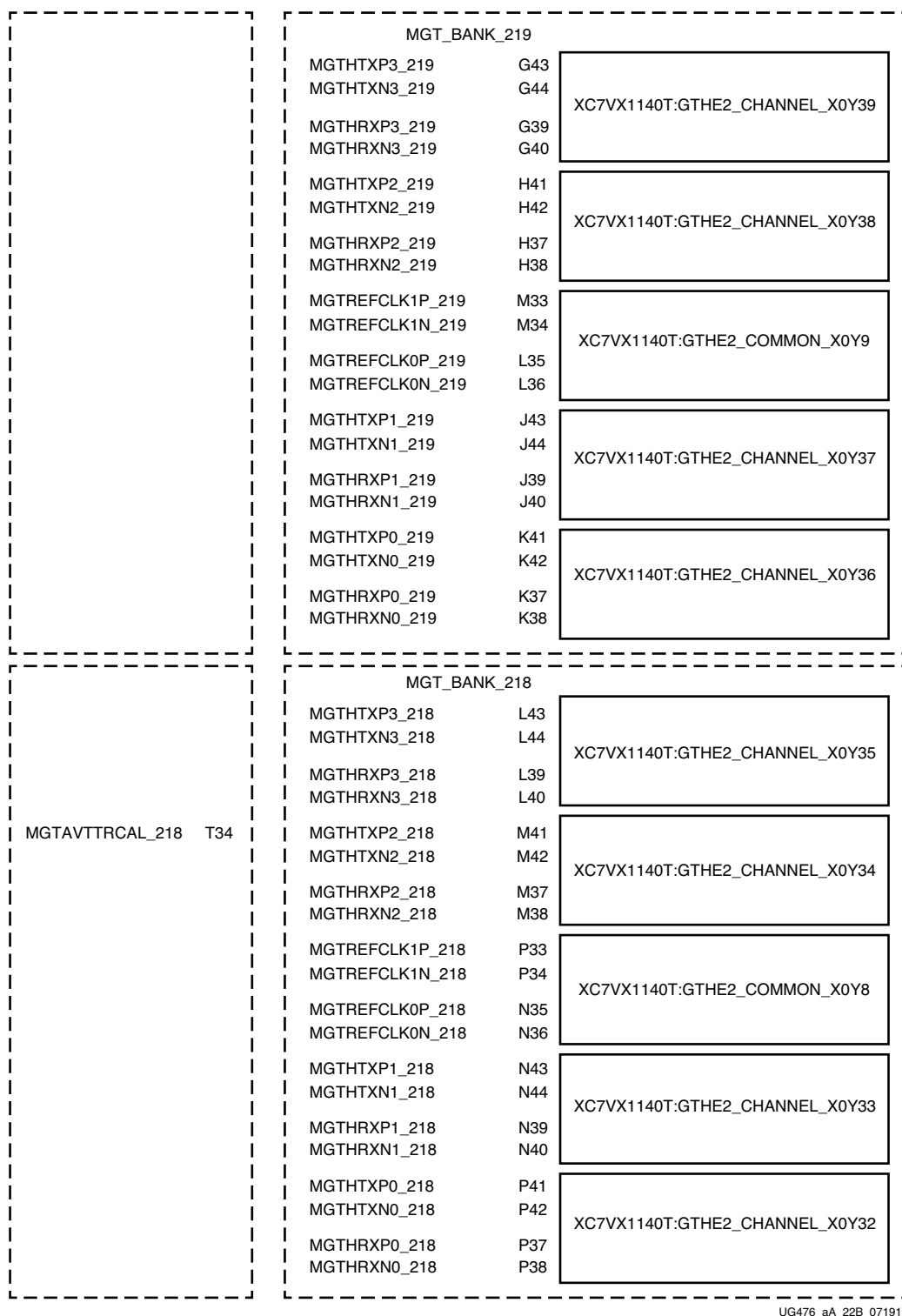
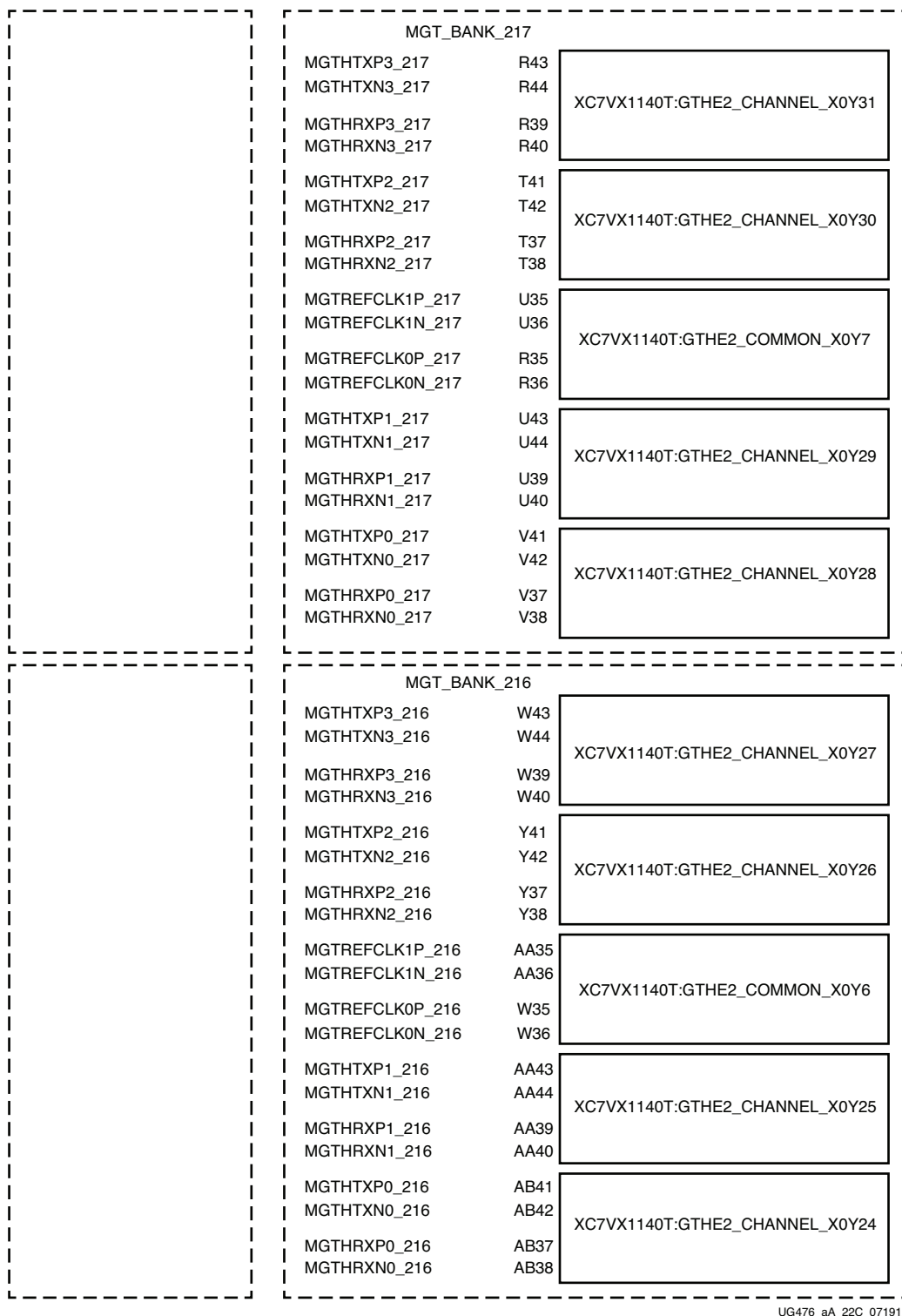


図 A-101 : FLG1928 パッケージの配置図 (1/12)



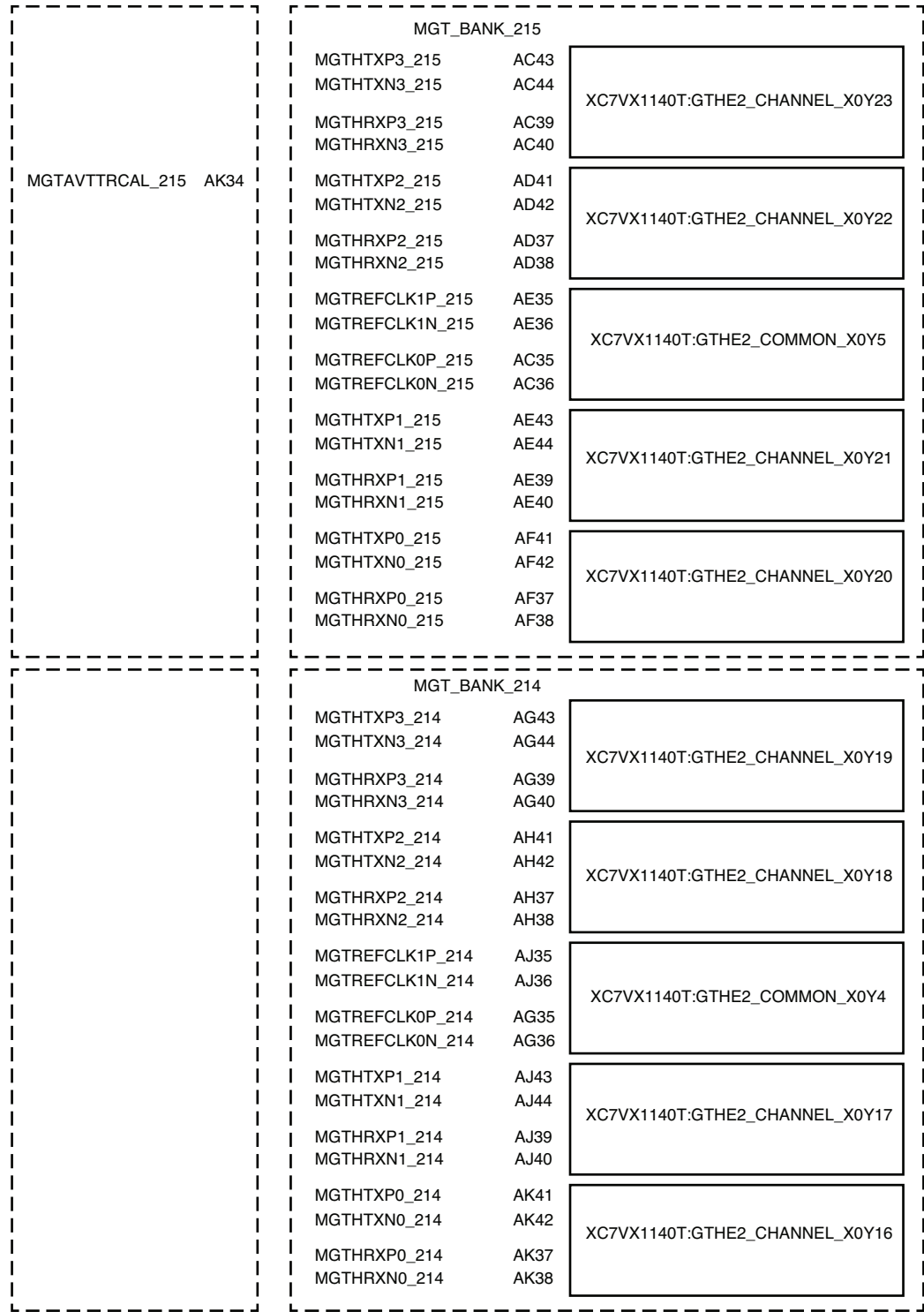
UG476_aA_22B_071912

図 A-102 : FLG1928 パッケージの配置図 (2/12)



UG476_aA_22C_071912

図 A-103 : FLG1928 パッケージの配置図 (3/12)



UG476_aA_22D_071912

図 A-104 : FLG1928 パッケージの配置図 (4/12)

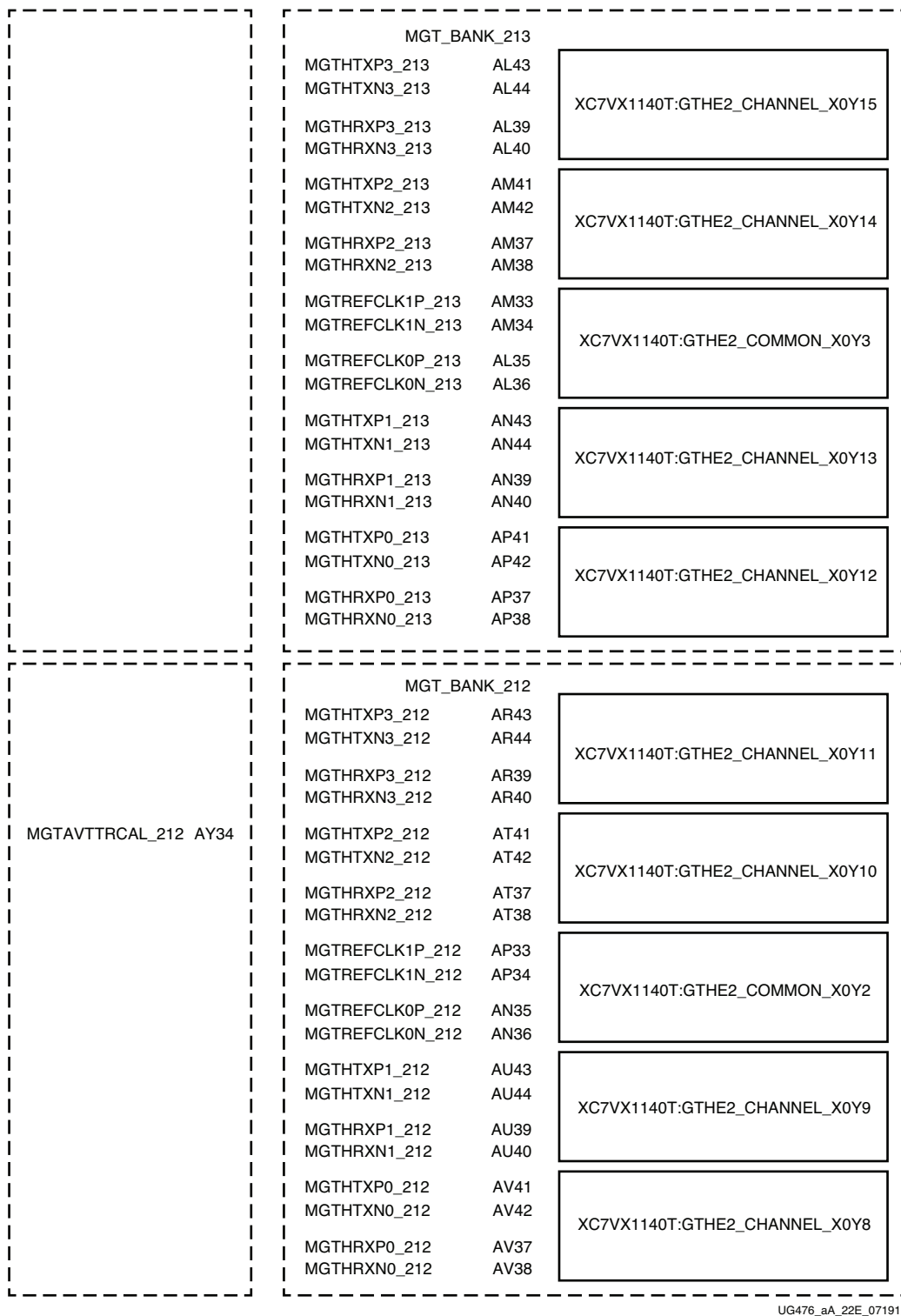


図 A-105 : FLG1928 パッケージの配置図 (5/12)

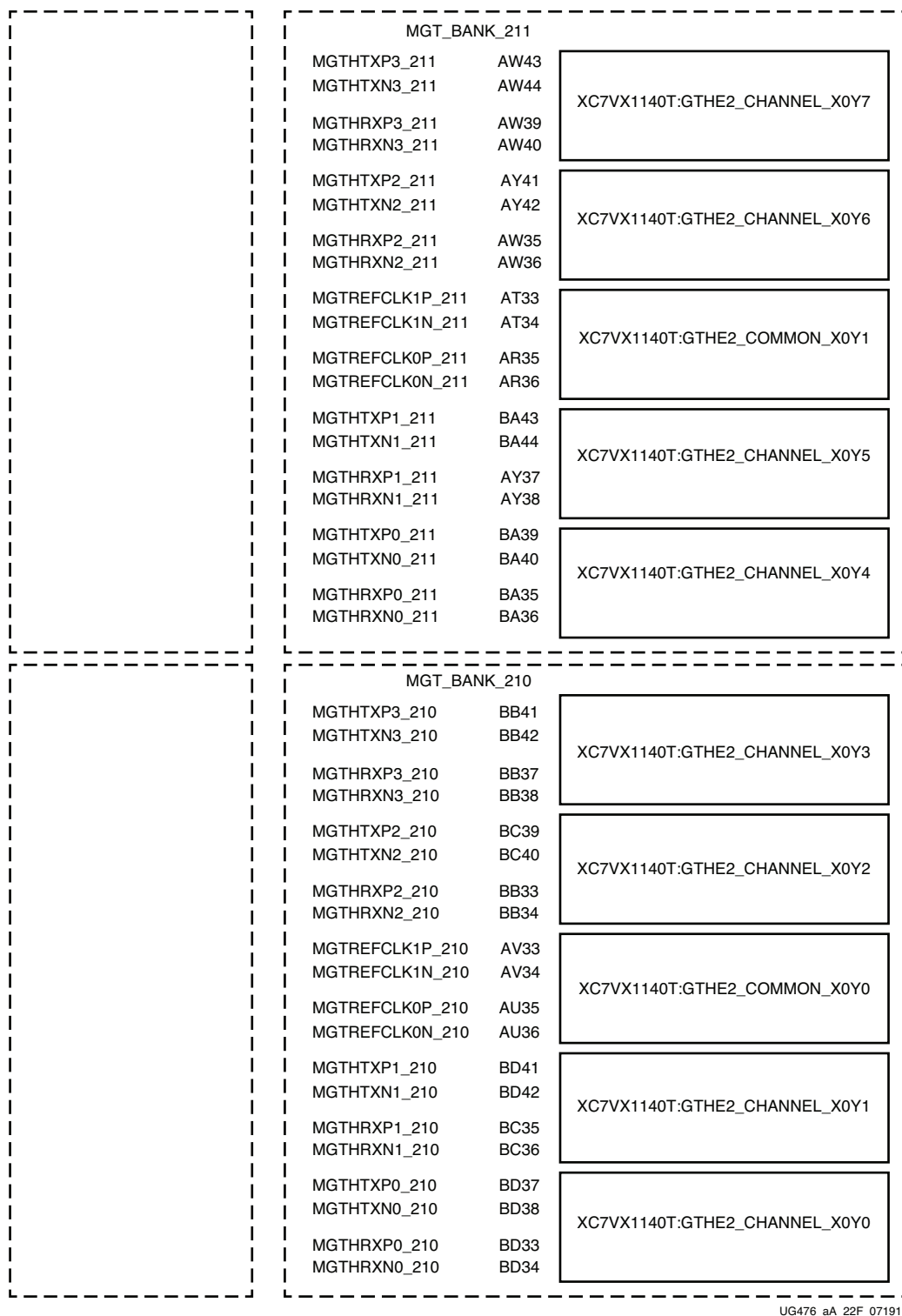
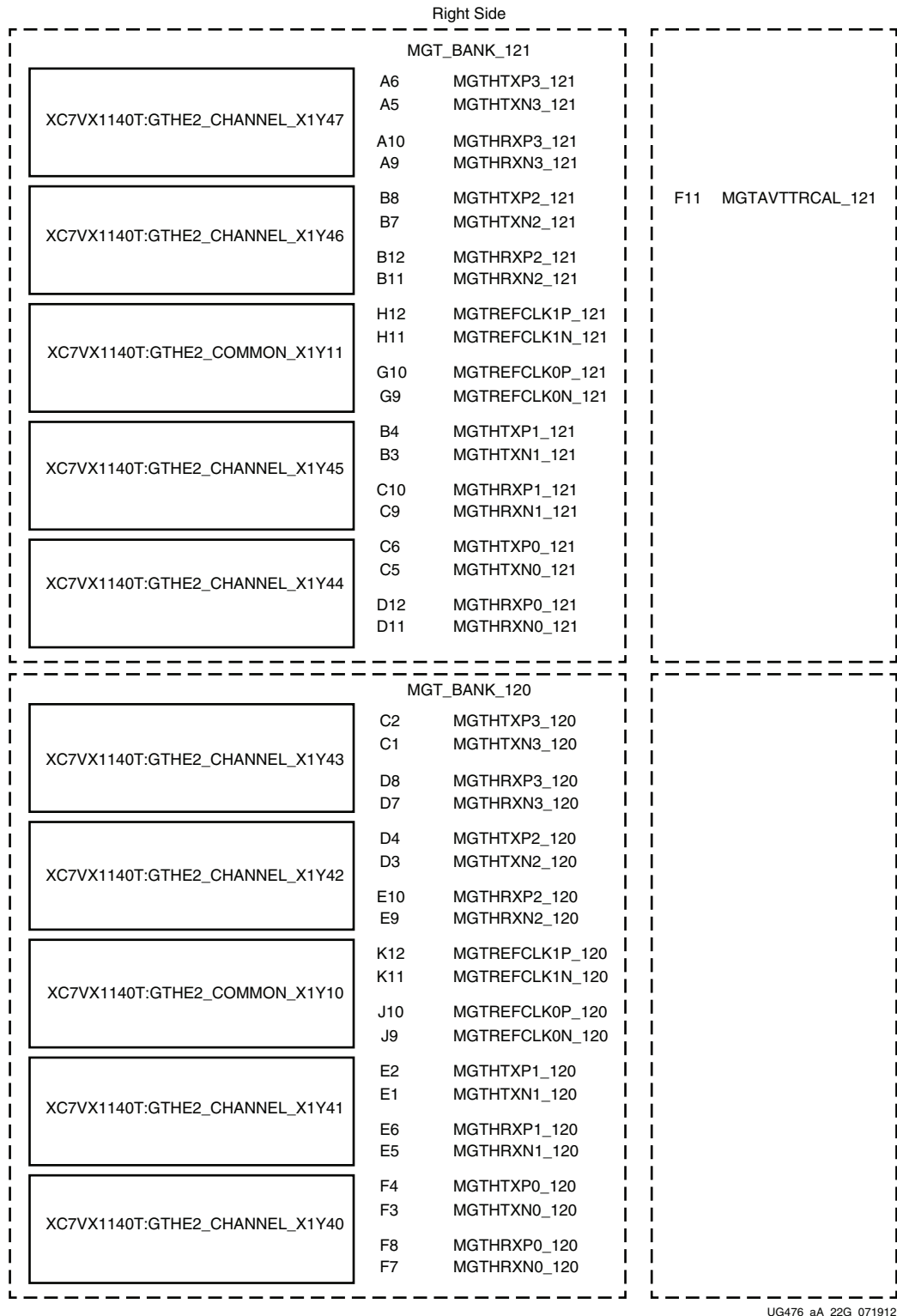
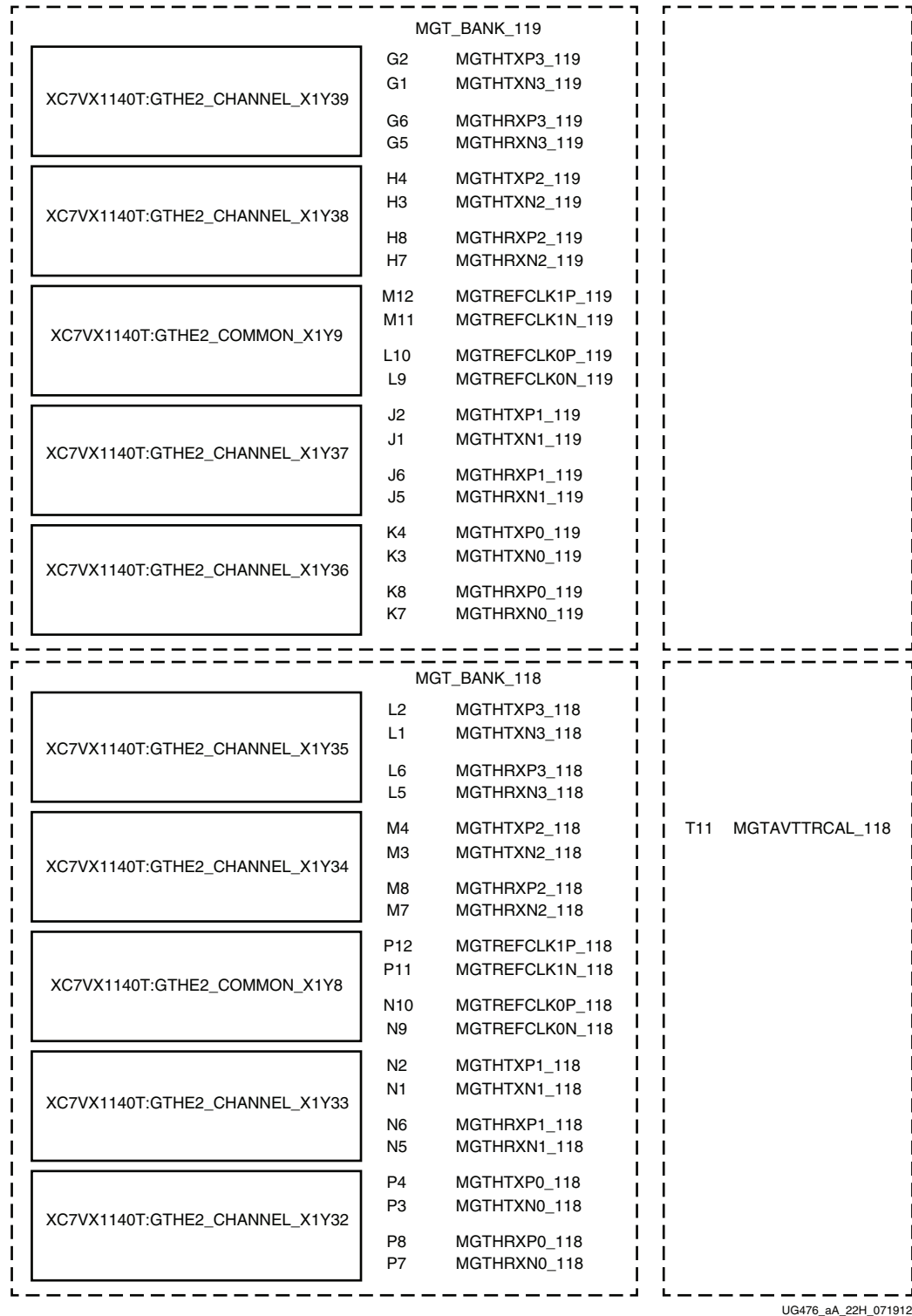


図 A-106 : FLG1928 パッケージの配置図 (6/12)



UG476_aA_22G_071912

図 A-107 : FLG1928 パッケージの配置図 (7/12)



UG476_aA_22H_071912

図 A-108 : FLG1928 パッケージの配置図 (8/12)

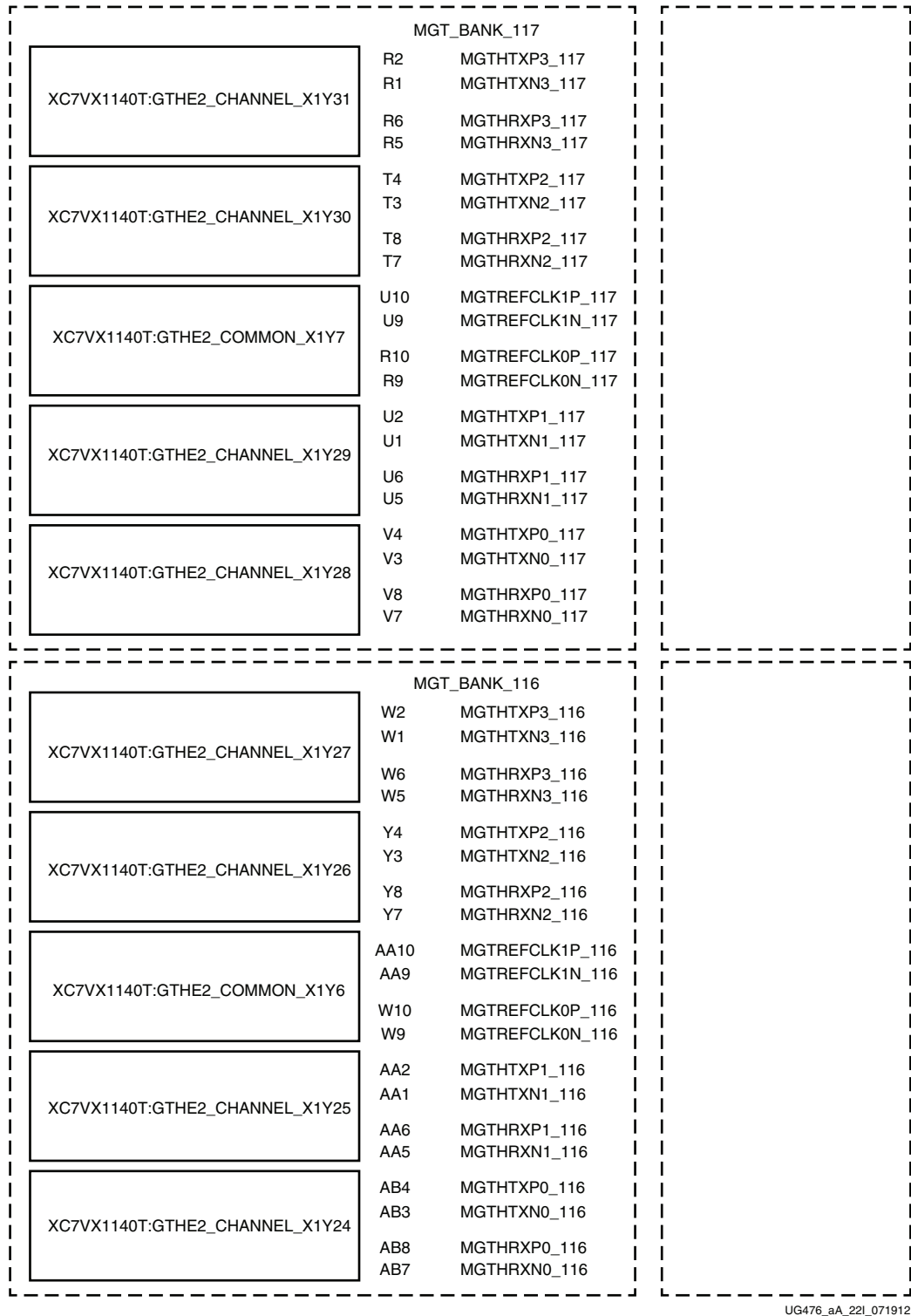


図 A-109 : FLG1928 パッケージの配置図 (9/12)

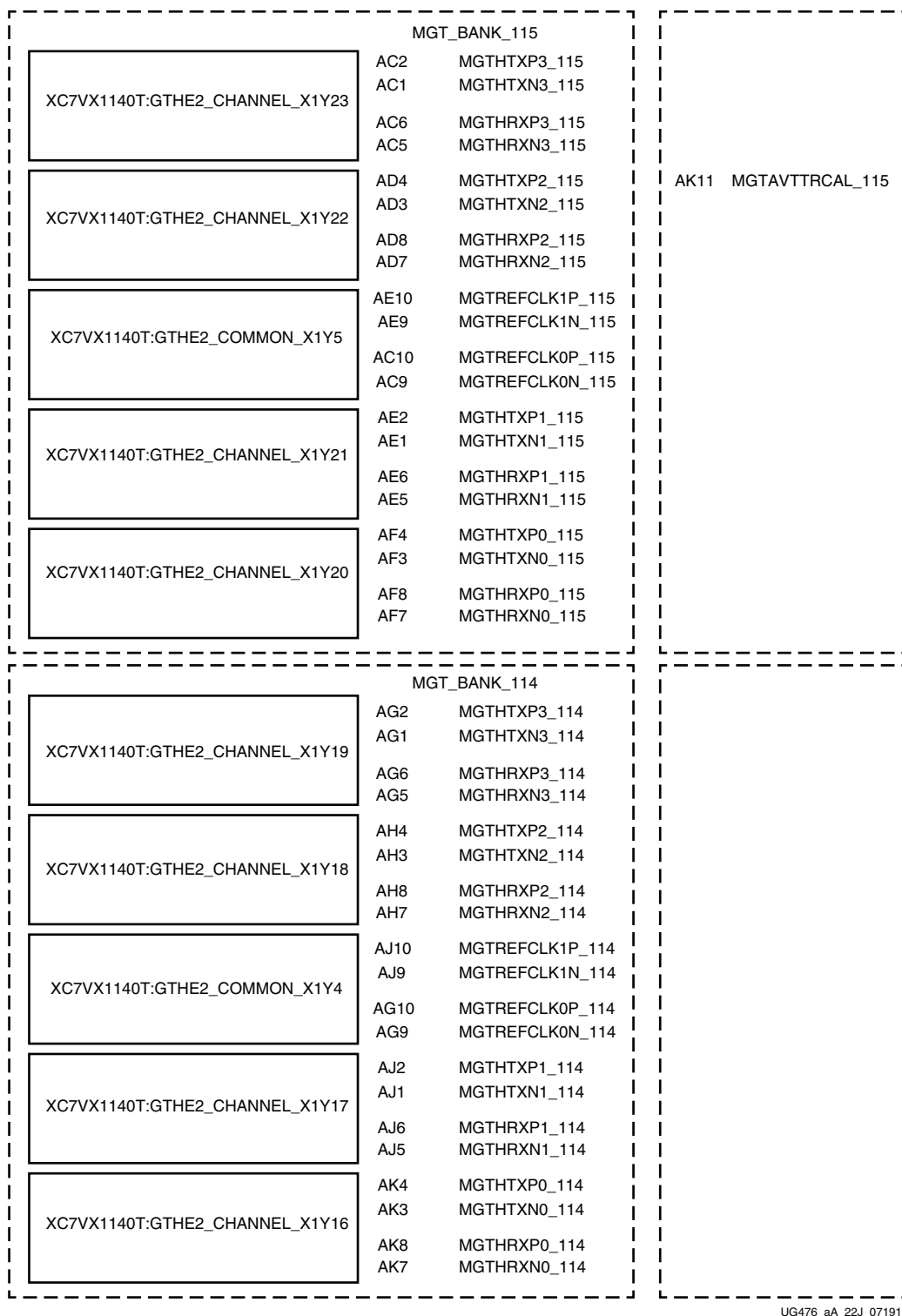
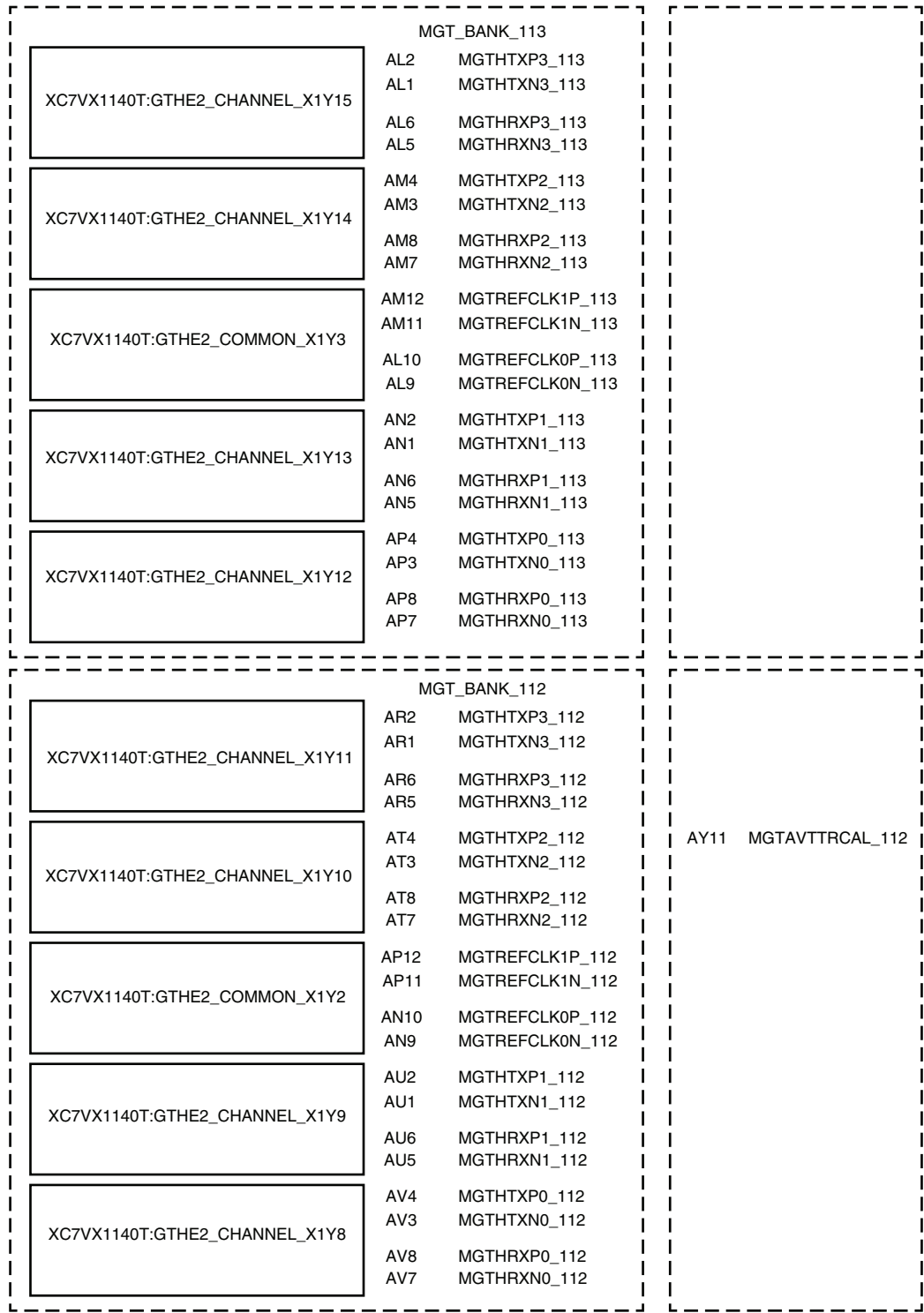
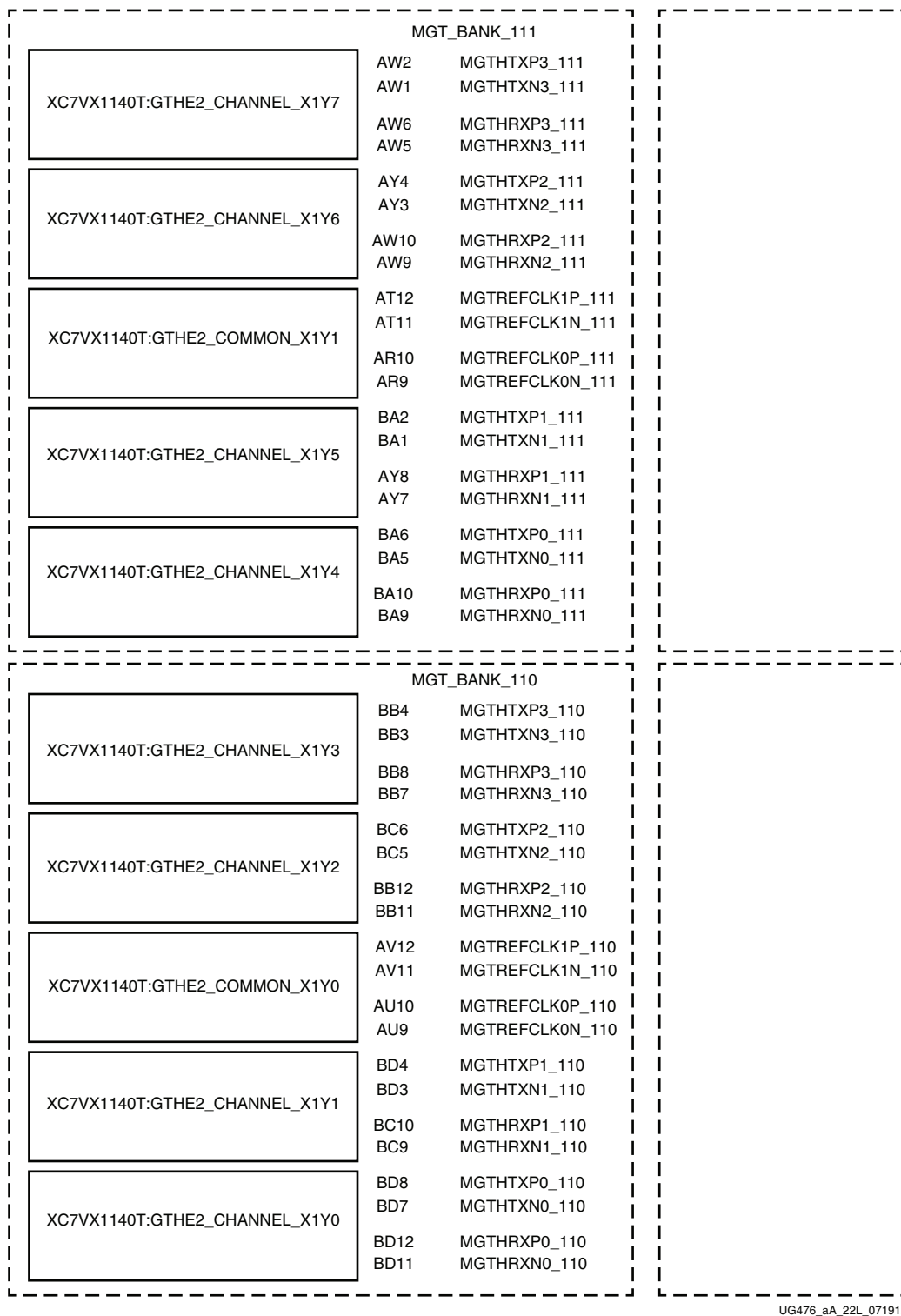


図 A-110 : FLG1928 パッケージの配置図 (10/12)



UG476_aA_22K_071912

図 A-111 : FLG1928 パッケージの配置図 (11/12)



UG476_aA_22L_071912

図 A-112 : FLG1928 パッケージの配置図 (12/12)

FLG1930 パッケージの配置図

図 A-113 ～図 A-115 に、FLG1930 パッケージの配置図を示します。

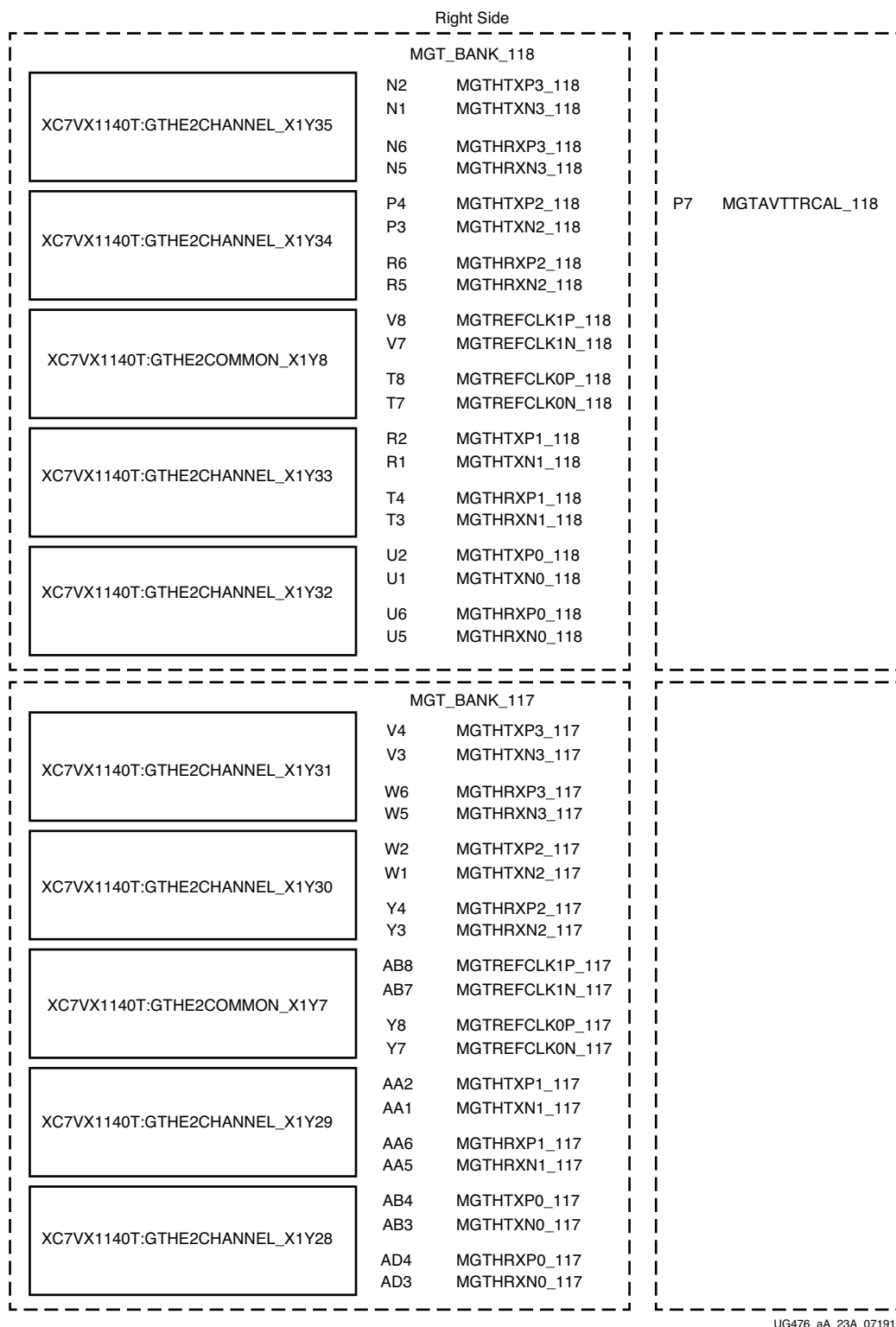
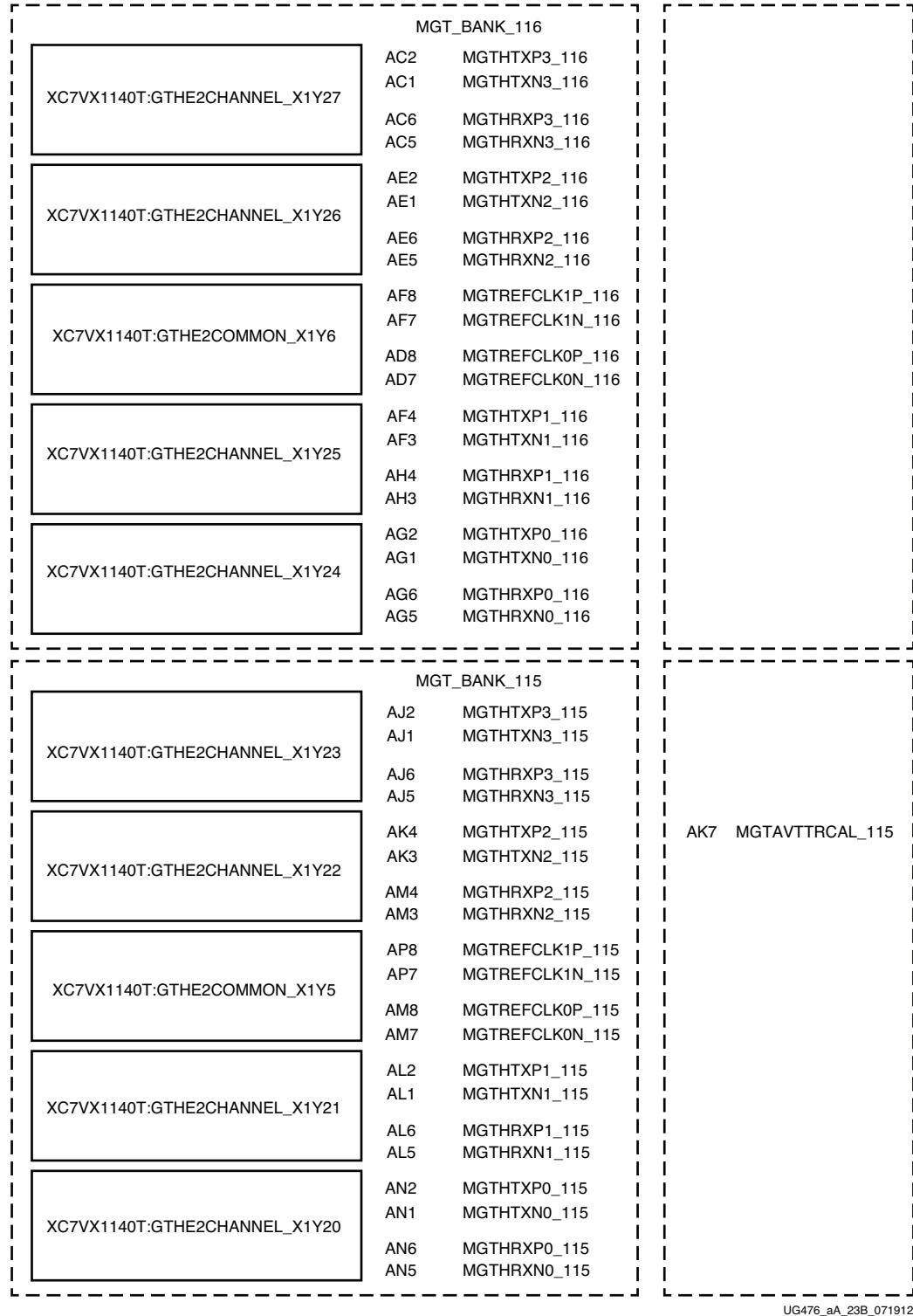
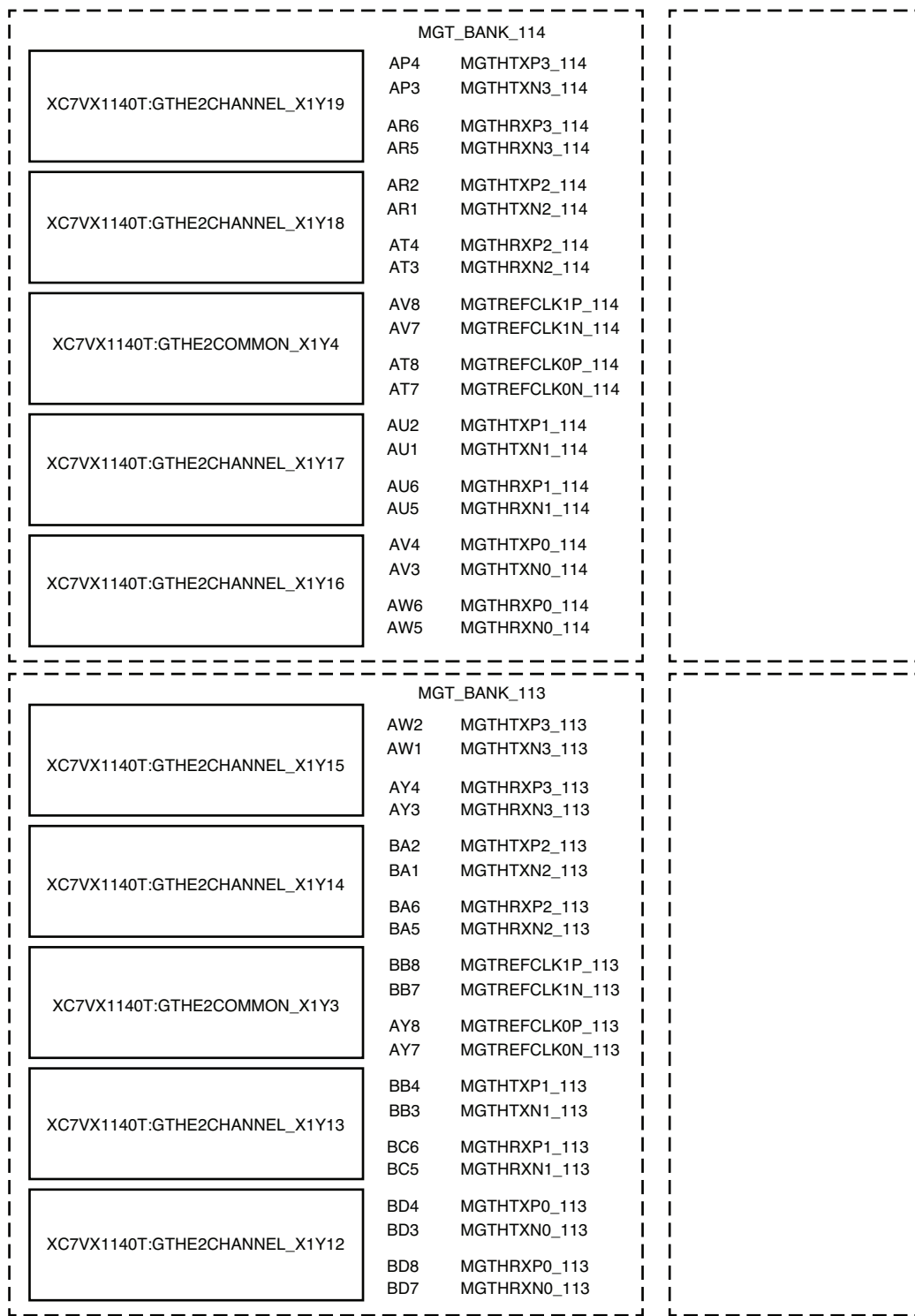


図 A-113 : FLG1930 パッケージの配置図 (1/3)



UG476_aA_23B_071912

図 A-114 : FLG1930 パッケージの配置図 (2/3)



UG476_aA_23C_071912

図 A-115 : FLG1930 パッケージの配置図 (3/3)

デバイス別の配置情報

表 B-1 に、Kintex™-7 FPGA デバイスとパッケージの組み合わせ、および提供されている GTX トランシーバー バンクを示します。トランシーバーの位置は、付録 A「パッケージ別の配置情報」を参照してください。

表 B-1 : Kintex-7 デバイスとパッケージの組み合わせ、および GTX トランシーバー バンク

パッケージ	FBG484	FBG676	FBG900	FFG676	FFG900	FFG901	FFG1156
XC7K70T	MGT_BANK_115	MGT_BANK_115、 MGT_BANK_116					
XC7K160T	MGT_BANK_115	MGT_BANK_115、 MGT_BANK_116		MGT_BANK_115、 MGT_BANK_116			
XC7K325T		MGT_BANK_115、 MGT_BANK_116	MGT_BANK_115、 MGT_BANK_116、 MGT_BANK_117、 MGT_BANK_118	MGT_BANK_115、 MGT_BANK_116	MGT_BANK_115、 MGT_BANK_116、 MGT_BANK_117、 MGT_BANK_118		
XC7K355T						MGT_BANK_112、 MGT_BANK_113、 MGT_BANK_114、 MGT_BANK_115、 MGT_BANK_116、 MGT_BANK_117	
XC7K410T		MGT_BANK_115、 MGT_BANK_116	MGT_BANK_115、 MGT_BANK_116、 MGT_BANK_117、 MGT_BANK_118	MGT_BANK_115、 MGT_BANK_116	MGT_BANK_115、 MGT_BANK_116、 MGT_BANK_117、 MGT_BANK_118		
XC7K420T						MGT_BANK_111、 MGT_BANK_112、 MGT_BANK_113、 MGT_BANK_114、 MGT_BANK_115、 MGT_BANK_116、 MGT_BANK_117	MGT_BANK_111、 MGT_BANK_112、 MGT_BANK_113、 MGT_BANK_114、 MGT_BANK_115、 MGT_BANK_116、 MGT_BANK_117、 MGT_BANK_118
XC7K480T						MGT_BANK_111、 MGT_BANK_112、 MGT_BANK_113、 MGT_BANK_114、 MGT_BANK_115、 MGT_BANK_116、 MGT_BANK_117	MGT_BANK_111、 MGT_BANK_112、 MGT_BANK_113、 MGT_BANK_114、 MGT_BANK_115、 MGT_BANK_116、 MGT_BANK_117、 MGT_BANK_118

表 B-2 に、Virtex[®]-7 FPGA デバイスとパッケージの組み合わせ、および提供されている GTX トランシーバー バンクを示します。トランシーバーの位置は、付録 A 「パッケージ別の配置情報」 を参照してください。

表 B-2 : Virtex-7 FPGA デバイスとパッケージの組み合わせ、および GTX トランシーバー バンク

パッケージ	FFG1157	FFG1158	FFG1761	FFG1927	FFG1930	FLG1925	FHG1761
XC7V585T	MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118		MGT_BANK_111, MGT_BANK_112, MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119				
XC7V2000T						MGT_BANK_112, MGT_BANK_113, MGT_BANK_114, MGT_BANK_115	MGT_BANK_111, MGT_BANK_112, MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119
XC7VX485T	MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118	MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218, MGT_BANK_219	MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119	MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119, MGT_BANK_213, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218, MGT_BANK_219	MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118		

表 B-3 に、Virtex-7 FPGA デバイスとパッケージの組み合わせ、および提供されている GTH トランシーバー バンクを示します。トランシーバーの位置は、付録 A「パッケージ別の配置情報」を参照してください。

表 B-3 : Virtex-7 FPGA デバイスとパッケージの組み合わせ、および GTH トランシーバー バンク

パッケージ	FFG1157	FFG1158	FFG1761	FFG1926	FFG1927	FFG1928	FFG1930	FLG1926	FLG1928	FLG1930
XC7VX330T	MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118		MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119							
XC7VX415T	MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118	MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218, MGT_BANK_219			MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218, MGT_BANK_219					
XC7VX550T		MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218, MGT_BANK_219			MGT_BANK_110, MGT_BANK_111, MGT_BANK_112, MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119, MGT_BANK_210, MGT_BANK_211, MGT_BANK_212, MGT_BANK_213, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218, MGT_BANK_219					

表 B-3 : Virtex-7 FPGA デバイスとパッケージの組み合わせ、および GTH トランシーバー バンク (続き)

パッケージ	FFG1157	FFG1158	FFG1761	FFG1926	FFG1927	FFG1928	FFG1930	FLG1926	FLG1928	FLG1930
XC7VX690T	MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118	MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218, MGT_BANK_219	MGT_BANK_111, MGT_BANK_112, MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119	MGT_BANK_111, MGT_BANK_112, MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_211, MGT_BANK_212, MGT_BANK_213, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218	MGT_BANK_110, MGT_BANK_111, MGT_BANK_112, MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119, MGT_BANK_210, MGT_BANK_211, MGT_BANK_212, MGT_BANK_213, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218, MGT_BANK_219		MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118			
XC7VX980T				MGT_BANK_111, MGT_BANK_112, MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_211, MGT_BANK_212, MGT_BANK_213, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218		MGT_BANK_110, MGT_BANK_111, MGT_BANK_112, MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_210, MGT_BANK_211, MGT_BANK_212, MGT_BANK_213, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218	MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118			
XC7VX1140T								MGT_BANK_111, MGT_BANK_112, MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119, MGT_BANK_120, MGT_BANK_121, MGT_BANK_210, MGT_BANK_211, MGT_BANK_212, MGT_BANK_213, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218	MGT_BANK_110, MGT_BANK_111, MGT_BANK_112, MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118, MGT_BANK_119, MGT_BANK_120, MGT_BANK_121, MGT_BANK_210, MGT_BANK_211, MGT_BANK_212, MGT_BANK_213, MGT_BANK_214, MGT_BANK_215, MGT_BANK_216, MGT_BANK_217, MGT_BANK_218, MGT_BANK_219, MGT_BANK_220, MGT_BANK_221	MGT_BANK_113, MGT_BANK_114, MGT_BANK_115, MGT_BANK_116, MGT_BANK_117, MGT_BANK_118

8B/10B の符号

8B/10B エンコードには、データ文字と K 符号が含まれます。8 ビットの値は 10 ビットの値にコード化され、シリアル ラインの DC バランスを保ちます。K 符号とは、CHARISK で指定された特殊なデータ文字です。これらは、特定の情報を示す場合に使用します。表 C-1 に有効なデータ文字を、487 ページの表 C-2 に K 符号を示します。

表 C-1：有効なデータ文字

データ バイト 名	ビット HGF EDCBA	現在の RD – abcdei fghj	現在の RD + abcdei fghj
D0.0	000 00000	100111 0100	011000 1011
D1.0	000 00001	011101 0100	100010 1011
D2.0	000 00010	101101 0100	010010 1011
D3.0	000 00011	110001 1011	110001 0100
D4.0	000 00100	110101 0100	001010 1011
D5.0	000 00101	101001 1011	101001 0100
D6.0	000 00110	011001 1011	011001 0100
D7.0	000 00111	111000 1011	000111 0100
D8.0	000 01000	111001 0100	000110 1011
D9.0	000 01001	100101 1011	100101 0100
D10.0	000 01010	010101 1011	010101 0100
D11.0	000 01011	110100 1011	110100 0100
D12.0	000 01100	001101 1011	001101 0100
D13.0	000 01101	101100 1011	101100 0100
D14.0	000 01110	011100 1011	011100 0100
D15.0	000 01111	010111 0100	101000 1011
D16.0	000 10000	011011 0100	100100 1011
D17.0	000 10001	100011 1011	100011 0100
D18.0	000 10010	010011 1011	010011 0100
D19.0	000 10011	110010 1011	110010 0100
D20.0	000 10100	001011 1011	001011 0100

表 C-1 : 有効なデータ文字 (続き)

データ バイト 名	ビット HGF EDCBA	現在の RD – abcdei fghj	現在の RD + abcdei fghj
D21.0	000 10101	101010 1011	101010 0100
D22.0	000 10110	011010 1011	011010 0100
D23.0	000 10111	111010 0100	000101 1011
D24.0	000 11000	110011 0100	001100 1011
D25.0	000 11001	100110 1011	100110 0100
D26.0	000 11010	010110 1011	010110 0100
D27.0	000 11011	110110 0100	001001 1011
D28.0	000 11100	001110 1011	001110 0100
D29.0	000 11101	101110 0100	010001 1011
D30.0	000 11110	011110 0100	100001 1011
D31.0	000 11111	101011 0100	010100 1011
D0.1	001 00000	100111 1001	011000 1001
D1.1	001 00001	011101 1001	100010 1001
D2.1	001 00010	101101 1001	010010 1001
D3.1	001 00011	110001 1001	110001 1001
D4.1	001 00100	110101 1001	001010 1001
D5.1	001 00101	101001 1001	101001 1001
D6.1	001 00110	011001 1001	011001 1001
D7.1	001 00111	111000 1001	000111 1001
D8.1	001 01000	111001 1001	000110 1001
D9.1	001 01001	100101 1001	100101 1001
D10.1	001 01010	010101 1001	010101 1001
D11.1	001 01011	110100 1001	110100 1001
D12.1	001 01100	001101 1001	001101 1001
D13.1	001 01101	101100 1001	101100 1001
D14.1	001 01110	011100 1001	011100 1001
D15.1	001 01111	010111 1001	101000 1001
D16.1	001 10000	011011 1001	100100 1001
D17.1	001 10001	100011 1001	100011 1001
D18.1	001 10010	010011 1001	010011 1001
D19.1	001 10011	110010 1001	110010 1001
D20.1	001 10100	001011 1001	001011 1001

表 C-1 : 有効なデータ文字 (続き)

データ バイト 名	ビット HGF EDCBA	現在の RD – abcdei fghj	現在の RD + abcdei fghj
D21.1	001 10101	101010 1001	101010 1001
D22.1	001 10110	011010 1001	011010 1001
D23.1	001 10111	111010 1001	000101 1001
D24.1	001 11000	110011 1001	001100 1001
D25.1	001 11001	100110 1001	100110 1001
D26.1	001 11010	010110 1001	010110 1001
D27.1	001 11011	110110 1001	001001 1001
D28.1	001 11100	001110 1001	001110 1001
D29.1	001 11101	101110 1001	010001 1001
D30.1	001 11110	011110 1001	100001 1001
D31.1	001 11111	101011 1001	010100 1001
D0.2	010 00000	100111 0101	011000 0101
D1.2	010 00001	011101 0101	100010 0101
D2.2	010 00010	101101 0101	010010 0101
D3.2	010 00011	110001 0101	110001 0101
D4.2	010 00100	110101 0101	001010 0101
D5.2	010 00101	101001 0101	101001 0101
D6.2	010 00110	011001 0101	011001 0101
D7.2	010 00111	111000 0101	000111 0101
D8.2	010 01000	111001 0101	000110 0101
D9.2	010 01001	100101 0101	100101 0101
D10.2	010 01010	010101 0101	010101 0101
D11.2	010 01011	110100 0101	110100 0101
D12.2	010 01100	001101 0101	001101 0101
D13.2	010 01101	101100 0101	101100 0101
D14.2	010 01110	011100 0101	011100 0101
D15.2	010 01111	010111 0101	101000 0101
D16.2	010 10000	011011 0101	100100 0101
D17.2	010 10001	100011 0101	100011 0101
D18.2	010 10010	010011 0101	010011 0101
D19.2	010 10011	110010 0101	110010 0101
D20.2	010 10100	001011 0101	001011 0101

表 C-1 : 有効なデータ文字 (続き)

データ バイト 名	ビット HGF EDCBA	現在の RD – abcdei fghj	現在の RD + abcdei fghj
D21.2	010 10101	101010 0101	101010 0101
D22.2	010 10110	011010 0101	011010 0101
D23.2	010 10111	111010 0101	000101 0101
D24.2	010 11000	110011 0101	001100 0101
D25.2	010 11001	100110 0101	100110 0101
D26.2	010 11010	010110 0101	010110 0101
D27.2	010 11011	110110 0101	001001 0101
D28.2	010 11100	001110 0101	001110 0101
D29.2	010 11101	101110 0101	010001 0101
D30.2	010 11110	011110 0101	100001 0101
D31.2	010 11111	101011 0101	010100 0101
D0.3	011 00000	100111 0011	011000 1100
D1.3	011 00001	011101 0011	100010 1100
D2.3	011 00010	101101 0011	010010 1100
D3.3	011 00011	110001 1100	110001 0011
D4.3	011 00100	110101 0011	001010 1100
D5.3	011 00101	101001 1100	101001 0011
D6.3	011 00110	011001 1100	011001 0011
D7.3	011 00111	111000 1100	000111 0011
D8.3	011 01000	111001 0011	000110 1100
D9.3	011 01001	100101 1100	100101 0011
D10.3	011 01010	010101 1100	010101 0011
D11.3	011 01011	110100 1100	110100 0011
D12.3	011 01100	001101 1100	001101 0011
D13.3	011 01101	101100 1100	101100 0011
D14.3	011 01110	011100 1100	011100 0011
D15.3	011 01111	010111 0011	101000 1100
D16.3	011 10000	011011 0011	100100 1100
D17.3	011 10001	100011 1100	100011 0011
D18.3	011 10010	010011 1100	010011 0011
D19.3	011 10011	110010 1100	110010 0011
D20.3	011 10100	001011 1100	001011 0011

表 C-1 : 有効なデータ文字 (続き)

データ バイト 名	ビット HGF EDCBA	現在の RD – abcdei fghj	現在の RD + abcdei fghj
D21.3	011 10101	101010 1100	101010 0011
D22.3	011 10110	011010 1100	011010 0011
D23.3	011 10111	111010 0011	000101 1100
D24.3	011 11000	110011 0011	001100 1100
D25.3	011 11001	100110 1100	100110 0011
D26.3	011 11010	010110 1100	010110 0011
D27.3	011 11011	110110 0011	001001 1100
D28.3	011 11100	001110 1100	001110 0011
D29.3	011 11101	101110 0011	010001 1100
D30.3	011 11110	011110 0011	100001 1100
D31.3	011 11111	101011 0011	010100 1100
D0.4	100 00000	100111 0010	011000 1101
D1.4	100 00001	011101 0010	100010 1101
D2.4	100 00010	101101 0010	010010 1101
D3.4	100 00011	110001 1101	110001 0010
D4.4	100 00100	110101 0010	001010 1101
D5.4	100 00101	101001 1101	101001 0010
D6.4	100 00110	011001 1101	011001 0010
D7.4	100 00111	111000 1101	000111 0010
D8.4	100 01000	111001 0010	000110 1101
D9.4	100 01001	100101 1101	100101 0010
D10.4	100 01010	010101 1101	010101 0010
D11.4	100 01011	110100 1101	110100 0010
D12.4	100 01100	001101 1101	001101 0010
D13.4	100 01101	101100 1101	101100 0010
D14.4	100 01110	011100 1101	011100 0010
D15.4	100 01111	010111 0010	101000 1101
D16.4	100 10000	011011 0010	100100 1101
D17.4	100 10001	100011 1101	100011 0010
D18.4	100 10010	010011 1101	010011 0010
D19.4	100 10011	110010 1101	110010 0010
D20.4	100 10100	001011 1101	001011 0010

表 C-1 : 有効なデータ文字 (続き)

データ バイト 名	ビット HGF EDCBA	現在の RD – abcdei fghj	現在の RD + abcdei fghj
D21.4	100 10101	101010 1101	101010 0010
D22.4	100 10110	011010 1101	011010 0010
D23.4	100 10111	111010 0010	000101 1101
D24.4	100 11000	110011 0010	001100 1101
D25.4	100 11001	100110 1101	100110 0010
D26.4	100 11010	010110 1101	010110 0010
D27.4	100 11011	110110 0010	001001 1101
D28.4	100 11100	001110 1101	001110 0010
D29.4	100 11101	101110 0010	010001 1101
D30.4	100 11110	011110 0010	100001 1101
D31.4	100 11111	101011 0010	010100 1101
D0.5	101 00000	100111 1010	011000 1010
D1.5	101 00001	011101 1010	100010 1010
D2.5	101 00010	101101 1010	010010 1010
D3.5	101 00011	110001 1010	110001 1010
D4.5	101 00100	110101 1010	001010 1010
D5.5	101 00101	101001 1010	101001 1010
D6.5	101 00110	011001 1010	011001 1010
D7.5	101 00111	111000 1010	000111 1010
D8.5	101 01000	111001 1010	000110 1010
D9.5	101 01001	100101 1010	100101 1010
D10.5	101 01010	010101 1010	010101 1010
D11.5	101 01011	110100 1010	110100 1010
D12.5	101 01100	001101 1010	001101 1010
D13.5	101 01101	101100 1010	101100 1010
D14.5	101 01110	011100 1010	011100 1010
D15.5	101 01111	010111 1010	101000 1010
D16.5	101 10000	011011 1010	100100 1010
D17.5	101 10001	100011 1010	100011 1010
D18.5	101 10010	010011 1010	010011 1010
D19.5	101 10011	110010 1010	110010 1010
D20.5	101 10100	001011 1010	001011 1010

表 C-1 : 有効なデータ文字 (続き)

データ バイト 名	ビット HGF EDCBA	現在の RD – abcdei fghj	現在の RD + abcdei fghj
D21.5	101 10101	101010 1010	101010 1010
D22.5	101 10110	011010 1010	011010 1010
D23.5	101 10111	111010 1010	000101 1010
D24.5	101 11000	110011 1010	001100 1010
D25.5	101 11001	100110 1010	100110 1010
D26.5	101 11010	010110 1010	010110 1010
D27.5	101 11011	110110 1010	001001 1010
D28.5	101 11100	001110 1010	001110 1010
D29.5	101 11101	101110 1010	010001 1010
D30.5	101 11110	011110 1010	100001 1010
D31.5	101 11111	101011 1010	010100 1010
D0.6	110 00000	100111 0110	011000 0110
D1.6	110 00001	011101 0110	100010 0110
D2.6	110 00010	101101 0110	010010 0110
D3.6	110 00011	110001 0110	110001 0110
D4.6	110 00100	110101 0110	001010 0110
D5.6	110 00101	101001 0110	101001 0110
D6.6	110 00110	011001 0110	011001 0110
D7.6	110 00111	111000 0110	000111 0110
D8.6	110 01000	111001 0110	000110 0110
D9.6	110 01001	100101 0110	100101 0110
D10.6	110 01010	010101 0110	010101 0110
D11.6	110 01011	110100 0110	110100 0110
D12.6	110 01100	001101 0110	001101 0110
D13.6	110 01101	101100 0110	101100 0110
D14.6	110 01110	011100 0110	011100 0110
D15.6	110 01111	010111 0110	101000 0110
D16.6	110 10000	011011 0110	100100 0110
D17.6	110 10001	100011 0110	100011 0110
D18.6	110 10010	010011 0110	010011 0110
D19.6	110 10011	110010 0110	110010 0110
D20.6	110 10100	001011 0110	001011 0110

表 C-1 : 有効なデータ文字 (続き)

データ バイト 名	ビット HGF EDCBA	現在の RD – abcdei fghj	現在の RD + abcdei fghj
D21.6	110 10101	101010 0110	101010 0110
D22.6	110 10110	011010 0110	011010 0110
D23.6	110 10111	111010 0110	000101 0110
D24.6	110 11000	110011 0110	001100 0110
D25.6	110 11001	100110 0110	100110 0110
D26.6	110 11010	010110 0110	010110 0110
D27.6	110 11011	110110 0110	001001 0110
D28.6	110 11100	001110 0110	001110 0110
D29.6	110 11101	101110 0110	010001 0110
D30.6	110 11110	011110 0110	100001 0110
D31.6	110 11111	101011 0110	010100 0110
D0.7	111 00000	100111 0001	011000 1110
D1.7	111 00001	011101 0001	100010 1110
D2.7	111 00010	101101 0001	010010 1110
D3.7	111 00011	110001 1110	110001 0001
D4.7	111 00100	110101 0001	001010 1110
D5.7	111 00101	101001 1110	101001 0001
D6.7	111 00110	011001 1110	011001 0001
D7.7	111 00111	111000 1110	000111 0001
D8.7	111 01000	111001 0001	000110 1110
D9.7	111 01001	100101 1110	100101 0001
D10.7	111 01010	010101 1110	010101 0001
D11.7	111 01011	110100 1110	110100 1000
D12.7	111 01100	001101 1110	001101 0001
D13.7	111 01101	101100 1110	101100 1000
D14.7	111 01110	011100 1110	011100 1000
D15.7	111 01111	010111 0001	101000 1110
D16.7	111 10000	011011 0001	100100 1110
D17.7	111 10001	100011 0111	100011 0001
D18.7	111 10010	010011 0111	010011 0001
D19.7	111 10011	110010 1110	110010 0001
D20.7	111 10100	001011 0111	001011 0001

表 C-1 : 有効なデータ文字 (続き)

データ バイト 名	ビット HGF EDCBA	現在の RD – abcdei fghj	現在の RD + abcdei fghj
D21.7	111 10101	101010 1110	101010 0001
D22.7	111 10110	011010 1110	011010 0001
D23.7	111 10111	111010 0001	000101 1110
D24.7	111 11000	110011 0001	001100 1110
D25.7	111 11001	100110 1110	100110 0001
D26.7	111 11010	010110 1110	010110 0001
D27.7	111 11011	110110 0001	001001 1110
D28.7	111 11100	001110 1110	001110 0001
D29.7	111 11101	101110 0001	010001 1110
D30.7	111 11110	011110 0001	100001 1110
D31.7	111 11111	101011 0001	010100 1110

表 C-2 : 有効な制御文字 (K 符号)

特殊コード名	ビット HGF EDCBA	現在の RD – abcdei fghj	現在の RD + abcdei fghj
K28.0	000 11100	001111 0100	110000 1011
K28.1	001 11100	001111 1001	110000 0110
K28.2	010 11100	001111 0101	110000 1010
K28.3	011 11100	001111 0011	110000 1100
K28.4	100 11100	001111 0010	110000 1101
K28.5	101 11100	001111 1010	110000 0101
K28.6	110 11100	001111 0110	110000 1001
K28.7 ⁽¹⁾	111 11100	001111 1000	110000 0111
K23.7	111 10111	111010 1000	000101 0111
K27.7	111 11011	110110 1000	001001 0111
K29.7	111 11101	101110 1000	010001 0111
K30.7	111 11110	011110 1000	100001 0111

注記：

1. テストおよび特性評価にのみ使用します。

GTX/GTH トランシーバーの DRP アドレス マップ

表 D-1 に、GTX2_COMMON プリミティブの DRP マップをアドレス順に並べて示します。

注記：予約ビットは変更できません。明記されていない属性は、7 Series FPGA Transceivers Wizard によって自動的に設定されます。これらの属性は、異なる値を明示的に要求する場合を除いてデフォルトのままとします。

表 D-1 : GTX2_COMMON プリミティブの DRP マップ

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
0030	15:0	R/W	QPLL_INIT_CFG	15:0	0-65535	0-65535
0031	14:11	R/W	QPLL_LPF	3:0	0-15	0-15
0031	7:0	R/W	QPLL_INIT_CFG	23:16	0-255	0-255
0032	15:0	R/W	QPLL_CFG	15:0	0-65535	0-65535
0033	15:11	R/W	QPLL_REFCLK_DIV	4:0	1	16
					2	0
					3	1
					4	2
					5	3
					6	5
					8	6
					10	7
					12	13
					16	14
					20	15
0033	10:0	R/W	QPLL_CFG	26:16	0-2047	0-2047
0034	15:0	R/W	QPLL_LOCK_CFG	15:0	0-65535	0-65535
0035	15:10	R/W	QPLL_COARSE_FREQ_OVRD	5:0	0-63	0-63
0035	9:0	R/W	QPLL_CP	9:0	0-1023	0-1023
0036	15	R/W	QPLL_DMONITOR_SEL	0	0-1	0-1

表 D-1 : GTX2_COMMON プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
0036	14	R/W	QPLL_FBDIV_MONITOR_EN	0	0-1	0-1
0036	13	R/W	QPLL_CP_MONITOR_EN	0	0-1	0-1
0036	11	R/W	QPLL_COARSE_FREQ_OVRD_EN	0	0-1	0-1
0036	9:0	R/W	QPLL_FBDIV	9:0	0-1023	0-1023
0037	6	R/W	QPLL_FBDIV_RATIO	0	0-1	0-1
0037	5:2	R/W	QPLL_CLKOUT_CFG	3:0	0-15	0-15
003E	15:0	R/W	BIAS_CFG	15:0	0-65535	0-65535
003F	15:0	R/W	BIAS_CFG	31:16	0-65535	0-65535
0040	15:0	R/W	BIAS_CFG	47:32	0-65535	0-65535
0041	15:0	R/W	BIAS_CFG	63:48	0-65535	0-65535
0043	15:0	R/W	COMMON_CFG	15:0	0-65535	0-65535
0044	15:0	R/W	COMMON_CFG	31:16	0-65535	0-65535

表 D-2 に、GTX2_CHANNEL プリミティブの DRP マップをアドレス順に並べて示します。

注記：予約ビットは変更できません。明記されていない属性は、7 Series FPGA Transceivers Wizard によって自動的に設定されます。これらの属性は、異なる値を明示的に要求する場合を除いてデフォルトのままとします。

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
000	1	R/W	UCODEER_CLR	0	0-1	0-1
00D	15	R/W	RXDFELPMRESET_TIME	0	0-1	0-1
00D	14:10	R/W	RXCDRPHRESET_TIME	4:0	0-31	0-31
00D	9:5	R/W	RXCDRFREQRESET_TIME	4:0	0-31	0-31
00D	4:0	R/W	RXBUFRESET_TIME	4:0	0-31	0-31
00E	15:11	R/W	RXPCSRESET_TIME	4:0	0-31	0-31
00E	10:6	R/W	RXPMARESET_TIME	4:0	0-31	0-31
00E	5:0	R/W	RXDFELPMRESET_TIME	6:1	0-63	0-63
00F	14:10	R/W	RXISCANRESET_TIME	4:0	0-31	0-31
00F	9:5	R/W	TXPCSRESET_TIME	4:0	0-31	0-31
00F	4:0	R/W	TXPMARESET_TIME	4:0	0-31	0-31
011	14	R/W	RX_INT_DATAWIDTH	0	0-1	0-1
011	13:11	R/W	RX_DATA_WIDTH	2:0	16	2
					20	3
					32	4
					40	5
					64	6
					80	7

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
011	10:6	R/W	RX_CLK25_DIV	4:0	1	0
					2	1
					3	2
					4	3
					5	4
					6	5
					7	6
					8	7
					9	8
					10	9
					11	10
					12	11
					13	12
					14	13
					15	14
					16	15
					17	16
					18	17
					19	18
					20	19
					21	20
					22	21
					23	22
					24	23
					25	24
					26	25
					27	26
					28	27
					29	28
					30	29
					31	30
					32	31
011	5:4	R/W	RX_CM_SEL	1:0	0-3	0-3
011	3:1	R/W	RX_CM_TRIM	2:0	0-7	0-7
011	0	R/W	RXPBS_ERR_LOOPBACK	0	0-1	0-1
012	15:12	R/W	SATA_BURST_SEQ_LEN	3:0	0-15	0-15
012	11:10	R/W	OUTREFCLK_SEL_INV	1:0	0-3	0-3
012	9:7	R/W	SATA_BURST_VAL	2:0	0-7	0-7
012	6:0	R/W	RXOOB_CFG	6:0	0-127	0-127
013	14:9	R/W	SAS_MIN_COM	5:0	1-63	1-63
013	8:3	R/W	SATA_MIN_BURST	5:0	1-61	1-61

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
013	2:0	R/W	SATA_EIDLE_VAL	2:0	0-7	0-7
014	11:6	R/W	SATA_MIN_WAKE	5:0	1-63	1-63
014	5:0	R/W	SATA_MIN_INIT	5:0	1-63	1-63
015	12:6	R/W	SAS_MAX_COM	6:0	1-127	1-127
015	5:0	R/W	SATA_MAX_BURST	5:0	1-63	1-63
016	11:6	R/W	SATA_MAX_WAKE	5:0	1-63	1-63
016	5:0	R/W	SATA_MAX_INIT	5:0	1-63	1-63
018	7:0	R/W	TRANS_TIME_RATE	7:0	0-255	0-255
019	12	R/W	TX_PREDRIVER_MODE	0	0-1	0-1
019	11:9	R/W	TX_EIDLE_DEASSERT_ DELAY	2:0	0-7	0-7
019	8:6	R/W	TX_EIDLE_ASSERT_ DELAY	2:0	0-7	0-7
019	5	R/W	TX_LOOPBACK_DRIVE_HIZ	0	FALSE	0
					TRUE	1
019	4:0	R/W	TX_DRIVE_MODE	4:0	DIRECT	0
					PIPE	1
					PIPEGEN3	2
01A	15:8	R/W	PD_TRANS_TIME_TO_P2	7:0	0-255	0-255
01A	7:0	R/W	PD_TRANS_TIME_NONE_P2	7:0	0-255	0-255
01B	12:1	R/W	PD_TRANS_TIME_FROM_P2	11:0	0-4095	0-4095
01B	0	R/W	PCS_PCIE_EN	0	FALSE	0
					TRUE	1
01C	15	R/W	TXBUF_RESET_ON_RATE_ CHANGE	0	FALSE	0
					TRUE	1
01C	14	R/W	TXBUF_EN	0	FALSE	0
					TRUE	1
01C	5	R/W	TXGEARBOX_EN	0	FALSE	0
					TRUE	1
01C	2:0	R/W	GEARBOX_MODE	2:0	0-7	0-7
01D	15:0	R/W	RX_DFE_GAIN_CFG	15:0	0-65535	0-65535
01E	6:0	R/W	RX_DFE_GAIN_CFG	22:16	0-127	0-127
01E	14	R/W	RX_DFE_LPM_HOLD_DURING _EIDLE	0	0-1	0-1
01F	11:0	R/W	RX_DFE_H2_CFG	11:0	0-4095	0-4095
020	11:0	R/W	RX_DFE_H3_CFG	11:0	0-4095	0-4095
021	10:0	R/W	RX_DFE_H4_CFG	10:0	0-2047	0-2047
022	10:0	R/W	RX_DFE_H5_CFG	10:0	0-2047	0-2047
023	12:0	R/W	RX_DFE_KL_CFG	12:0	0-8191	0-8191
024	15	R/W	RX_DFE_UT_CFG	0	0-1	0-1
025	15:0	R/W	RX_DFE_UT_CFG	16:1	0-65535	0-65535

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
024	12:0	R/W	RX_OS_CFG	12:0	0-8191	0-8191
026	15:0	R/W	RX_DFE_VP_CFG	15:0	0-65535	0-65535
027	0	R/W	RX_DFE_VP_CFG	16	0-1	0-1
028	12:0	R/W	RX_DFE_XYD_CFG	12:0	0-8191	0-8191
029	15:0	R/W	RX_DFE_LPM_CFG	15:0	0-65535	0-65535
02A	13:0	R/W	RXLPM_HF_CFG	13:0	0-16383	0-16383
02B	13:0	R/W	RXLPM_LF_CFG	13:0	0-16383	0-16383
02C	15:0	R/W	ES_QUALIFIER	15:0	0-65535	0-65535
02D	15:0	R/W	ES_QUALIFIER	31:16	0-65535	0-65535
02E	15:0	R/W	ES_QUALIFIER	47:32	0-65535	0-65535
02F	15:0	R/W	ES_QUALIFIER	63:48	0-65535	0-65535
030	15:0	R/W	ES_QUALIFIER	79:64	0-65535	0-65535
031	15:0	R/W	ES_QUAL_MASK	15:0	0-65535	0-65535
032	15:0	R/W	ES_QUAL_MASK	31:16	0-65535	0-65535
033	15:0	R/W	ES_QUAL_MASK	47:32	0-65535	0-65535
034	15:0	R/W	ES_QUAL_MASK	63:48	0-65535	0-65535
035	15:0	R/W	ES_QUAL_MASK	79:64	0-65535	0-65535
036	15:0	R/W	ES_SDATA_MASK	15:0	0-65535	0-65535
037	15:0	R/W	ES_SDATA_MASK	31:16	0-65535	0-65535
038	15:0	R/W	ES_SDATA_MASK	47:32	0-65535	0-65535
039	15:0	R/W	ES_SDATA_MASK	63:48	0-65535	0-65535
03A	15:0	R/W	ES_SDATA_MASK	79:64	0-65535	0-65535
03B	15:11	R/W	ES_PRESCALE	4:0	0-31	0-31
03B	8:0	R/W	ES_VERT_OFFSET	8:0	0-511	0-511
03C	11:0	R/W	ES_HORZ_OFFSET	11:0	0-4095	0-4095
03D	15	R/W	RX_DISPERR_SEQ_MATCH	0	FALSE	0
					TRUE	1
03D	14	R/W	DEC_PCOMMA_DETECT	0	FALSE	0
					TRUE	1
03D	13	R/W	DEC_MCOMMA_DETECT	0	FALSE	0
					TRUE	1
03D	12	R/W	DEC_VALID_COMMA_ONLY	0	FALSE	0
					TRUE	1
03D	9	R/W	ES_ERRDET_EN	0	FALSE	0
					TRUE	1
03D	8	R/W	ES_EYE_SCAN_EN	0	FALSE	0
					TRUE	1
03D	5:0	R/W	ES_CONTROL	5:0	0-63	0-63
03E	9:0	R/W	ALIGN_COMMA_ENABLE	9:0	0-1023	0-1023
03F	9:0	R/W	ALIGN_MCOMMA_VALUE	9:0	0-1023	0-1023

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
040	15:14	R/W	RXSLIDE_MODE	1:0	OFF	0
					AUTO	1
					PCS	2
					PMA	3
040	9:0	R/W	ALIGN_PCOMMA_VALUE	9:0	0-1023	0-1023
041	15:13	R/W	ALIGN_COMMA_WORD	2:0	1	1
					2	2
					4	4
041	12:8	R/W	RX_SIG_VALID_DLY	4:0	1	0
					2	1
					3	2
					4	3
					5	4
					6	5
					7	6
					8	7
					9	8
					10	9
					11	10
					12	11
					13	12
					14	13
					15	14
					16	15
					17	16
					18	17
					19	18
					20	19
					21	20
					22	21
					23	22
					24	23
					25	24
					26	25
					27	26
					28	27
					29	28
					30	29
					31	30
					32	31

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
041	7	R/W	ALIGN_PCOMMA_DET	0	FALSE	0
					TRUE	1
041	6	R/W	ALIGN_MCOMMA_DET	0	FALSE	0
					TRUE	1
041	5	R/W	SHOW_REALIGN_COMMA	0	FALSE	0
					TRUE	1
041	4	R/W	ALIGN_COMMA_DOUBLE	0	FALSE	0
					TRUE	1
041	3:0	R/W	RXSLIDE_AUTO_WAIT	3:0	0-15	0-15
044	14	R/W	CLK_CORRECT_USE	0	FALSE	0
					TRUE	1
044	13:10	R/W	CLK_COR_SEQ_1_ENABLE	3:0	0-15	0-15
044	9:0	R/W	CLK_COR_SEQ_1_1	9:0	0-1023	0-1023
045	15:10	R/W	CLK_COR_MAX_LAT	5:0	3-60	3-60
045	9:0	R/W	CLK_COR_SEQ_1_2	9:0	0-1023	0-1023
046	15:10	R/W	CLK_COR_MIN_LAT	5:0	3-60	3-60
046	9:0	R/W	CLK_COR_SEQ_1_3	9:0	0-1023	0-1023
047	14:10	R/W	CLK_COR_REPEAT_WAIT	4:0	0-31	0-31
047	9:0	R/W	CLK_COR_SEQ_1_4	9:0	0-1023	0-1023
048	14	R/W	CLK_COR_SEQ_2_USE	0	FALSE	0
					TRUE	1
048	13:10	R/W	CLK_COR_SEQ_2_ENABLE	3:0	0-15	0-15
048	9:0	R/W	CLK_COR_SEQ_2_1	9:0	0-1023	0-1023
049	13	R/W	CLK_COR_KEEP_IDLE	0	FALSE	0
					TRUE	1
049	12	R/W	CLK_COR_PRECEDENCE	0	FALSE	0
					TRUE	1
049	11:10	R/W	CLK_COR_SEQ_LEN	1:0	1	0
					2	1
					3	2
					4	3
049	9:0	R/W	CLK_COR_SEQ_2_2	9:0	0-1023	0-1023
04A	9:0	R/W	CLK_COR_SEQ_2_3	9:0	0-1023	0-1023
04B	15	R/W	RXGEARBOX_EN	0	FALSE	0
					TRUE	1
04B	9:0	R/W	CLK_COR_SEQ_2_4	9:0	0-1023	0-1023
04C	15:12	R/W	CHAN_BOND_SEQ_1_ENABLE	3:0	0-15	0-15
04C	9:0	R/W	CHAN_BOND_SEQ_1_1	9:0	0-1023	0-1023

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
04D	15:14	R/W	CHAN_BOND_SEQ_LEN	1:0	1	0
					2	1
					3	2
					4	3
04D	9:0	R/W	CHAN_BOND_SEQ_1_2	9:0	0-1023	0-1023
04E	15	R/W	CHAN_BOND_KEEP_ALIGN	0	FALSE	0
					TRUE	1
04E	9:0	R/W	CHAN_BOND_SEQ_1_3	9:0	0-1023	0-1023
04F	9:0	R/W	CHAN_BOND_SEQ_1_4	9:0	0-1023	0-1023
050	15:12	R/W	CHAN_BOND_SEQ_2_ENABLE	3:0	0-15	0-15
050	11	R/W	CHAN_BOND_SEQ_2_USE	0	FALSE	0
					TRUE	1
050	9:0	R/W	CHAN_BOND_SEQ_2_1	9:0	0-1023	0-1023
051	15:12	R/W	FTS_LANE_DESKEW_CFG	3:0	0-15	0-15
051	11	R/W	FTS_LANE_DESKEW_EN	0	FALSE	0
					TRUE	1
051	9:0	R/W	CHAN_BOND_SEQ_2_2	9:0	0-1023	0-1023
052	15:12	R/W	FTS_DESKEW_SEQ_ENABLE	3:0	0-15	0-15
052	11	R/W	CBCC_DATA_SOURCE_SEL	0	ENCODED	0
					DECODED	1
052	9:0	R/W	CHAN_BOND_SEQ_2_3	9:0	0-1023	0-1023
053	15:12	R/W	CHAN_BOND_MAX_SKEW	3:0	1-14	1-14
053	9:0	R/W	CHAN_BOND_SEQ_2_4	9:0	0-1023	0-1023
054	15:0	R/W	RXDLY_TAP_CFG	15:0	0-65535	0-65535
055	15:0	R/W	RXDLY_CFG	15:0	0-65535	0-65535
057	12:8	R/W	RXPH_MONITOR_SEL	4:0	0-31	0-31
057	5:0	R/W	RX_DDI_SEL	5:0	0-63	0-63
059	7	R/W	TX_XCLK_SEL	0	TXOUT	0
					TXUSR	1
059	6	R/W	RX_XCLK_SEL	0	RXREC	0
					RXUSR	1
05B	15:0	R/W	CPLL_INIT_CFG	15:0	0-65535	0-65535
05C	7:0	R/W	CPLL_INIT_CFG	23:16	0-255	0-255
05C	15:8	R/W	CPLL_CFG	7:0	0-255	0-255
05D	15:0	R/W	CPLL_CFG	23:8	0-65535	0-65535

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
05E	15:14	R/W	SATA_CPLL_CFG	1:0	VCO_ 3000MHZ	0
					VCO_ 1500MHZ	1
					VCO_ 750MHZ	2
05E	12:8	R/W	CPLL_REFCLK_DIV	4:0	1	16
					2	0
					3	1
					4	2
					5	3
					6	5
					8	6
					10	7
					12	13
					16	14
					20	15
05E	7	R/W	CPLL_FBDIV_45	0	4	0
					5	1
05E	6:0	R/W	CPLL_FBDIV	6:0	1	16
					2	0
					3	1
					4	2
					5	3
					6	5
					8	6
					10	7
					12	13
					16	14
					20	15
05F	15:0	R/W	CPLL_LOCK_CFG	15:0	0-65535	0-65535
060	15:0	R/W	TXPHDLY_CFG	15:0	0-65535	0-65535
061	7:0	R/W	TXPHDLY_CFG	23:16	0-255	0-255
062	15:0	R/W	TXDLY_CFG	15:0	0-65535	0-65535
063	15:0	R/W	TXDLY_TAP_CFG	15:0	0-65535	0-65535
064	15:0	R/W	TXPH_CFG	15:0	0-65535	0-65535
065	12:8	R/W	TXPH_MONITOR_SEL	4:0	0-31	0-31
066	11:0	R/W	RX_BIAS_CFG	11:0	0-4095	0-4095
068	1	R/W	TX_CLKMUX_PD	0	0-1	0-1
068	0	R/W	RX_CLKMUX_PD	0	0-1	0-1
069	8	R/W	TERM_RCAL_OVRD	0	0-1	0-1

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
069	4:0	R/W	TERM_RCAL_CFG	4:0	0-31	0-31
06A	4:0	R/W	TX_CLK25_DIV	4:0	1	0
					2	1
					3	2
					4	3
					5	4
					6	5
					7	6
					8	7
					9	8
					10	9
					11	10
					12	11
					13	12
					14	13
					15	14
					16	15
					17	16
					18	17
					19	18
					20	19
					21	20
					22	21
					23	22
					24	23
					25	24
					26	25
					27	26
					28	27
					29	28
					30	29
					31	30
					32	31
06B	15	R/W	TX_QPI_STATUS_EN	0	0-1	0-1
06B	4	R/W	TX_INT_DATAWIDTH	0	0	0
					1	1

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
06B	2:0	R/W	TX_DATA_WIDTH	2:0	16	2
					20	3
					32	4
					40	5
					64	6
					80	7
06F	15:0	R/W	PCS_RSVD_ATTR	15:0	0-65535	0-65535
070	15:0	R/W	PCS_RSVD_ATTR	31:16	0-65535	0-65535
071	15:0	R/W	PCS_RSVD_ATTR	47:32	0-65535	0-65535
074	15:11	R/W	RX_DFE_KL_CFG2	8:4	0-31	0-31
074	3:0	R/W	RX_DFE_KL_CFG2	3:0	0-15	0-15
075	14:8	R/W	TX_MARGIN_FULL_1	6:0	0-127	0-127
075	6:0	R/W	TX_MARGIN_FULL_0	6:0	0-127	0-127
076	14:8	R/W	TX_MARGIN_FULL_3	6:0	0-127	0-127
076	6:0	R/W	TX_MARGIN_FULL_2	6:0	0-127	0-127
077	14:8	R/W	TX_MARGIN_LOW_0	6:0	0-127	0-127
077	6:0	R/W	TX_MARGIN_FULL_4	6:0	0-127	0-127
078	14:8	R/W	TX_MARGIN_LOW_2	6:0	0-127	0-127
078	6:0	R/W	TX_MARGIN_LOW_1	6:0	0-127	0-127
079	14:8	R/W	TX_MARGIN_LOW_4	6:0	0-127	0-127
079	6:0	R/W	TX_MARGIN_LOW_3	6:0	0-127	0-127
07A	12:8	R/W	TX_DEEMPH1	4:0	0-31	0-31
07A	4:0	R/W	TX_DEEMPH0	4:0	0-31	0-31
07C	10:8	R/W	TX_RXDETECT_REF	2:0	0-7	0-7
07C	3	R/W	TX_MAINCURSOR_SEL	0	0-1	0-1
07C	1:0	R/W	PMA_RSV3	1:0	0-3	0-3
07D	13:0	R/W	TX_RXDETECT_CFG	13:0	0-16383	0-16383
07F	14:10	R/W	RX_DFE_KL_CFG2	17:13	0-31	0-31
07F	3:0	R/W	RX_DFE_KL_CFG2	12:9	0-15	0-15
082	15:0	R/W	PMA_RSV2	15:0	0-65535	0-65535
083	15:7	R/W	RX_DFE_KL_CFG2	26:18	0-511	0-511
086	15:0	R/W	DMONITOR_CFG	15:0	0-65535	0-65535
087	7:0	R/W	DMONITOR_CFG	23:16	0-255	0-255
088	6:4	R/W	TXOUT_DIV	2:0	1	0
					2	1
					4	2
					8	3
					16	4

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
088	2:0	R/W	RXOUT_DIV	2:0	1	0
					2	1
					4	2
					8	3
					16	4
08C	7:3	R/W	RX_DFE_KL_CFG2	31:27	0-31	0-31
091	15:0	R/W	PMA_RSV4	15:0	0-65535	0-65535
092	15:0	R/W	PMA_RSV4	31:16	0-65535	0-65535
097	15:0	R/W	TST_RSV	15:0	0-65535	0-65535
098	15:0	R/W	TST_RSV	31:16	0-65535	0-65535
099	15:0	R/W	PMA_RSV	15:0	0-65535	0-65535
09A	15:0	R/W	PMA_RSV	31:16	0-65535	0-65535
09B	5:0	R/W	RX_BUFFER_CFG	5:0	0-63	0-63
09C	13:8	R/W	RXBUF_THRESH_OVFLW	5:0	0-63	0-63
09C	5:0	R/W	RXBUF_THRESH_UNDFLW	5:0	0-63	0-63
09D	15:12	R/W	RXBUF_EIDLE_HI_CNT	3:0	0-15	0-15
09D	11:8	R/W	RXBUF_EIDLE_LO_CNT	3:0	0-15	0-15
09D	7	R/W	RXBUF_ADDR_MODE	0	FULL	0
					FAST	1
09D	6	R/W	RXBUF_RESET_ON_EIDLE	0	FALSE	0
					TRUE	1
09D	5	R/W	RXBUF_RESET_ON_CB_CHANGE	0	FALSE	0
					TRUE	1
09D	4	R/W	RXBUF_RESET_ON_RATE_CHANGE	0	FALSE	0
					TRUE	1
09D	3	R/W	RXBUF_RESET_ON_COMMAALIGN	0	FALSE	0
					TRUE	1
09D	2	R/W	RXBUF_THRESH_OVRD	0	FALSE	0
					TRUE	1
09D	1	R/W	RXBUF_EN	0	FALSE	0
					TRUE	1
09D	0	R/W	RX_DEFER_RESET_BUF_EN	0	FALSE	0
					TRUE	1
09F	8:0	R/W	TXDLY_LCFG	8:0	0-511	0-511
0A0	8:0	R/W	RXDLY_LCFG	8:0	0-511	0-511
0A1	15:0	R/W	RXPH_CFG	15:0	0-65535	0-65535
0A2	7:0	R/W	RXPH_CFG	23:16	0-255	0-255
0A3	15:0	R/W	RXPHDLY_CFG	15:0	0-65535	0-65535
0A4	7:0	R/W	RXPHDLY_CFG	23:16	0-255	0-255
0A5	11:0	R/W	RX_DEBUG_CFG	11:0	0-2047	0-2047
0A6	9:0	R/W	ES_PMA_CFG	9:0	0-1023	0-1023

表 D-2 : GTX2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
0A7	13	R/W	RXCDR_PH_RESET_ON_IDLE	0	0-1	0-1
0A7	12	R/W	RXCDR_FR_RESET_ON_IDLE	0	0-1	0-1
0A7	11	R/W	RXCDR_HOLD_DURING_IDLE	0	0-1	0-1
0A7	5:0	R/W	RXCDR_LOCK_CFG	5:0	0-63	0-63
0A8	15:0	R/W	RXCDR_CFG	15:0	0-65535	0-65535
0A9	15:0	R/W	RXCDR_CFG	31:16	0-65535	0-65535
0AA	15:0	R/W	RXCDR_CFG	47:32	0-65535	0-65535
0AB	15:0	R/W	RXCDR_CFG	63:48	0-65535	0-65535
0AC	7:0	R/W	RXCDR_CFG	71:64	0-255	0-255
15C	15:0	R	RX_PRBS_ERR_CNT	15:0	0-65535	0-65535

表 D-3 に、GTH2_COMMON プリミティブの DRP マップをアドレス順に並べて示します。

注記：予約ビットは変更できません。明記されていない属性は、7 Series FPGA Transceivers Wizard によって自動的に設定されます。これらの属性は、異なる値を明示的に要求する場合を除いてデフォルトのままとします。

表 D-3 : GTH2_COMMON プリミティブの DRP マップ

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
0030	15:0	R/W	QPLL_INIT_CFG	15:0	0-65535	0-65535
0031	14:11	R/W	QPLL_LPF	3:0	0-15	0-15
0031	7:0	R/W	QPLL_INIT_CFG	23:16	0-255	0-255
0032	15:0	R/W	QPLL_CFG	15:0	0-65535	0-65535
0033	15:11	R/W	QPLL_REFCLK_DIV	4:0	1	16
					2	0
					3	1
					4	2
					5	3
					6	5
					8	6
					10	7
					12	13
					16	14
					20	15
0033	10:0	R/W	QPLL_CFG	26:16	0-2047	0-2047
0034	15:0	R/W	QPLL_LOCK_CFG	15:0	0-65535	0-65535

表 D-3 : GTH2_COMMON プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP の エンコード
0035	15:10	R/W	QPLL_COARSE_FREQ_OVRD	5:0	0-63	0-63
0035	9:0	R/W	QPLL_CP	9:0	0-1023	0-1023
0036	15	R/W	QPLL_DMONITOR_SEL	0	0-1	0-1
0036	14	R/W	QPLL_FBDIV_MONITOR_EN	0	0-1	0-1
0036	13	R/W	QPLL_CP_MONITOR_EN	0	0-1	0-1
0036	11	R/W	QPLL_COARSE_FREQ_OVRD_EN	0	0-1	0-1
0036	9:0	R/W	QPLL_FBDIV	9:0	0-1023	0-1023
0037	6	R/W	QPLL_FBDIV_RATIO	0	0-1	0-1
0037	5:2	R/W	QPLL_CLKOUT_CFG	3:0	0-15	0-15
003D	15:0	R/W	RSVD_ATTR1	15:0	0-65535	0-65535
003E	15:0	R/W	BIAS_CFG	15:0	0-65535	0-65535
003F	15:0	R/W	BIAS_CFG	31:16	0-65535	0-65535
0040	15:0	R/W	BIAS_CFG	47:32	0-65535	0-65535
0041	15:0	R/W	BIAS_CFG	63:48	0-65535	0-65535
0042	15:0	R/W	RSVD_ATTR0	15:0	0-65535	0-65535
0043	15:0	R/W	COMMON_CFG	15:0	0-65535	0-65535
0044	15:0	R/W	COMMON_CFG	31:16	0-65535	0-65535
0047	14:13	R/W	RCAL_CFG	1:0	0-3	0-3
0047	12	R/W	QPLL_RP_COMP	0	0-1	0-1
0047	11:10	R/W	QPLL_VTRL_RESET	1:0	0-3	0-3

表 D-4 に、GTH2_CHANNEL プリミティブの DRP マップをアドレス順に並べて示します。

注記：予約ビットは変更できません。明記されていない属性は、7 Series FPGA Transceivers Wizard によって自動的に設定されます。これらの属性は、異なる値を明示的に要求する場合を除いてデフォルトのままとします。

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
0000	15	R/W	ACJTAG_RESET	0	0-1	0-1
0000	14	R/W	ACJTAG_DEBUG_MODE	0	0-1	0-1
0000	13	R/W	ACJTAG_MODE	0	0-1	0-1
0000	1	R/W	UCODEER_CLR	0	0-1	0-1
000A	5	R/W	A_RXOSCALRESET	0	0-1	0-1
000C	15:9	R/W	RXDFELPMRESET_TIME	6:0	0-127	0-127
000D	14:10	R/W	RXCDRPHRESET_TIME	4:0	0-31	0-31
000D	9:5	R/W	RXCDRFREQRESET_TIME	4:0	0-31	0-31

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
000D	4:0	R/W	RXBUFRESET_TIME	4:0	0-31	0-31
000E	15:11	R/W	RXPCSRESET_TIME	4:0	0-31	0-31
000E	10:6	R/W	RXPMARESET_TIME	4:0	0-31	0-31
000F	14:10	R/W	RXISCANRESET_TIME	4:0	0-31	0-31
000F	9:5	R/W	TXPCSRESET_TIME	4:0	0-31	0-31
000F	4:0	R/W	TXPMARESET_TIME	4:0	0-31	0-31
0010	15	R/W	RXSYNC_OVRD	0	0-1	0-1
0010	14	R/W	TXSYNC_OVRD	0	0-1	0-1
0010	13	R/W	TXSYNC_SKIP_DA	0	0-1	0-1
0010	12	R/W	RXSYNC_SKIP_DA	0	0-1	0-1
0010	11	R/W	TXSYNC_MULTILANE	0	0-1	0-1
0010	10	R/W	RXSYNC_MULTILANE	0	0-1	0-1
0011	14	R/W	RX_INT_DATAWIDTH	0	0-1	0-1
0011	13:11	R/W	RX_DATA_WIDTH	2:0	16	2
					20	3
					32	4
					40	5
					64	6
					80	7

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
0011	10:6	R/W	RX_CLK25_DIV	4:0	1	0
					2	1
					3	2
					4	3
					5	4
					6	5
					7	6
					8	7
					9	8
					10	9
					11	10
					12	11
					13	12
					14	13
					15	14
					16	15
					17	16
					18	17
					19	18
					20	19
					21	20
					22	21
					23	22
					24	23
					25	24
					26	25
					27	26
					28	27
					29	28
					30	29
					31	30
					32	31
0011	5:4	R/W	RX_CM_SEL	1:0	0-3	0-3
0011	0	R/W	RXPRBS_ERR_LOOPBACK	0	0-1	0-1
0012	15:12	R/W	SATA_BURST_SEQ_LEN	3:0	0-15	0-15
0012	11:10	R/W	OUTREFCLK_SEL_INV	1:0	0-3	0-3
0012	9:7	R/W	SATA_BURST_VAL	2:0	0-7	0-7
0012	6:0	R/W	RXOOB_CFG	6:0	0-127	0-127
0013	14:9	R/W	SAS_MIN_COM	5:0	1-63	1-63
0013	8:3	R/W	SATA_MIN_BURST	5:0	1-61	1-61
0013	2:0	R/W	SATA_EIDLE_VAL	2:0	0-7	0-7

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
0014	11:6	R/W	SATA_MIN_WAKE	5:0	1-63	1-63
0014	5:0	R/W	SATA_MIN_INIT	5:0	1-63	1-63
0015	12:6	R/W	SAS_MAX_COM	6:0	1-127	1-127
0015	5:0	R/W	SATA_MAX_BURST	5:0	1-63	1-63
0016	11:6	R/W	SATA_MAX_WAKE	5:0	1-63	1-63
0016	5:0	R/W	SATA_MAX_INIT	5:0	1-63	1-63
0017	15:11	R/W	RXOSCALRESET_TIMEOUT	4:0	0-31	0-31
0017	10:6	R/W	RXOSCALRESET_TIME	4:0	0-31	0-31
0018	7:0	R/W	TRANS_TIME_RATE	7:0	0-255	0-255
0019	11:9	R/W	TX_IDLE_DEASSERT_DELAY	2:0	0-7	0-7
0019	8:6	R/W	TX_IDLE_ASSERT_DELAY	2:0	0-7	0-7
0019	5	R/W	TX_LOOPBACK_DRIVE_HIZ	0	FALSE	0
					TRUE	1
0019	4:0	R/W	TX_DRIVE_MODE	4:0	DIRECT	0
					PIPE	1
					PIPEGEN3	2
001A	15:8	R/W	PD_TRANS_TIME_TO_P2	7:0	0-255	0-255
001A	7:0	R/W	PD_TRANS_TIME_NONE_P2	7:0	0-255	0-255
001B	12:1	R/W	PD_TRANS_TIME_FROM_P2	11:0	0-4095	0-4095
001B	0	R/W	PCS_PCIE_EN	0	FALSE	0
					TRUE	1
001C	15	R/W	TXBUF_RESET_ON_RATE_CHANGE	0	FALSE	0
					TRUE	1
001C	14	R/W	TXBUF_EN	0	FALSE	0
					TRUE	1
001C	5	R/W	TXGEARBOX_EN	0	FALSE	0
					TRUE	1
001C	2:0	R/W	GEARBOX_MODE	2:0	0-7	0-7
001D	15:0	R/W	RX_DFE_GAIN_CFG	15:0	0-65535	0-65535
001E	14	R/W	RX_DFE_LPM_HOLD_DURING_IDLE	0	0-1	0-1
001E	6:0	R/W	RX_DFE_GAIN_CFG	22:16	0-127	0-127
001F	11:0	R/W	RX_DFE_H2_CFG	11:0	0-4095	0-4095
0020	11:0	R/W	RX_DFE_H3_CFG	11:0	0-4095	0-4095
0021	10:0	R/W	RX_DFE_H4_CFG	10:0	0-2047	0-2047
0022	10:0	R/W	RX_DFE_H5_CFG	10:0	0-2047	0-2047
0024	15	R/W	RX_DFE_UT_CFG	16	0-1	0-1
0024	12:0	R/W	RX_OS_CFG	12:0	0-8191	0-8191
0025	15:0	R/W	RX_DFE_UT_CFG	15:0	0-65535	0-65535
0026	15:0	R/W	RX_DFE_VP_CFG	15:0	0-65535	0-65535
0027	0	R/W	RX_DFE_VP_CFG	16	0-1	0-1
0029	15:0	R/W	RX_DFE_LPM_CFG	15:0	0-65535	0-65535

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
002A	15:14	R/W	RXLPM_LF_CFG	17:16	0-3	0-3
002A	13:0	R/W	RXLPM_HF_CFG	13:0	0-16383	0-16383
002B	15:0	R/W	RXLPM_LF_CFG	15:0	0-65535	0-65535
002C	15:0	R/W	ES_QUALIFIER	15:0	0-65535	0-65535
002D	15:0	R/W	ES_QUALIFIER	31:16	0-65535	0-65535
002E	15:0	R/W	ES_QUALIFIER	47:32	0-65535	0-65535
002F	15:0	R/W	ES_QUALIFIER	63:48	0-65535	0-65535
0030	15:0	R/W	ES_QUALIFIER	79:64	0-65535	0-65535
0031	15:0	R/W	ES_QUAL_MASK	15:0	0-65535	0-65535
0032	15:0	R/W	ES_QUAL_MASK	31:16	0-65535	0-65535
0033	15:0	R/W	ES_QUAL_MASK	47:32	0-65535	0-65535
0034	15:0	R/W	ES_QUAL_MASK	63:48	0-65535	0-65535
0035	15:0	R/W	ES_QUAL_MASK	79:64	0-65535	0-65535
0036	15:0	R/W	ES_SDATA_MASK	15:0	0-65535	0-65535
0037	15:0	R/W	ES_SDATA_MASK	31:16	0-65535	0-65535
0038	15:0	R/W	ES_SDATA_MASK	47:32	0-65535	0-65535
0039	15:0	R/W	ES_SDATA_MASK	63:48	0-65535	0-65535
003A	15:0	R/W	ES_SDATA_MASK	79:64	0-65535	0-65535
003B	15:11	R/W	ES_PRESCALE	4:0	0-31	0-31
003B	8:0	R/W	ES_VERT_OFFSET	8:0	0-511	0-511
003C	11:0	R/W	ES_HORZ_OFFSET	11:0	0-4095	0-4095
003D	15	R/W	RX_DISPERR_SEQ_MATCH	0	FALSE	0
					TRUE	1
003D	14	R/W	DEC_PCOMMA_DETECT	0	FALSE	0
					TRUE	1
003D	13	R/W	DEC_MCOMMA_DETECT	0	FALSE	0
					TRUE	1
003D	12	R/W	DEC_VALID_COMMA_ONLY	0	FALSE	0
					TRUE	1
003D	9	R/W	ES_ERRDET_EN	0	FALSE	0
					TRUE	1
003D	8	R/W	ES_EYE_SCAN_EN	0	FALSE	0
					TRUE	1
003D	5:0	R/W	ES_CONTROL	5:0	0-63	0-63
003E	9:0	R/W	ALIGN_COMMA_ENABLE	9:0	0-1023	0-1023
003F	9:0	R/W	ALIGN_MCOMMA_VALUE	9:0	0-1023	0-1023
0040	15:14	R/W	RXSLIDE_MODE	1:0	OFF	0
					AUTO	1
					PCS	2
					PMA	3
0040	9:0	R/W	ALIGN_PCOMMA_VALUE	9:0	0-1023	0-1023

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
0041	15:13	R/W	ALIGN_COMMA_WORD	2:0	1	1
					2	2
					4	4
0041	12:8	R/W	RX_SIG_VALID_DLY	4:0	1	0
					2	1
					3	2
					4	3
					5	4
					6	5
					7	6
					8	7
					9	8
					10	9
					11	10
					12	11
					13	12
					14	13
					15	14
					16	15
					17	16
					18	17
					19	18
					20	19
					21	20
					22	21
					23	22
					24	23
					25	24
					26	25
					27	26
					28	27
					29	28
					30	29
					31	30
					32	31
0041	7	R/W	ALIGN_PCOMMA_DET	0	FALSE	0
					TRUE	1
0041	6	R/W	ALIGN_MCOMMA_DET	0	FALSE	0
					TRUE	1
0041	5	R/W	SHOW_REALIGN_COMMA	0	FALSE	0
					TRUE	1

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
0041	4	R/W	ALIGN_COMMA_DOUBLE	0	FALSE	0
					TRUE	1
0041	3:0	R/W	RXSLIDE_AUTO_WAIT	3:0	0-15	0-15
0044	14	R/W	CLK_CORRECT_USE	0	FALSE	0
					TRUE	1
0044	13:10	R/W	CLK_COR_SEQ_1_ENABLE	3:0	0-15	0-15
0044	9:0	R/W	CLK_COR_SEQ_1_1	9:0	0-1023	0-1023
0045	15:10	R/W	CLK_COR_MAX_LAT	5:0	3-60	3-60
0045	9:0	R/W	CLK_COR_SEQ_1_2	9:0	0-1023	0-1023
0046	15:10	R/W	CLK_COR_MIN_LAT	5:0	3-60	3-60
0046	9:0	R/W	CLK_COR_SEQ_1_3	9:0	0-1023	0-1023
0047	14:10	R/W	CLK_COR_REPEAT_WAIT	4:0	0-31	0-31
0047	9:0	R/W	CLK_COR_SEQ_1_4	9:0	0-1023	0-1023
0048	14	R/W	CLK_COR_SEQ_2_USE	0	FALSE	0
					TRUE	1
0048	13:10	R/W	CLK_COR_SEQ_2_ENABLE	3:0	0-15	0-15
0048	9:0	R/W	CLK_COR_SEQ_2_1	9:0	0-1023	0-1023
0049	13	R/W	CLK_COR_KEEP_IDLE	0	FALSE	0
					TRUE	1
0049	12	R/W	CLK_COR_PRECEDENCE	0	FALSE	0
					TRUE	1
0049	11:10	R/W	CLK_COR_SEQ_LEN	1:0	1	0
					2	1
					3	2
					4	3
0049	9:0	R/W	CLK_COR_SEQ_2_2	9:0	0-1023	0-1023
004A	9:0	R/W	CLK_COR_SEQ_2_3	9:0	0-1023	0-1023
004B	15	R/W	RXGEARBOX_EN	0	FALSE	0
					TRUE	1
004B	9:0	R/W	CLK_COR_SEQ_2_4	9:0	0-1023	0-1023
004C	15:12	R/W	CHAN_BOND_SEQ_1_ENABLE	3:0	0-15	0-15
004C	9:0	R/W	CHAN_BOND_SEQ_1_1	9:0	0-1023	0-1023
004D	15:14	R/W	CHAN_BOND_SEQ_LEN	1:0	1	0
					2	1
					3	2
					4	3
004D	9:0	R/W	CHAN_BOND_SEQ_1_2	9:0	0-1023	0-1023
004E	15	R/W	CHAN_BOND_KEEP_ALIGN	0	FALSE	0
					TRUE	1
004E	9:0	R/W	CHAN_BOND_SEQ_1_3	9:0	0-1023	0-1023
004F	9:0	R/W	CHAN_BOND_SEQ_1_4	9:0	0-1023	0-1023

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
0050	15:12	R/W	CHAN_BOND_SEQ_2_ENABLE	3:0	0-15	0-15
0050	11	R/W	CHAN_BOND_SEQ_2_USE	0	FALSE	0
					TRUE	1
0050	9:0	R/W	CHAN_BOND_SEQ_2_1	9:0	0-1023	0-1023
0051	15:12	R/W	FTS_LANE_DESKEW_CFG	3:0	0-15	0-15
0051	11	R/W	FTS_LANE_DESKEW_EN	0	FALSE	0
					TRUE	1
0051	9:0	R/W	CHAN_BOND_SEQ_2_2	9:0	0-1023	0-1023
0052	15:12	R/W	FTS_DESKEW_SEQ_ENABLE	3:0	0-15	0-15
0052	11	R/W	CBCC_DATA_SOURCE_SEL	0	ENCODED	0
					DECODED	1
0052	9:0	R/W	CHAN_BOND_SEQ_2_3	9:0	0-1023	0-1023
0053	15:12	R/W	CHAN_BOND_MAX_SKEW	3:0	1-14	1-14
0053	9:0	R/W	CHAN_BOND_SEQ_2_4	9:0	0-1023	0-1023
0054	15:0	R/W	RXDLY_TAP_CFG	15:0	0-65535	0-65535
0055	15:0	R/W	RXDLY_CFG	15:0	0-65535	0-65535
0057	12:8	R/W	RXPH_MONITOR_SEL	4:0	0-31	0-31
0057	5:0	R/W	RX_DDI_SEL	5:0	0-63	0-63
0059	7	R/W	TX_XCLK_SEL	0	TXOUT	0
					TXUSR	1
0059	6	R/W	RX_XCLK_SEL	0	RXREC	0
					RXUSR	1
005A	9	R/W	TXOOB_CFG	0	0-1	0-1
005A	8	R/W	LOOPBACK_CFG	0	0-1	0-1
005B	15:0	R/W	CPLL_INIT_CFG	15:0	0-65535	0-65535
005C	15:14	R/W	RXPI_CFG3	1:0	0-3	0-3
005C	13:12	R/W	RXPI_CFG0	1:0	0-3	0-3
005C	7:0	R/W	CPLL_INIT_CFG	23:16	0-255	0-255
005D	14:13	R/W	RXPI_CFG2	1:0	0-3	0-3
005D	12:11	R/W	RXPI_CFG1	1:0	0-3	0-3
005D	10:8	R/W	TXPI_CFG5	2:0	0-7	0-7
005D	7	R/W	TXPI_CFG4	0	0-1	0-1
005D	6	R/W	TXPI_CFG3	0	0-1	0-1
005D	5:4	R/W	TXPI_CFG2	1:0	0-3	0-3
005D	3:2	R/W	TXPI_CFG1	1:0	0-3	0-3
005D	1:0	R/W	TXPI_CFG0	1:0	0-3	0-3

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
005E	15:14	R/W	SATA_CPLL_CFG	1:0	VCO_3000M HZ	0
					VCO_1500M HZ	1
					VCO_750M HZ	2
005E	12:8	R/W	CPLL_REFCLK_DIV	4:0	1	16
					2	0
					3	1
					4	2
					5	3
					6	5
					8	6
					10	7
					12	13
					16	14
					20	15
005E	7	R/W	CPLL_FBDIV_45	0	4	0
					5	1
005E	6:0	R/W	CPLL_FBDIV	6:0	1	16
					2	0
					3	1
					4	2
					5	3
					6	5
					8	6
					10	7
					12	13
					16	14
					20	15
005F	15:0	R/W	CPLL_LOCK_CFG	15:0	0-65535	0-65535
0060	15:0	R/W	TXPHDLY_CFG	15:0	0-65535	0-65535
0061	15	R/W	RXPI_CFG5	0	0-1	0-1
0061	14	R/W	RXPI_CFG4	0	0-1	0-1
0061	7:0	R/W	TXPHDLY_CFG	23:16	0-255	0-255
0062	15:0	R/W	TXDLY_CFG	15:0	0-65535	0-65535
0063	15:0	R/W	TXDLY_TAP_CFG	15:0	0-65535	0-65535
0064	15:0	R/W	TXPH_CFG	15:0	0-65535	0-65535
0065	12:8	R/W	TXPH_MONITOR_SEL	4:0	0-31	0-31
0065	2:0	R/W	RXPI_CFG6	2:0	0-7	0-7
0066	15:0	R/W	RX_BIAS_CFG	15:0	0-65535	0-65535
0067	7:0	R/W	RX_BIAS_CFG	23:16	0-255	0-255

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
0068	3	R/W	RXOOB_CLK_CFG	0	PMA	0
					FABRIC	1
0068	1	R/W	TX_CLKMUX_EN	0	0-1	0-1
0068	0	R/W	RX_CLKMUX_EN	0	0-1	0-1
0069	14:0	R/W	TERM_RCAL_CFG	14:0	0-32767	0-32767
006A	15:13	R/W	TERM_RCAL_OVRD	2:0	0-7	0-7
006A	4:0	R/W	TX_CLK25_DIV	4:0	1	0
					2	1
					3	2
					4	3
					5	4
					6	5
					7	6
					8	7
					9	8
					10	9
					11	10
					12	11
					13	12
					14	13
					15	14
					16	15
					17	16
					18	17
					19	18
					20	19
					21	20
					22	21
					23	22
					24	23
					25	24
					26	25
					27	26
					28	27
					29	28
					30	29
					31	30
					32	31
006B	15	R/W	TX_QPI_STATUS_EN	0	0-1	0-1
006B	11:8	R/W	PMA_RSV5	3:0	0-15	0-15

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
006B	4	R/W	TX_INT_DATAWIDTH	0	0	0
					1	1
006B	2:0	R/W	TX_DATA_WIDTH	2:0	16	2
					20	3
					32	4
					40	5
					64	6
					80	7
006F	15:0	R/W	PCS_RSVD_ATTR	15:0	0-65535	0-65535
0070	15:0	R/W	PCS_RSVD_ATTR	31:16	0-65535	0-65535
0071	15:0	R/W	PCS_RSVD_ATTR	47:32	0-65535	0-65535
0072	15:0	R/W	RX_DFE_KL_CFG	15:0	0-65535	0-65535
0073	15:0	R/W	RX_DFE_KL_CFG	31:16	0-65535	0-65535
0074	12:9	R/W	RX_DFE_AGC_CFG2	3:0	0-15	0-15
0074	8:6	R/W	RX_DFE_AGC_CFG1	2:0	0-7	0-7
0074	5:4	R/W	RX_DFE_AGC_CFG0	1:0	0-3	0-3
0074	0	R/W	RX_DFE_KL_CFG	32	0-1	0-1
0075	14:8	R/W	TX_MARGIN_FULL_1	6:0	0-127	0-127
0075	6:0	R/W	TX_MARGIN_FULL_0	6:0	0-127	0-127
0076	14:8	R/W	TX_MARGIN_FULL_3	6:0	0-127	0-127
0076	6:0	R/W	TX_MARGIN_FULL_2	6:0	0-127	0-127
0077	14:8	R/W	TX_MARGIN_LOW_0	6:0	0-127	0-127
0077	6:0	R/W	TX_MARGIN_FULL_4	6:0	0-127	0-127
0078	14:8	R/W	TX_MARGIN_LOW_2	6:0	0-127	0-127
0078	6:0	R/W	TX_MARGIN_LOW_1	6:0	0-127	0-127
0079	14:8	R/W	TX_MARGIN_LOW_4	6:0	0-127	0-127
0079	6:0	R/W	TX_MARGIN_LOW_3	6:0	0-127	0-127
007A	13:8	R/W	TX_DEEMPH1	5:0	0-63	0-63
007A	5:0	R/W	TX_DEEMPH0	5:0	0-63	0-63
007B	15:0	R/W	TX_RXDETECT_PRECHARGE_ TIME	15:0	0-65535	0-65535
007C	15	R/W	TX_RXDETECT_PRECHARGE_ TIME	16	0-1	0-1
007C	13:11	R/W	RX_DFE_KL_LPM_KL_CFG1	2:0	0-7	0-7
007C	10:8	R/W	TX_RXDETECT_REF	2:0	0-7	0-7
007C	7:4	R/W	RX_DFE_KL_LPM_KL_CFG2	3:0	0-15	0-15
007C	3	R/W	TX_MAINCURSOR_SEL	0	0-1	0-1
007C	1:0	R/W	PMA_RSV3	1:0	0-3	0-3
007D	13:0	R/W	TX_RXDETECT_CFG	13:0	0-16383	0-16383
007E	14:13	R/W	RX_DFE_KL_LPM_KL_CFG0	1:0	0-3	0-3
007E	12:9	R/W	RX_DFE_KL_LPM_KH_CFG2	3:0	0-15	0-15
007E	8:6	R/W	RX_DFE_KL_LPM_KH_CFG1	2:0	0-7	0-7

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
007E	5:4	R/W	RX_DFE_KL_LPM_KH_CFG0	1:0	0-3	0-3
007E	3:0	R/W	RX_CM_TRIM	3:0	0-15	0-15
007F	15:0	R/W	CPLL_CFG	15:0	0-65535	0-65535
0080	13	R/W	RX_DFELPM_KLKH_AGC_ STUP_EN	0	0-1	0-1
0080	12:0	R/W	CPLL_CFG	28:16	0-8191	0-8191
0081	7	R/W	RX_DFE_KL_LPM_KH_ OVRDEN	0	0-1	0-1
0081	6	R/W	RX_DFE_KL_LPM_KL_ OVRDEN	0	0-1	0-1
0081	5	R/W	RX_DFE_AGC_OVRDEN	0	0-1	0-1
0081	4	R/W	RX_DFELPM_CFG1	0	0-1	0-1
0081	3:0	R/W	RX_DFELPM_CFG0	3:0	0-15	0-15
0082	15:0	R/W	PMA_RSV2	15:0	0-65535	0-65535
0083	15:0	R/W	PMA_RSV2	31:16	0-65535	0-65535
0084	10	R/W	RESET_POWERSAVE_DISABLE	0	0-1	0-1
0086	15:0	R/W	DMONITOR_CFG	15:0	0-65535	0-65535
0087	7:0	R/W	DMONITOR_CFG	23:16	0-255	0-255
0088	6:4	R/W	TXOUT_DIV	2:0	1	0
					2	1
					4	2
					8	3
					16	4
0088	2:0	R/W	RXOUT_DIV	2:0	1	0
					2	1
					4	2
					8	3
					16	4
0089	15:0	R/W	CFOK_CFG	15:0	0-65535	0-65535
008A	15:0	R/W	CFOK_CFG	31:16	0-65535	0-65535
008B	15:10	R/W	CFOK_CFG3	5:0	0-63	0-63
008B	9:0	R/W	CFOK_CFG	41:32	0-1023	0-1023
008C	10:0	R/W	RX_DFE_H6_CFG	10:0	0-2047	0-2047
008D	10:0	R/W	RX_DFE_H7_CFG	10:0	0-2047	0-2047
008E	15:0	R/W	RX_DFE_ST_CFG	15:0	0-65535	0-65535
008F	15:0	R/W	RX_DFE_ST_CFG	31:16	0-65535	0-65535
0090	15:0	R/W	RX_DFE_ST_CFG	47:32	0-65535	0-65535
0091	15	R/W	ES_CLK_PHASE_SEL	0	0-1	0-1
0091	14	R/W	USE_PCS_CLK_PHASE_SEL	0	0-1	0-1
0091	11:6	R/W	CFOK_CFG2	5:0	0-63	0-63
0091	5:0	R/W	RX_DFE_ST_CFG	53:48	0-63	0-63
0092	15:0	R/W	ADAPT_CFG0	15:0	0-65535	0-65535

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
0093	3:0	R/W	ADAPT_CFG0	19:16	0-15	0-15
0094	14:0	R/W	PMA_RSV4	14:0	0-32767	0-32767
0095	7:0	R/W	TXPI_PPM_CFG	7:0	0-255	0-255
0096	5	R/W	TXPI_GREY_SEL	0	0-1	0-1
0096	4	R/W	TXPI_INVSTROBE_SEL	0	0-1	0-1
0096	3	R/W	TXPI_PPMCLK_SEL	0	TXUSRCLK	0
					TXUSRCLK2	1
0096	2:0	R/W	TXPI_SYNRFREQ_PPM	2:0	1-7	1-7
0097	15:0	R/W	TST_RSV	15:0	0-65535	0-65535
0098	15:0	R/W	TST_RSV	31:16	0-65535	0-65535
0099	15:0	R/W	PMA_RSV	15:0	0-65535	0-65535
009A	15:0	R/W	PMA_RSV	31:16	0-65535	0-65535
009B	5:0	R/W	RX_BUFFER_CFG	5:0	0-63	0-63
009C	13:8	R/W	RXBUF_THRESH_OVFLW	5:0	0-63	0-63
009C	5:0	R/W	RXBUF_THRESH_UNDFLW	5:0	0-63	0-63
009D	15:12	R/W	RXBUF_EIDLE_HI_CNT	3:0	0-15	0-15
009D	11:8	R/W	RXBUF_EIDLE_LO_CNT	3:0	0-15	0-15
009D	7	R/W	RXBUF_ADDR_MODE	0	FULL	0
					FAST	1
009D	6	R/W	RXBUF_RESET_ON_EIDLE	0	FALSE	0
					TRUE	1
009D	5	R/W	RXBUF_RESET_ON_CB_CHANGE	0	FALSE	0
					TRUE	1
009D	4	R/W	RXBUF_RESET_ON_RATE_CHANGE	0	FALSE	0
					TRUE	1
009D	3	R/W	RXBUF_RESET_ON_COMMAALIGN	0	FALSE	0
					TRUE	1
009D	2	R/W	RXBUF_THRESH_OVRD	0	FALSE	0
					TRUE	1
009D	1	R/W	RXBUF_EN	0	FALSE	0
					TRUE	1
009D	0	R/W	RX_DEFER_RESET_BUF_EN	0	FALSE	0
					TRUE	1
009F	8:0	R/W	TXDLY_LCFG	8:0	0-511	0-511
00A0	8:0	R/W	RXDLY_LCFG	8:0	0-511	0-511
00A1	15:0	R/W	RXPH_CFG	15:0	0-65535	0-65535
00A2	7:0	R/W	RXPH_CFG	23:16	0-255	0-255
00A3	15:0	R/W	RXPHDLY_CFG	15:0	0-65535	0-65535
00A4	7:0	R/W	RXPHDLY_CFG	23:16	0-255	0-255
00A5	13:0	R/W	RX_DEBUG_CFG	13:0	0-16383	0-16383
00A6	9:0	R/W	ES_PMA_CFG	9:0	0-1023	0-1023

表 D-4 : GTH2_CHANNEL プリミティブの DRP マップ (続き)

DRP アドレス (16 進数)	DRP ビット	R/W	属性名	属性ビット	属性の エンコード	DRP バイナリ エンコード
00A7	13	R/W	RXCDR_PH_RESET_ON_IDLE	0	0-1	0-1
00A7	12	R/W	RXCDR_FR_RESET_ON_IDLE	0	0-1	0-1
00A7	11	R/W	RXCDR_HOLD_DURING_ IDLE	0	0-1	0-1
00A7	5:0	R/W	RXCDR_LOCK_CFG	5:0	0-63	0-63
00A8	15:0	R/W	RXCDR_CFG	15:0	0-65535	0-65535
00A9	15:0	R/W	RXCDR_CFG	31:16	0-65535	0-65535
00AA	15:0	R/W	RXCDR_CFG	47:32	0-65535	0-65535
00AB	15:0	R/W	RXCDR_CFG	63:48	0-65535	0-65535
00AC	15:0	R/W	RXCDR_CFG	79:64	0-65535	0-65535
00AD	2:0	R/W	RXCDR_CFG	82:80	0-7	0-7
015E	15:0	R	RX_PRBS_ERR_CNT	15:0	0-65535	0-65535

