RTL Technology Viewer/Schematic Viewer

チュートリアル

UG685 (v11.2) 2009年7月17日
Xilinx is disclosing this user guide, manual, release note, and/or specification (the "Documentation") to you solely for use in the development of designs to operate with Xilinx hardware devices. You may not reproduce, distribute, republish, download, display, post, or transmit the Documentation in any form or by any means including, but not limited to, electronic, mechanical, photocopying, recording, or otherwise, without the prior written consent of Xilinx. Xilinx expressly disclaims any liability arising out of your use of the Documentation. Xilinx reserves the right, at its sole discretion, to change the Documentation without notice at any time. Xilinx assumes no obligation to correct any errors contained in the Documentation, or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information.

THE DOCUMENTATION IS DISCLOSED TO YOU WITH NO WARRANTY OF ANY KIND. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE DOCUMENTATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS. IN NO EVENT WILL XILINX BE LIABLE FOR ANY CONSEQUENTIAL, INDIRECT, EXEMPLARY, SPECIAL, OR INCIDENTAL DAMAGES, INCLUDING ANY LOSS OF DATA OR LOST PROFITS, ARISING FROM YOUR USE OF THE DOCUMENTATION.

© 2009 Xilinx, Inc. XILINX, the Xilinx logo, Virtex, Spartan, ISE, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.
改訂履歴
次の表に、この文書の改訂履歴を示します。

<table>
<thead>
<tr>
<th>日付</th>
<th>バージョン</th>
<th>改訂内容</th>
</tr>
</thead>
<tbody>
<tr>
<td>2009年5月18日</td>
<td>1.0</td>
<td>初版リリース</td>
</tr>
<tr>
<td>2009年7月17日</td>
<td>1.1</td>
<td>ISE 11.2リリース用に改訂</td>
</tr>
</tbody>
</table>
目次

<table>
<thead>
<tr>
<th>章目</th>
<th>テキスト</th>
</tr>
</thead>
<tbody>
<tr>
<td>1</td>
<td>このチュートリアルについて</td>
</tr>
<tr>
<td>2</td>
<td>第1章：Schematic Viewer：概要</td>
</tr>
<tr>
<td>3</td>
<td>第2章：チュートリアルの説明</td>
</tr>
<tr>
<td>4</td>
<td>第3章：演習の準備</td>
</tr>
<tr>
<td>5</td>
<td>第4章：演習1：基本的な機能</td>
</tr>
<tr>
<td>6</td>
<td>第5章：演習2：階層ネットリストでの操作</td>
</tr>
</tbody>
</table>

改訂履歴。 iii

このチュートリアルについて
チュートリアルの内容。 iii
その他のリソース。 iii
表記規則。 iv
書体。 iv
オンライン マニュアル。 v

第1章：Schematic Viewer：概要
デザインフローでの利点。 1
主な機能。 1
RTL 表示。 2
合成後のネットリスト。 2
クリティカルパス表示。 2
Project Navigator とコマンド ラインでの違い。 3
ケース1：ISE Project Navigator を使用している場合。 3
ケース2：コマンド ラインを使用する場合。 3

第2章：チュートリアルの説明
必要な知識。 6

第3章：演習の準備
デザインのインストール。 7
Project Navigator プリファレンスの設定。 8

第4章：演習1：基本的な機能
目標。 9
演習。 9
手順1：演習プロジェクトの準備。 9
手順2：XST オプションの設定とデザインの合成。 9
手順3：Explorer Wizard の起動。 10
手順4：Schematic Viewer の GUI の概要。 12
手順5：ズーム機能。 13
手順6：回路図の展開。 14
例。 14
手順7：開始/終了信号マーカー。 16
手順8：履歴のナビゲーション。 17
手順9：回路図からのエレメントの削除。 19
まとめ。 20

第5章：演習2：階層ネットリストでの操作
目標。 21
演習。 21
手順1：演習プロジェクトの準備。 21
手順2：XST オプションの設定とデザインの合成。 21
手順3：Explorer Wizard の起動。 22
手順4：階層ブロックシンボルの理解。 22
手順5：階層ブロックの展開。 23
第 6 章：演習 3：Schematic Viewer を使用したタイミング解析

<table>
<thead>
<tr>
<th>目標</th>
<th>29</th>
</tr>
</thead>
<tbody>
<tr>
<td>演習</td>
<td>29</td>
</tr>
<tr>
<td>手順 1：演習プロジェクトの準備</td>
<td>29</td>
</tr>
<tr>
<td>手順 2：タイミング制約の指定</td>
<td>29</td>
</tr>
<tr>
<td>手順 3：XST オプションの設定とデザインのインプリメンテーション</td>
<td>29</td>
</tr>
<tr>
<td>手順 4：Schematic Viewer でのクリティカルパスの表示</td>
<td>30</td>
</tr>
<tr>
<td>手順 5：回路図にタイミング遅延を表示</td>
<td>31</td>
</tr>
<tr>
<td>まとめ</td>
<td>32</td>
</tr>
</tbody>
</table>

第 7 章：演習 4：デザインを解析しやすくする方法

<table>
<thead>
<tr>
<th>目標</th>
<th>33</th>
</tr>
</thead>
<tbody>
<tr>
<td>演習</td>
<td>33</td>
</tr>
<tr>
<td>手順 1：演習プロジェクトの準備</td>
<td>33</td>
</tr>
<tr>
<td>手順 2：XST オプションの設定とデザインの合成</td>
<td>33</td>
</tr>
<tr>
<td>手順 3：同じネットリストの複数の回路図の使用</td>
<td>34</td>
</tr>
<tr>
<td>手順 4：現在のビューからエレメントを選択して新しい回路図を表示</td>
<td>35</td>
</tr>
<tr>
<td>手順 5：エレメントのグループの色分け表示</td>
<td>36</td>
</tr>
<tr>
<td>まとめ</td>
<td>38</td>
</tr>
</tbody>
</table>

第 8 章：演習 5：2 つのデザイン インプリメンテーションの比較

<table>
<thead>
<tr>
<th>目標</th>
<th>39</th>
</tr>
</thead>
<tbody>
<tr>
<td>演習</td>
<td>39</td>
</tr>
<tr>
<td>手順 1：演習プロジェクトの準備</td>
<td>39</td>
</tr>
<tr>
<td>手順 2：XST オプションの設定とデザインの合成</td>
<td>39</td>
</tr>
<tr>
<td>手順 3：2 つのネットリストの読み込みと比較</td>
<td>40</td>
</tr>
<tr>
<td>まとめ</td>
<td>41</td>
</tr>
</tbody>
</table>

第 9 章：演習 6：大型デザインの操作

<table>
<thead>
<tr>
<th>目標</th>
<th>43</th>
</tr>
</thead>
<tbody>
<tr>
<td>ヒント 1：階層ネットリストの使用</td>
<td>43</td>
</tr>
<tr>
<td>階層の保持</td>
<td>43</td>
</tr>
<tr>
<td>階層の再構築</td>
<td>43</td>
</tr>
<tr>
<td>ヒント 2：複数の回路図シートの使用</td>
<td>44</td>
</tr>
<tr>
<td>まとめ</td>
<td>44</td>
</tr>
</tbody>
</table>

第 10 章：演習 7：Schematic Viewer をスタンドアロンツールとして使用

<table>
<thead>
<tr>
<th>目標</th>
<th>45</th>
</tr>
</thead>
<tbody>
<tr>
<td>演習</td>
<td>45</td>
</tr>
<tr>
<td>手順 1：演習プロジェクトの準備</td>
<td>45</td>
</tr>
<tr>
<td>手順 2：XST オプションの設定とデザインの合成</td>
<td>45</td>
</tr>
<tr>
<td>手順 3：Schematic Viewer で合成後のネットリストを開く</td>
<td>46</td>
</tr>
<tr>
<td>まとめ</td>
<td>46</td>
</tr>
</tbody>
</table>
このチュートリアルについて

このチュートリアルでは、ISE® Design Suite の回路図表示機能の概要を説明し、デザインの解析およびデバッグに使用する方法を示します。

このチュートリアルに含まれる一連の演習では詳細な手順が示されており、Schematic Viewer のさまざまな機能を順に追って学ぶことができます。

チュートリアルの内容

このチュートリアルは、次の章から構成されています。

- 第 1 章「Schematic Viewer: 概要」: Schematic Viewer の概要を説明し、Schematic Viewer を使用してデザインの解析およびデバッグを向上する方法を示します。また、最新バージョンの主な機能についても説明します。
- 第 2 章「チュートリアルの説明」: 各演習で学ぶ機能について概要を説明します。各演習を完了するのに必要な時間も示します。
- 第 3 章「演習の準備」: 各演習で使用するデザインの入手先とインストール方法を示します。各演習を開始する前に設定する必要のあるプリファレンスも示します。
- 第 4 〜 10 章は演習です。
  - 第 4 章「演習 1: 基本的な機能」
  - 第 5 章「演習 2: 階層ネットリストでの操作」
  - 第 6 章「演習 3: Schematic Viewer を使用したタイミング解析」
  - 第 7 章「演習 4: デザインを解析しやすくする方法」
  - 第 8 章「演習 5: 2 つのデザイン インプリメンテーションの比較」
  - 第 9 章「演習 6: 大型デザインの操作」
  - 第 10 章「演習 7: Schematic Viewer をスタンドアロン ツールとして使用」

その他のリソース

追加の資料は、次の Web サイトから参照できます。


シリコンやソフトウェア、IP に関するアンサーデータベースを検索したり、テクニカルサポートのウェブケースを開く場合は、次の Web サイトにアクセスしてください。

http://japan.xilinx.com/support
表記規則

このマニュアルでは、次の表記規則を使用しています。各規則について、例を挙げて説明します。

書体

次の規則は、すべてのマニュアルで使用されています。

<table>
<thead>
<tr>
<th>表記規則</th>
<th>使用箇所</th>
<th>例</th>
</tr>
</thead>
<tbody>
<tr>
<td>Courierフォント</td>
<td>システムが表示するメッセージ、</td>
<td>speed grade: - 100</td>
</tr>
<tr>
<td></td>
<td>プロンプト、プログラムファイルを</td>
<td></td>
</tr>
<tr>
<td></td>
<td>表示します。</td>
<td></td>
</tr>
<tr>
<td>Courierフォント</td>
<td>構文内で入力するコマンドを示す。</td>
<td>ngdbuild design_name</td>
</tr>
<tr>
<td>(太字)</td>
<td></td>
<td></td>
</tr>
<tr>
<td>イタリックフォント</td>
<td>ユーザーが値を入力する必要のある構文内の変数に使用します。</td>
<td>ngdbuild design_name</td>
</tr>
<tr>
<td>二重/一重かぎっこ</td>
<td>『』、「」</td>
<td></td>
</tr>
<tr>
<td>『』、「」</td>
<td>はマニュアル名を、「」はセクション名を示します。</td>
<td>詳細は、『開発システムリファレンスガイド』の「PAR」を参照してください。</td>
</tr>
<tr>
<td>角かっこ[]</td>
<td>オプションの入力またはパラメータを示すが、bus[7:0]のようなバス仕様では必ず使用します。また、GUI表記にも使用します。</td>
<td>ngdbuild [option_name]</td>
</tr>
<tr>
<td></td>
<td>design_name</td>
<td></td>
</tr>
<tr>
<td></td>
<td>[File] → [Open]をクリックします。</td>
<td></td>
</tr>
<tr>
<td>中かっこ{}</td>
<td>Iつ以上の項目を選択するためのリストを示します。</td>
<td>lowpwr ={on</td>
</tr>
<tr>
<td>縦棒</td>
<td></td>
<td>選択するリストの項目を分離します。</td>
</tr>
<tr>
<td>縦の省略記号 .</td>
<td>繰り返し項目が省略されていることを示します。</td>
<td>IOB #1: Name = QOUT'</td>
</tr>
<tr>
<td></td>
<td>IOB #2: Name = CLKIN'</td>
<td></td>
</tr>
<tr>
<td></td>
<td>.</td>
<td></td>
</tr>
<tr>
<td>横の省略記号...</td>
<td>繰り返し項目が省略されていることを示します。</td>
<td>allow block block_name</td>
</tr>
<tr>
<td></td>
<td>loc1 loc2 ... locn;</td>
<td></td>
</tr>
</tbody>
</table>
オンライン マニュアル

このマニュアルでは、次の規則が使用されています。

<table>
<thead>
<tr>
<th>表記規則</th>
<th>使用箇所</th>
<th>例</th>
</tr>
</thead>
<tbody>
<tr>
<td>青色の文字</td>
<td>マニュアル内の相互参照を示します。</td>
<td>詳細は、「その他のリソース」を参照してください。</td>
</tr>
<tr>
<td></td>
<td></td>
<td>詳細は、第 1 章「タイトルフォーマット」を参照してください。</td>
</tr>
<tr>
<td>赤色の文字</td>
<td>ほかのマニュアルへの相互参照を示します。</td>
<td>詳細は、『Virtex-II Platform FPGA ユーザー ガイド』の図 2-5 を参照してください。</td>
</tr>
<tr>
<td>青色の下線付き文字</td>
<td>Web サイト (URL) へのハイパーリンクです。</td>
<td>最新のスピード ファイルは、<a href="http://japan.xilinx.com">http://japan.xilinx.com</a> から入手できます。</td>
</tr>
</tbody>
</table>
このチュートリアルについて
第 1 章

Schematic Viewer：概要

デザイン フローでの利点

FPGA デザインは急速に大型化し、複雑性が増しているため、デザインの解析およびデバッグを簡単に実行できるツールを使用することが重要となります。

Schematic Viewer を使用すると、次のような事項を確認できます。

- 合成ツールで HDL コードがどのように解釈されたか。
- HDL コードがターゲット テクノロジにどのようにマップされたか。
- クリティカル タイミング パスはどこに位置しているか。

また、デザインは全世界の異なる地域に所属する複数の設計者により共同で作成され、各設計者はデザインの一部のみを担当することがほとんどであるため、デザインの解析はさらに複雑となり、高性能のデバッグツールが必須となっています。

Schematic Viewer、PlanAhead™、および FPGA Editor などのグラフィカルツールは、デザイン解析を大幅に簡略化します。

このチュートリアルでは、デザインを異なる視点から表示および解析するのに有益な ISE® Schematic Viewer の最新バージョンを紹介します。

主な機能

以前のリリースの Schematic Viewer では、RTL ネットリストまたは合成後のネットリスト全体（通常複数ページにわたる）を表示可能でした。新しい ISE 11 Schematic Viewer のインタフェイスはより柔軟性が高く、デザインの一部のみを表示することが可能です。デザインの一部のみを表示し、徐々に表示を展開していくことが可能であるため、デザインを高速にナビゲートできます。

ISE 11 Schematic Viewer には、次のような解析機能があります。

- 必要なエレメントのみを選択して回路図を表示
- 入力/出力ロジック コーンの抽出
- 注目していないオブジェクトを削除
- 以前の解析ステップにナビゲーション
- 同じネットリストの複数の回路図を操作
第 1 章：Schematic Viewer：概要

Schematic Viewer (図 1-1) のパフォーマンスは大幅に向上了おり、より複雑なデザインも処理できます。

Schematic Viewer には、次のものを表示する機能があります。

- デザインの RTL 表示
- 合成後のネットリスト
- Timing Analyzer からの配置配線後のタイミングレポートに示されるクリティカルタイムミングパス遅延

**RTL 表示**

RTL 表示は、デザインのレジスタトランスファーレベルのグラフィカル表示です。この表示（XST（Xilinx Synthesis Technology）で生成される NGR ファイル）は、合成ツールにより合成プロセスの初期段階（テクノロジマップが完了していない段階）に生成されます。オリジナルの HDL コードにできるだけ近いものを表示することが目的です。RTL 表示では、デザインが加算器、乗算器、レジスタなどのマクロブロックで表されます。標準的な組み合わせロジックは、AND、NAND、OR などのロジックゲートにマップされます。

**合成後のネットリスト**

合成後のネットリスト（最適化およびマップ済み）のグラフィカル表示（XST で生成される NGC ファイル）には、LUT、DCM、I/O バッファ、フリップフロップなどの UNISIM ライブラリで定義されたザイリンクスプリミティブが含まれます。プリミティブのプロパティや設定されている制約も表示できます。

**クリティカルパス表示**

Timing Analyzer レポートからクロスプローブすると、配置配線後のネットリストからデザインのクリティカルタイミングパスを表示できます。このネットリストは、合成後のネットリストとは異なり、デザインをスライスで表示します。
**Project Navigator とコマンド ラインでの違い**

コマンド ラインまたは Project Navigator のどちらを使用しているかによって、Schematic Viewer で使用できる機能は異なります。次の表に、コマンド ラインと Project Navigator での Schematic Viewer の機能の違いを示します。

**ケース 1：ISE Project Navigator を使用している場合**

表 1-1: Schematic Viewer の機能 (Project Navigator)

<table>
<thead>
<tr>
<th>合成ツール</th>
<th>RTL 表示</th>
<th>合成後のネットリスト</th>
<th>クリティカルパス表示</th>
<th>メモ</th>
</tr>
</thead>
<tbody>
<tr>
<td>XST</td>
<td>○</td>
<td>○</td>
<td>○</td>
<td>ISE 環境を使用してデザインを完全にインプリメント、合成には XST を使用</td>
</tr>
<tr>
<td>サードパーティ</td>
<td>-</td>
<td>-</td>
<td>○</td>
<td>ISE 環境を使用してデザインを完全にインプリメント、サードパーティ合成ツールを使用</td>
</tr>
</tbody>
</table>

**ケース 2：コマンド ラインを使用する場合**

Schematic Viewer をスタンドアロン モードで起動することはできませんが、これをエミュレートする方法があり、Schematic Viewer を使用して XST RTL 表示または XST 合成後ネットリストを表示できます。このモードでは、マップ後、配置後、配線後のネットリストは表示できません。

詳細は、第 10 章「演習 7: Schematic Viewer をスタンドアロンツールとして使用」を参照してください。
第2章

チュートリアルの説明

このチュートリアルでは、ザイリンクスISE®ソフトウェアにサンプルデザインとして含まれているstopwatchという小型のデザインを使用します。小型のデザインが選択されているのは、演習を短時間で完了できるようにするためです。

主な機能をすべて含むチュートリアル全体を、1時間以内で完了できます。

次に、チュートリアルを実行する上での推奨事項を示します。

- 演習は順番に実行してください（演習1、演習2など）。ただし、各演習は独立しており、特定の機能をすぐに学ぶ必要がある場合は、どの順序で実行しても問題ありません。
- 各演習ごとに個別のデザインディレクトリを作成し、元のデザインファイルをそのディレクトリにコピーしてください。詳細は、第3章「演習の準備」を参照してください。

Schematic Viewerのほとんどの機能はRTL、合成後のネットリスト、クリティカルパス表示のどれでも使用できるので、ほとんどの演習では合成後のネットリスト表示を使用して機能を説明します。

次の表に、すべての演習の概要を示します。

<table>
<thead>
<tr>
<th>タイトル</th>
<th>時間</th>
<th>説明する機能</th>
</tr>
</thead>
</table>
| 「演習1：基本的な機能」                        | 9分  | • Schematic Viewerのスタートアップモードの選択  
• Explorer Wizardの使用  
• GUI（グラフィカルユーザーインターフェイス）の概要  
• ズーム操作  
• 回路図の展開  
• 新規エレメントの色表示  
• 腕歴のナビゲーション  
• 開始/終了信号マーカーの使用 |
| 「演習2：階層ネットリストでの操作」            | 9分  | • Explorer Wizardでの階層ブロックの選択  
• 階層ブロックの展開  
• 最上位ブロックからの回路図の展開 |
| 「演習3：Schematic Viewerを使用したタイミング解析」 | 6分  | • Schematic Viewerでのクリティカルパスの表示  
• クリティカルパスのパス遅延の表示 |
第2章：チュートリアルの説明

| 「演習4：デザインを解析しやすくする方法」 | 7分 | • 開始/終了信号マーカーの使用
• 回路図エレメントの削除
• 同じネットリストの複数の回路図の使用
• エレメントを選択して新しい回路図を開く
• さまざまなエレメントの色表示 |

| 「演習5：2つのデザインインプリメンテーションの比較」 | 5分 | • 同じデザインの2つのネットリストの読み込みおよび比較 |

| 「演習6：大型デザインの操作」 | 3分 | • 大型デザインの操作方法の概要 |

| 「演習7：Schematic Viewerをスタンダロンツールとして使用」 | 3分 | • コマンドラインからのSchematic Viewerの使用 |

必要な知識

演習を実行するには、ISE Project Navigator環境に関する基本的な知識が必要です。演習を開始する前に、次の操作を実行できることが必要です。

• 既存のプロジェクトを開く、閉じる
• 新規UCF（インプリメンテーション制約ファイル）の追加、Constraints Editorを使用した基本的なタイミング制約の指定
• 基本的なインプリメンテーションフローの実行
• Timing Analyzerの起動と使用
第3章

演習の準備

この章では、次の事項を詳細に説明します。

- 各演習の「デザインのインストール」
- ISE 11 ソフトウェアでの「Project Navigator プリファレンスの設定」

デザインのインストール

すべての演習で、小型の stopwatch デザインを使用し、Spartan™-3E xc3s100e-4-vq100 デバイスをターゲットとします。このデザインはザイリンクス ISE® ソフトウェアのインストール ディレクトリの ISEexamples ディレクトリにあります。

各演習ごとに個別のデザイン ディレクトリを作成し、元のデザイン ファイルをそのディレクトリにコピーすることをお勧めします。

手順:

1. c: \ ドライブに viewer_labs ディレクトリを作成し、Schematic Viewer のすべての演習をそのディレクトリに配置します(c:\viewer_labs)。
2. viewer_labs ディレクトリに labn (n は演習番号) というサブディレクトリを作成します (例: c:\viewer_labs\lab1)。
3. ISE ソフトウェアのインストール ディレクトリにある ISEexamples ディレクトリから watchvhd.zip ファイルを c:\viewer_labs\labn ディレクトリにコピーします。
4. watchvhd.zip ファイルを解凍します。 ディレクトリ構造は 図 3-1 に示すようになります。

メモ: 演習は 7 つあるので、すべての演習のディレクトリを最初に準備しておくと時間を節約できます。

5. ISE Project Navigator を起動し、[File] → [Open Project] をクリックして c:\viewer_labs\labn\watchvhd ディレクトリから watchvhd.xise プロジェクトを選択します。

メモ: ISE 11.1 ソフトウェア リリースから、ISE プロジェクトは拡張子が .xise の XML ファイルとなっています。

図 3-1: ディレクトリ構造

X-Ref Target - Figure 3-1

図 3-1: ディレクトリ構造

メモ: 演習は 7 つあるので、すべての演習のディレクトリを最初に準備しておくと時間を節約できます。

5. ISE Project Navigator を起動し、[File] → [Open Project] をクリックして c:\viewer_labs\labn\watchvhd ディレクトリから watchvhd.xise プロジェクトを選択します。

メモ: ISE 11.1 ソフトウェア リリースから、ISE プロジェクトは拡張子が .xise の XML ファイルとなっています。
第 3 章：演習の準備

Project Navigator プリファレンスの設定

このチュートリアルに含まれている演習のスクリーンショットが Project Navigator で実際に表示している回路図と一致するようにするため、Schematic Viewer のプリファレンスで [Light Background Color Scheme] をオンにします。

手順：
1. [Edit] → [Preferences] をクリックして [Preferences] ダイアログボックスを開きます。
2. 左側の [Category] で [RTL/Technology Viewers] → [Color Scheme] を選択します。

図 3-2：カラー スキームの選択


これで、演習を開始する準備が完了しました。
第4章

演習1：基本的な機能

目標

この演習では、この後の演習で頻繁に使用する Schematic Viewer の基本的な操作を学びます。次の内容が含まれます。

- Schematic Viewer のスタートアップモードの選択
- Explorer Wizard の使用
- Schematic Viewer の GUI の理解
- ズーム操作
- 回路図の展開
- 回路図からのエレメントの削除
- 新規エレメントの色分け表示
- 履歴のナビゲーション
- 開始/終了信号マークの使用

理解にわかりやすく説明するため、フラット化された合成後のネットリストを使用して上記のすべての機能を説明します。階層ネットリストのナビゲーションは、次の演習で説明します。

演習

手順1：演習プロジェクトの準備

第3章「演習の準備」の指示に従って stopwatch プロジェクトを開き、Schematic Viewer のプリフラレンスで [Light Background Color Scheme] をオンにします。

手順2：XST オプションの設定とデザインの合成

2. [Keep Hierarchy] プロパティを [No] に設定します (図4-1)。
手順 3：Explorer Wizard の起動

デザインの回路図を表示するには、デザインの展開の開始点として使用するエレメントを選択する必要があります。

2つのスタートアップモードがあります。

- **Explorer Wizard を使用 ([Start with the Explorer Wizard])**: このモードでは、初期スクリーンは Explorer Wizard であり、初期回路図に表示するエレメントを選択できます。この演習では、このモードを使用します。

- **最上位ブロックの回路図から開始 ([Start with a schematic of the top-level block])**: このモードでは、Explorer Wizard はバイパスされ、初期回路図に最上位ブロックのみが表示されます。その後、ロジックの展開機能を使用し、最上位ブロックを展開していきます。このモードを使用する前に、Schematic Viewer の基本的な操作に慣れ、階層ブロックの操作方法を学ぶ必要があります。このスタートアップモードの詳細は、第 5 章「演習 2：階層ネットリストでの操作」を参照してください。

1. 合成が終了したら、[View Technology Schematic]をダブルクリックして Schematic Viewer を起動します。または、メニューから [Tools] → [Schematic Viewer] → [Technology] をクリックしても同じ操作を実行できます。

2. [Start with the Explorer Wizard] をオンにします（図 4-2）。

図 4-2：Schematic Viewer のスタートアップモードの選択

Explorer Wizard を使用すると、回路図展開の開始点として使用するエレメントを選択できます（図 4-3）。

<table>
<thead>
<tr>
<th>Category</th>
<th>Property Name</th>
<th>Value</th>
</tr>
</thead>
<tbody>
<tr>
<td>Synthesis Options</td>
<td>Library Search Order</td>
<td>No</td>
</tr>
<tr>
<td>HDL Options</td>
<td>Keep Hierarchy</td>
<td>No</td>
</tr>
<tr>
<td>Xilinx Specific Options</td>
<td>Initial Hierarchy</td>
<td>As-Synthesized</td>
</tr>
<tr>
<td></td>
<td></td>
<td>All-Try-Harder</td>
</tr>
</tbody>
</table>
Create Technology Schematic

1) Select items you want on the schematic from the "Available Elements" list and move them to the "Selected Elements" list.
- Use the filter control to filter the "Available Elements" list by name.
2) Press the "Create Schematic" button to generate a schematic view using the items in the "Selected Elements" list.

[Available Elements] には、デザインに含まれるすべてのオブジェクトが表示されます。プリミティブ ([Primitives])、信号 ([Signals])、最上位ポート ([Top Level Ports])、および階層ブロックに分類されています。

メモ：階層ブロックは、階層ネットリストに対してのみ表示されます。階層デザインでの操作の詳細は、第 5 章「演習 2：階層ネットリストでの操作」を参照してください。


4. [Available Elements] リスト

多数のエレメントがある場合は、[Filter] を使用して検索できます。たとえば、図 4-5 に示すように、[Filter] に「MACHINE/sreg_FSM_FFd1*」と入力して検索します。

4. [Create Schematic] をクリックし、回路図を作成します。
手順 4：Schematic Viewer の GUI の概要

Schematic Viewer の GUI は、図 4-6 に示すように、次のコンポーネントで構成されています。

図 4-6：Schematic Viewer

- 回路図ウィンドウ (1) : 回路図が表示されるウィンドウで、ここでエレメントを追加または削除するなどしてデザインを表示します。
- 2 つのツールバー：(2) には Schematic Viewer 特定の機能が含まれ、(4) には複数のグラフィカルツール間で共有されるズーム (図 4-7) などの機能が含まれます。

図 4-7：ズームツールバー

- 2 つのツールバーに含まれる機能は、メニューから実行することも可能です。たとえば、ズーム機能はすべて [View] → [Zoom] の下に含まれています。
- (3) には、回路図に表示されているオブジェクト (インスタンス、ピン、および信号) とオブジェクトのプロパティが表示されます。たとえば、回路図で BRAM プリミティブを選択すると、初期値を含む BRAM のすべてのプロパティが表示されます。このパネルを表示するには、[View by Category] をクリックする必要があります。

演習では、主に回路図ウィンドウ (1) とツールバー (2) および (4) を使用します。
手順 5：ズーム機能

ズーム機能は、デザイン解析の際に頻繁に使用する基本的な機能です。Schematic Viewerには、共通ツールバー（図 4-7）または [View] → [Zoom] から実行可能な 5 つのズーム機能があります。また、マウス操作により、ズーム機能をすばやく実行することも可能です。

操作に慣れるまで異なるズーム機能を試してみることをお勧めします。チュートリアルの残りの部分で役立ちます。

表 4-1 にズーム機能とその実行方法を示します。

<table>
<thead>
<tr>
<th>ズーム操作</th>
<th>ツールバー</th>
<th>メニュー</th>
<th>マウス操作</th>
</tr>
</thead>
<tbody>
<tr>
<td>拡大</td>
<td></td>
<td>[View] → [Zoom] → [In]</td>
<td></td>
</tr>
<tr>
<td>縮小</td>
<td></td>
<td>[View] → [Zoom] → [Out]</td>
<td></td>
</tr>
<tr>
<td>全体を表示</td>
<td></td>
<td>[View] → [Zoom] → [To Full View]</td>
<td></td>
</tr>
<tr>
<td>マウスで指定した範囲の拡大表示</td>
<td></td>
<td>[View] → [Zoom] → [To Box]</td>
<td></td>
</tr>
<tr>
<td>選択したオブジェクトの拡大表示</td>
<td></td>
<td>[View] → [Zoom] → [To Selected]</td>
<td>なし</td>
</tr>
</tbody>
</table>

![拡大 ズーム](image1)

![縮小 ズーム](image2)

![全体を表示 ズーム](image3)

![マウスで指定した範囲の拡大表示 ズーム](image4)

![選択したオブジェクトの拡大表示 ズーム](image5)
手順 6：回路図の展開

初期回路図ビューが開始点ですが、通常は表示を展開してほかのオブジェクトを表示していきます。これには、複数の方法があります。

まず、新規エレメント（非表示）を追加するエレメントを選択します。展開可能なエレメントは、ネット、ブロック、ブロックのピン、およびポートです。

選択したオブジェクトから表示を展開するには、マウスを右クリックし、追加するエレメント（ドライバ、ロード、ドライバとロード）を選択するか、入力ロジックコーン、出力ロジックコーンなどを抽出します。

現在の回路図で異なるオブジェクトを選択して右クリックし、ポップアップメニューを確認します。表示されるコマンドは、オブジェクトのタイプおよびデザインでの位置によって異なります。

例

1. lut3 プリミティブのI2ピンを選択して右クリックし、[Show Next Drive (Output) Pin] をクリックしてそのドライバを表示します。回路図は図 4-9 のようになります。

2. 新規オブジェクトの色分け表示：新しく追加されたlut4は、異なる色で表示されています。オブジェクトを新しく追加すると、回路図上での配置がわかりやすいように、自動的に色分け表示されます。この機能は、Schematic Viewerツールバーのボタン（図 4-10）をクリックすることによりオン/オフ切り替えができます。また、[Preferences]ダイアログボックスで新規オブジェクトの色を変更できます。

図 4-8：右クリックで表示されるポップアップメニュー

図 4-9：回路図の例
3. ネット、ブロックピン、またはポートを順に展開していく場合は、オブジェクトをダブルクリックします。ポップアップメニューを使用する必要がないので便利です。
lut3プリミティブのI0ピンをダブルクリックすると、回路図表示は図4-11に示すようになります。

図4-11：回路図を順に展開

破線：fdcフリップフロップが回路図に追加されますが、I0ピンに破線で接続されています。破線は、このネットに接続されているオブジェクトがほかにもあることを示しています（回路図には表示されていない）。
4. 破線のネットが実線になるまでダブルクリックし続けると、ネットに接続されているすべてのエレメントが表示されます（図4-12）。

図4-12：ネットの接続

手順7：開始/終了信号マーカー

開始/終了信号マーカーにより、選択した信号のソースとデスティネーションを簡単に特定できます。

1. この機能を使用するには、Schematic Viewerツールバーのボタンをクリックしてオンにする必要があります。このボタンが緑色の場合はこの機能はオンで、赤色である場合はオフです。図4-13に示すボタンをクリックして、この機能をオンにします。

図4-13：[Start/End Marker]ボタン（オンの場合）

図4-14：[Start/End Marker]ボタン（オフの場合）

2. 回路図上で任意の信号を選択し、そのソースとデスティネーションを表示します（図4-15）。
手順 8：履歴のナビゲーション

[Previous Schematic]をクリックすると（または Ctrl+Z を押す）前の回路図表示に戻ることができ、
[Next Schematic]をクリックすると（または Ctrl+Y を押す）次の回路図表示に進むことができます。
たとえば、[Previous Schematic]をクリックして前の回路図表示に戻って、デザインを別の方向に展開できます。図 4-16 に [Previous Schematic] ボタン、図 4-17 に [Next Schematic] ボタンを示します。
第 4 章：演習 1 機能の基本

1. 回路図が図 4-18 に示す表示になるまで [Previous Schematic] ボタンをクリックします。

![図 4-18: 前の回路図表示](image)

2. lut2 プリミティブを選択して右クリックし、[Show All Block Inputs/Outputs] をクリックします（図 4-19）

![図 4-19: ブロックのすべての入力/出力を表示](image)
手順9: 回路図からのエレメントの削除

回路図展開している際、追加したエレメントがデザイン解析には不要である場合があります。これらのエレメントは回路図から削除できます。Deleteキーを押す、ツールバーの[Remove Selected Object]ボタン（図4-20）をクリックする、またはメニューから[Edit]→[Delete]をクリックします。

図4-20: [Remove Selected Object] ボタン

信号エレメントを選択する場合は、1回クリックします。複数のエレメントを選択する場合は、最初のエレメントを選択し、Ctrlキーを押しながらその他のエレメントをクリックします。または、Ctrlキーを押しながら選択するオブジェクト上でマウスをドラッグしても選択できます。

1. lut4およびlut3プリミティブを選択します。
2. Deleteキーを押して選択したプリミティブを削除します。

図4-21: エレメントの削除
まとめ

この演習では、Schematic Viewer の基本的な操作を学びました。

- Schematic Viewer のスタートアップ モードの選択
- Explorer Wizard を使用して回路図に最初に表示するエレメントを選択
- マウスを使用したズーム操作
- 回路図の展開方法
- 新規エレメントの色分け表示
- 履歴のナビゲーション
- 開始/終了信号マーカーの使用
- 回路図からのエレメントの削除
第5章

演習2：階層ネットリストでの操作

目標
この演習では、階層ネットリストでの作業に慣れ、デザイン解析で階層ブロックを操作する方法を学びます。次の内容が含まれます。
- 外部/内部階層ブロックの展開
- 階層ブロックの内容の表示/非表示

また、階層ブロックで作業する際の特別な考慮事項についても学びます。

最後に、第4章「演習1：基本的な機能」で説明した最上位ブロックから回路図の展開を開始する方法を学びます。

演習

手順1：演習プロジェクトの準備

第3章「演習の準備」の指示に従って stopwatch プロジェクトを開き、Schematic Viewer のプリファレンスで [Light Background Color Scheme] をオンにします。

手順2：XST オプションの設定とデザインの合成

2. [Keep Hierarchy] プロパティを [Yes] に設定します（図5-1）。

   図5-1：[Keep Hierarchy] プロパティの設定

手順3: Explorer Wizardの起動

1. 合成が完了したら [View Technology Schematic] をダブルクリックし、[Start with the Explorer Wizard] をオンにします。

2. Explorer Wizardに、最上位ブロックを含むすべての階層ブロックが表示されます。階層ブロックの横には、階層シンボルが表示されています（図5-2）。階層ブロックの左側に付いているプラス記号 (+) をクリックすると、そのブロックの内容が表示されます。

手順4: 階層ブロックシンボルの理解

図5-2: 階層シンボル


図5-3: 階層エレメントの選択

手順4: 階層ブロックシンボルの理解

図5-4: 回路図表示

階層ブロックは、プリミティブとは次の2点が異なります。

- 階層ブロックには、4つの角に三角形が示されます（図5-4および図5-5を参照）。
- 階層ブロックには、外部ピンに加え内部ピンがあります。内部ピンを使用すると、階層ブロックの内容を同じページに表示できます。
図 5-5: 三角形シンボル
右クリックで表示されるポップアップメニューは、内部ピン、外部ピン、および階層ブロック自身に対して使用できます。内部ピンおよび外部ピンに対しては、ダブルクリックして順に展開していく方法も使用できます。

手順 5：階層ブロックの展開

1. MACHINEブロックの内部および外部strstopピンをダブルクリックし、図5-6に示す回路図表示にします。

図 5-6: Machineブロック

2. MACHINEのclken外部ピンを選択し、右クリックして[Show Next Load (Input) Pin]をクリックします。
図5-7に示すように、XCOUNTERブロックが表示されます。

図 5-7: ブロックの展開
手順 6: ブロックの内容の表示/非表示

階層ブロックの内容すべてを表示するには、ツールバーの [Show Block Contents] ボタン（図 5-8）をクリックするか、右クリックで表示されるポップアップ メニューを使用します。ブロックの内容を非表示にするには、[Hide Block Contents] ボタン（図 5-9）をクリックします。

図 5-8 : [Show Block Contents] ボタン

図 5-9 : [Hide Block Contents] ボタン

1. MACHINE ブロックを選択して右クリックし、[Show Block Contents] をクリックして階層ブロックの内容を表示します（図 5-10）。

図 5-10 : ブロックの内容の表示

2. MACHINE ブロックを選択して右クリックし、[Hide Block Contents] をクリックして階層ブロックの内容を非表示にします（図 5-11）。

図 5-11 : ブロックの内容の非表示
手順 7：ボトムアップデザイン展開

これまでの手順では、トップダウンの回路図展開を実行してきました。この手順では、Schematic Viewerをボトムアップモードで使用する方法を示します。

1. 図 5-12 に示す 2つのタブをクリックし、[Close] ボタン（図 5-13）をクリックして閉じます。

図 5-12：閉じるタブ

図 5-13：[Close] ボタン

2. [View Technology Schematic] をダブルクリックし、[Start with the Explorer Wizard] をオンにします。


図 5-14：Schematic Viewer を再起動

4. sreg_FSM_FFd3-In_F を選択して右クリックし、[Show All Block Inputs] をクリックします。

5. 表示された回路図（図 5-15）を「手順 6：ブロックの内容の表示/非表示」で表示された回路図（図 5-16）と比較すると、sreg_FSM_FFd3-In_F プリミティブが MACHINE 回路図ブロックの中に表示されていません。また、MACHINE の I/O はプライマリデザインピンとして表示されています。
6. さらにデザインを展開していくと、回路図の展開は MACHINE 階層ブロックの境界で停止します（図 5-17）。

図 5-17 : 回路図の展開は階層の境界で停止

ボトムアップ手法で階層の境界を越えて展開する場合は、[Pop] ボタン（図 5-18）を使用します。

図 5-18 : [Pop] ボタン

7. [Pop] ボタンをクリックします（図 5-19）。

図 5-19 : 上位階層の表示

これで、MACHINE ブロックの内部および外部を展開していくことができます。上位階層レベルに移動する必要がある場合に、[Pop] をクリックします。

手順 8 : 最上位ブロックからの回路図の展開

第 4 章「演習 1 : 基本的な機能」で、回路図展開の 2 つのモードを紹介しました。
- Explorer Wizard を使用
- 最上位ブロックの回路図から開始

これまでに、最初のモードを使用してきました。ここでは、2 つ目のモードの使用方法を学びます。
1. [Close] ボタンをクリックして現在開いているすべて的回路図を閉じます。
2. [View Technology Schematic] をダブルクリックして Schematic Viewer を再起動します。
3. [Start with a schematic of the top-level block] をオンにし、[OK] をクリックします（図 5-20）。
図5-20：スタートアップモードの選択

図5-21に示すような回路図が表示されます。

4. これまでに説明した方法を使用して、回路図を展開していきます。

メモ：このモードでは、デザインのプライマリポートは表示されません。今後のリリースで表示されるようにする予定です。

まとめ

この演習では、階層ブロックを含むデザインでSchematic Viewerを使用する方法を学びました。特に、Explorer Wizardで階層ブロックがどのように表示されるかと、階層ブロックをデザイン解析用に展開する方法を学びました。

また、第4章「演習1：基本的機能」で説明した最上位ブロックから回路図の展開を開始する方法を学びました。
第6章

演習3：Schematic Viewerを使用したタイミング解析

目標

配置配線後のタイミングレポートに示されるクリティカルタイミングパスは、タイミングレポートからSchematic Viewerにクロスプローブすることにより簡単にグラフィック表示できます。表示されたクリティカルパスは、デザイン展開の開始点として使用できます。また、クリティカルパスのタイミング遅延も追加できます。

この演習では、タイミングレポートからSchematic Viewerへのクロスプローブ方法、タイミングパス遅延の表示方法を学びます。

演習

手順1：演習プロジェクトの準備

第3章「演習の準備」の指示に従ってstopwatchプロジェクトを開き、Schematic Viewerのプリファレンスで[Light Background Color Scheme]をオンにします。

手順2：タイミング制約の指定

クロスプローブを使用するため、プロジェクトにstopwatch.ucfというUCFファイルを追加し、Constraints Editorを使用してCLK信号に3.5nsのPERIOD制約を設定します（図6-1）。

手順3：XSTオプションの設定とデザインのインプリメンテーション

2. [Keep Hierarchy]プロパティを[Yes]に設定します（図6-2）。
第6章：演習3：Schematic Viewerを使用したタイミング解析

第6章：演習3：Schematic Viewerを使用したタイミング解析

図6-2：[Keep Hierarchy]プロパティの設定
3. [Processes]ペインで[Implement Design]→[Place & Route]をダブルクリックし、デザインをインプリメントします。
4. [Analyze Post-Place & Route Static Timing]をダブルクリックしてTiming Analyzerを開きます（図6-3）。

図6-3：[Analyze Post-Place & Route Static Timing]プロセス

手順4：Schematic Viewerでのクリティカルパスの表示
[Report Navigation]ペインでクリティカルパスを選択し、詳細なデータパス情報を表示します。具体的なパス情報から右クリックメニューを使用して、FPGA Editorやデータシートビューなど異なるビューにクロスプローブできます。

図6-4：レポートナビゲーション
この演習では、Schematic Viewerに関するリンクに注目します（図6-4）。

- [Maximum Data Path]リンクを使用すると、データパス全体を表示できます（1）。
- ネットの[Physical Resource]列のリンクを使用すると、選択したネットに接続されているデータパスを表示できます（2）。

1. [Maximum Data Path...]リンクを右クリックし、[Show in Technology Viewer]をクリックします。Schematic Viewerに選択したデータパスが表示されます（図6-5）。
観察事項:

♦ クリティカルパスの開始点は、開始アイコンで示されます（図6-6）。

♦ スライスは階層ブロックとして表されます。これにより、スライス内部を内部ピンおよび外部接続を使用して展開できます。

♦ これまでの演習で説明した機能をすべて使用できます。

手順5：回路図にタイミング遅延を表示

詳細パスレポート（図6-7）の遅延を回路図に直接表示できます。

<table>
<thead>
<tr>
<th>Location</th>
<th>Delay type</th>
<th>Delay(ns)</th>
<th>Physical Resource</th>
</tr>
</thead>
<tbody>
<tr>
<td>SLICE_X472.300</td>
<td>Ticks</td>
<td>0.651</td>
<td>MACH16/sreg_FSM_FF43</td>
</tr>
<tr>
<td>SLICE_X472.120</td>
<td>not (zacet=7)</td>
<td>0.686</td>
<td>MACH16/sreg_FSM_FF43</td>
</tr>
<tr>
<td>SLICE_X472.0</td>
<td>Ticks</td>
<td>0.759</td>
<td>MACH16/sreg_FSM_FF43</td>
</tr>
<tr>
<td>SLICE_X476.120</td>
<td>not (zacet=7)</td>
<td>0.390</td>
<td>MACH16/sreg_FSM_on11</td>
</tr>
<tr>
<td>SLICE_X476.0</td>
<td>Ticks</td>
<td>0.390</td>
<td>MACH16/sreg_FSM_on11</td>
</tr>
</tbody>
</table>

図6-8: [Select Block Pin Annotation] ボタン
第 6 章：演習 3 : Schematic Viewer を使用したタイミング解析

3. [Select Block Pin Annotation] ダイアログ ボックスで、[Pin Name] および [Delay Values] をオンにします（図 6-9）。

![Select Block Pin Annotation](image)

図 6-9：[Select Block Pin Annotation] ダイアログ ボックス

回路図にデータパスの遅延が表示されます（図 6-10）。

![Data Path Timing Delay Display](image)

図 6-10：データパスのタイミング遅延を表示

まとめ

この演習では、タイミング解析に Schematic Viewer を使用する方法を学びました。

タイミングレポートからクリティカルタイミングパスを選択し、Schematic Viewer でグラフィック表示できます。また、タイミングレポートの遅延情報を Schematic Viewer のクリティカルパスに追加することも可能です。
第7章

演習4: デザインを解析しやすくする方法

目標

デザインの回路図を展開していくと、回路図シートに表示されるエレメントの数が増加していきます。回路図にエレメントが多数表示されていると、デザインを解析しにくくなります。

この演習では、デザインの回路図表示を簡略化し、解析しやすくなる方法をいくつか学びます。解析しやすくするには、次の方法があります。

- 開始/終了信号マーカーを使用して選択した信号のソースとテストネーションを特定する。
- 回路図シートから解析に関連のないエレメントを削除する。
- 同じネットリストの回路図を複数使用して作業する。
- 現在のデザインビューから一部のエレメントを選択して新しい回路図を開く。
- 特定のデザインインスタンスまたはエレメントのグループを別の色で表示する。

最初の2つは既に演習1で説明しているので、この演習では残りの3つの方法を説明します。

演習

手順1: 演習プロジェクトの準備

第3章「演習の準備」の指示に従ってstopwatchプロジェクトを開き、Schematic Viewerのプリファレンスで[Light Background Color Scheme]をオンにします。

手順2: XSTオプションの設定とデザインの合成

2. [Keep Hierarchy] プロパティを [No] に設定します (図7-1)。

図7-1: [Keep Hierarchy] プロパティの設定

3. [Synthesize - XST] をダブルクリックし、デザインを合成します。
手順３：同じネットリストの複数の回路図の使用

この機能を学ぶため、フリップフロップを選択してその入力および出力ロジック コーンを解析します。回路図を簡略化するため、入力ロジック コーンを１つのシートに、出力ロジック コーンを別のシートに表示します。

1. 合成が完了したら [View Technology Schematic] をダブルクリックし、[Start with the Explorer Wizard] をオンにします。
2. MACHINE/sreg_FSM-FFd1 フリップフロップを [Selected Elements] リストに追加し、[Create Schematic] をクリックします。
3. 表示されたフリップフロップを選択して右クリックし、[Add Input Cone] をクリックします。

図は図 7-2 のようになります。

4. [stopwatch (Tech)] タブをクリックし、Explorer Wizard に戻ります。[Create Schematic] をクリックして新しい回路図を開きます。表示されたフリップフロップを選択して右クリックし、[Add Output Cone] をクリックします。

図は図 7-3 のようになります。

図 7-2：入カコーンの追加

図 7-3：出カコーンの追加

このようなデザインビューを２つの部分に分割することにより、回路図の複雑さを低減できます。複数の回路図の表示機能は、さまざまな目的で使用できます。その１つを演習 5 で説明します。演習 5 では、同じデザインの異なるネットリストを比較します。
手順 4：現在のビューからエレメントを選択して新しい回路図を表示

デザインのデバッグ中に問題の原因の発生箇所がわかり、その部分のみに注目する必要があるとします。現在表示されている回路図には無関係のエレメントが多数表示されており、表示が複雑になっています。

以前の演習で説明したように不要なオブジェクトを削除したり、Explorer Wizard に戻って必要なエレメントを選択して新しい回路図を表示することにより、必要なエレメントのみを表示できます。ただし、デザインによってはこれらの方法は面倒で時間がかかります。

通常は、現在のビューから必要なエレメントを選択し、Schematic Viewer ツールバーから [New Schematic With Selected Objects] (図 7-4) をクリックして新しい回路図を表示するのが最適な方法です。

図 7-4: [New Schematic With Selected Objects] ボタン

メモ：この場合、新しい回路図シートが作成されるわけではなく、同じシート上に新しい回路図が表示されます。

1. [Stopwatch (Tech1)] タブをクリックします。
2. このシートで、図 7-5 に四角形で囲まれたエレメントを選択します。

図 7-5: Stopwatch (Tech1) 回路図

3. Schematic Viewer ツールバーから [New Schematic With Selected Objects] をクリックして新しい回路図を開きます。回路図は図 7-6 のようになります。ここから、これまでの演習で学んだ方法を使用して回路図を展開できます。

図 7-6: 新規回路図
手順 5：エレメントのグループの色分け表示

[Stopwatch (Tech2)] タブをクリックします。図 7-7 に示すような回路図が表示されます。

図 7-7 : Stopwatch (Tech2) 回路図

このシートには、多数のエレメントが表示されています。fd* タイプのフリップフロップを別の色で表示し、解析しやすくなります。

2. [Category] で [RTL/Technology Viewers] から [User Color Rules] を選択します（図 7-8）。このページで、色表示のルールを指定できます。

図 7-8 : [Preferences] ダイアログボックスの [User Color Rules] ページ

4. [Name] に色ルールの名前として「fd_ff_colors」と入力します。[New] をクリックして新しいルールを追加します。
5. [Property Name] に [Block Type]、[Operator] に [Matches(Wildcard)] を選択し、[Value] に「fd*」と入力します (図 7-9)、[OK] をクリックします。

6. [Light Background] 列をクリックして [Gray] を選択し (図 7-10)、[OK] をクリックします。

すべてのフリップフロップが灰色で表示されるようになり、回路図シートで見分けやすくなりました (図 7-11)。
第7章: 演習4: デザインを解析しやすくする方法

図7-11: 色分け表示されたエレメント
上記のfd*フリップフロップのように色ルールで特定の色を指定したエレメントを追加した場合、新規オブジェクトの色が優先され、指定した色で表示されない場合があります。色ルールで指定した色で表示するには、Schematic Viewerツールバーで[Colorize New Objects]をクリックして新規オブジェクトの色分け表示をオフにしてください。

図7-12: [Colorize New Object]ボタン

まとめ
この演習では、デザインを解析しやすくするいくつかの方法を学びました。
- 同じネットリストの回路図を複数作成しました。
- 現在のデザインビューから一部のエレメントを選択し、新しい回路図を表示しました。
- 色ルールを使用してfdタイプのフリップフロップに別の色を指定し、回路図シートで見分けやすくしました。
第 8 章

演習 5：2 つのデザイン インプリメンテーションの比較

目標
デザイン要件（スピード、エリア、消費電力）を満たすため、オリジナルの HDL ソースを変更したり、合成オプションおよびインプリメンテーションオプションを変更する必要がある場合があります。変更を加える場合、その変更が最終的なインプリメンテーションにどのように影響するかを理解する必要があります。

Schematic Viewer では異なるデザイン ネットリストを同時に表示して比較できるので、このような場合に役立ちます。これ、XST RTL 表示および合成後のネットリストでのみ可能です。マップ後、配置配線後のネットリストではこのモードはサポートされていません。

この演習では、XST で 2 つのデザイン インプリメンテーションを作成し、Schematic Viewer で表示する方法を示します。

演習

手順 1：演習プロジェクトの準備
第 3 章「演習の準備」の指示に従って stopwatch プロジェクトを開き、Schematic Viewer のプリファレンスで [Light Background Color Scheme] をオンにします。

手順 2：XST オプションの設定とデザインの合成
2. [Keep Hierarchy] プロパティを [Yes] に設定します（図 8-1）。

図 8-1：[Keep Hierarchy] プロパティの設定
3. [Synthesize - XST] をダブルクリックし、デザインを合成します。
4. シェル プロンプトを開き、プロジェクト ディレクトリに移動して stopwatch.ngc ファイルを default_run.ngc にコピーします。

図 8-2：[Register Balancing] プロパティの設定

6. [Register Balancing] を [Yes] に設定して合成を実行すると、複数のフリップフロップが順方向に移動されたことを示すメッセージが表示されます。

Register(s) sreg_FSM_FFd3 sreg_FSM_FFd1 sreg_FSM_FFd2 has(ve) been forward balanced into : sreg_FSM_Out11_FRB.

これを Schematic Viewer で表示してみます。

手順 3：2 つのネットリストの読み込みと比較


図 8-3：MACHINE 階層ブロック

2. [File] → [Open] をクリックし、先ほど保存した default_run.ngc ネットリストを開きます。[Start with the Explorer Wizard] をオンにします。先ほどと同様に Explorer Wizard で MACHINE 階層ブロック (図 8-3) を選択し、回路図を開きます。

3. 共通ツールバーで [Tile Windows Horizontally] (図 8-4) をクリックし、2 つの回路図を上下に並べて表示します。表示は図 8-5 のようになります。

図 8-4：[Tile Windows Horizontally] ボタン
4. 下のネットリストは [Register Balancing] を [Yes] に設定して生成したものです。デザインパフォーマンスを向上するため、XST で複数のフリップフロップ (sreg_FSM_Out11_FRB を構成)が clken ピンの出力側に移動されています。

まとめ
この演習では、異なる合成プロパティ設定を使用して生成した同じデザインの 2 つのネットリストを表示し、比較する方法を学びました。
第8章：演習5：2つのデザイン インプリメンテーションの比較
第 9 章

演習 6：大型デザインの操作

目標

ザイリンクスの最新の FPGA ファミリでは、より大型で複雑なデザインをインプリメントできるので、解析プロセスは複雑になります。デザインによっては、デザイン エレメント数が数十万個になる可能性もあります。1 つのシートにデザイン全体を表示するのは実質的ではありません。

この演習では、大型で複雑なデザインを Schematic Viewer を使用して見やすく表示し、操作速度が低下しないようにするためのヒントを示します。

ヒント 1：階層ネットリストの使用

合成後のネットリストに階層が存在すると、デザイン解析の複雑さが低減され、Schematic Viewer の表示も見やすくなります。XST RTL ネットリストは完全に階層で表されています。

階層の保持

XST では、デザイン階層を完全に保持または一部保持できます。ただし、階層を保持すると階層の境界を超えたロジックの最適化は実行されません。これが原因で、デザインのパフォーマンスが低下する可能性があります。

合成で階層を保持する場合、デザイン要件が満たされていることを確認してください。

階層の再構築

デザイン パフォーマンスを低下させずに階層ネットリストを生成するには、[Netlist Hierarchy] プロパティを使用します。このプロパティを [Rebuilt] に設定すると (図 9-1)，最適化では完全にフラット化されていた場合でも、最終ネットリストで階層が再構築されます。

![図 9-1：[Netlist Hierarchy] プロパティを [Rebuilt] に設定](image-url)
この機能を使用すると XST での合成のランタイムが増加し、エリア予測レポートの精度に影響する場合があるので、現在のリリースではデフォルトでは設定されていません。
現在のデザインでこのプロパティ設定をテストし、合成ランタイムが許容範囲内であるかどうかを確認することをお勧めします。

### ヒント 2：複数の回路図シートの使用

デザインの階層が完全に再構築されたとしても、1 つの階層レベルに数千のエレメントが含まれ、表示および解析が困難となる可能性があります。
多数のエレメントを操作する必要がある場合は、同じネットリストを複数の回路図シートで表示する機能を活用できます (図 9-2)。この操作は、演習 4 で示したように、ニーズに応じて柔軟に実行できます。

詳細は、第 7 章「演習 4：デザインを解析しやすくする方法」を参照してください。

### まとめ

この演習では、大型デザインを操作する場合のヒントを示しました。1 つは階層ネットリストを生成することで、もう 1 つは複数の回路図シートを使用して 1 つのシートに表示するエレメント数を削減することです。
第10章

演習7：Schematic Viewerをスタンドアロンツールとして使用

目標

コマンドラインを使用している場合に、デザイン解析にFPGA EditorやSchematic Viewerなどのツールを実行する必要が出てくることがあります。

ISEの現在のリリースでは、Schematic Viewerをスタンドアロンモードで起動することはできませんが、スタンドアロンモードをエミュレートする方法があり、XST RTL表示またはXST合成後のネットリストを表示できます。ただし、マップ後、配置配線後のネットリストではこの機能はサポートされていません。

この演習では、Schematic Viewerをスタンドアロンモードをエミュレートして使用し、XST RTLネットリストおよび合成後のネットリストを表示する方法を学びます。

表10-1に、使用するネットリストを示します。

表10-1：ネットリストファイルの拡張子

<table>
<thead>
<tr>
<th>ネットリスト</th>
<th>拡張子</th>
</tr>
</thead>
<tbody>
<tr>
<td>XST RTL</td>
<td>.ngc</td>
</tr>
<tr>
<td>XST合成後</td>
<td>.ngr</td>
</tr>
</tbody>
</table>

演習

手順1：演習プロジェクトの準備

第3章「演習の準備」の指示に従ってstopwatchプロジェクトを開き、Schematic Viewerのプリファレンスで[Light Background Color Scheme]をオンにします。

手順2：XSTオプションの設定とデザインの合成

2. [Keep Hierarchy]プロパティを[Yes]に設定します(図10-1)。
第 10 章: 演習 7: Schematic Viewer をスタンドアロンツールとして使用

手順 3: Schematic Viewer で合成後のネットリストを開く

1. XST合成後のネットリスト stopwatch.ngcは、プロジェクトディレクトリにあります。NGCファイルは、コマンドラインモードからも生成できます。このネットリストをSchematic Viewerで開くには、[File]→[Open]をクリックします。
2. [Start with the Explorer Wizard]をオンにします。Project Navigatorにネットリストが読み込まれ、Schematic Viewerが起動します（図10-2）。これで、これまでの演習で説明したように、デザインの回路図を表示して展開していくことができます。

まとめ

この演習では、Schematic Viewerをスタンドアロンモードをエミュレートして使用する方法を学びました。この方法を使用すると、コマンドラインモードを用いる場合でもSchematic Viewerを活用できます。どのXST合成後のネットリストでも、プロジェクトを開かずにSchematic Viewerで表示できます。