



WP218 (v1.4) 2006 年 5 月 19 日

Virtex-4 FPGA での 画期的なパフォーマンスの達成

著者 : Frédéric Rivoallon

Virtex™-4 FPGA は、画期的な ASMBL™ (アドバンスド シリコン モジュラー ブロック) アーキテクチャに基づいた、初めてのマルチプラットフォーム FPGA ファミリです。Virtex-4 ファミリは異なるプラットフォーム (LX、FX、および SX) 間で、設計者の要件に的確に対応するプログラマブル ロジック ソリューションを提供しています。最大スループット対応で設計された複数の新アーキテクチャ エlement、高い統合性および低消費電力により、Virtex-4 FPGA は新しいパフォーマンス レベルを実現しました。

システム パフォーマンスの最大化には、ロジック、オンチップ メモリ、I/O などのコンポーネントを有効に組み合わせる必要があります。

本稿では、Virtex-4 に搭載された機能ブロックを活用することによって達成可能なパフォーマンス レベルに焦点をあてます。また、コーディング形式、ツール設定および制約を確認しながら、このパフォーマンスの実際のデザインやベンチマークへの活用方法を説明します。

お客様のデザインを使用して計測したパフォーマンス ベンチマークでは、Virtex-4 のデザインは、ほかの 90nm FPGA 製品と比較してロジック パフォーマンスが 43% 向上しており、平均 1 スピード グレード分高速です。

© 2006 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and further disclaimers are as listed at <http://www.xilinx.com/legal.htm>. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

NOTICE OF DISCLAIMER: Xilinx is providing this design, code, or information "as is." By providing the design, code, or information as one possible implementation of this feature, application, or standard, Xilinx makes no representation that this implementation is free from any claims of infringement. You are responsible for obtaining any rights you may require for your implementation. Xilinx expressly disclaims any warranty whatsoever with respect to the adequacy of the implementation, including but not limited to any warranties or representations that this implementation is free from claims of infringement and any implied warranties of merchantability or fitness for a particular purpose.

500MHz の クロック レート で動作可能な ファブリック およびブロック

Virtex-4 デバイスは高性能デザイン向けのプラットフォームであり、ロジック ファブリックおよび固定ブロックは 500MHz のクロック レートで動作可能です。たとえば、LUT にインプリメントされたカウンタ、加算器、ストレージ (RAM/ROM) などのロジック ファブリック上の多数の機能は、このクロック レートで動作できます。また、メモリや DSP などの固定ブロックも同一レートで動作するように設計されています。

ロジック ファブリック

Virtex-4 の基本的なロジック エLEMENTは、4 入力 LUT とフリップフロップおよび機能拡張ELEMENT (MUXF) や演算セル (MULT_AND) などの追加ELEMENTで構成されます。機能拡張ELEMENTによって、5 入力または 6 入力 LUT など入力数の多い LUT 構成が可能となります。

RAM モードでは、Virtex-4 の LUT を使用して、16 ビットのメモリ ELEMENT、16 ビットシフトレジスタ、または作動中に内容変更できるロード可能 LUT をインプリメントできます。このような RAM モードは、Virtex-4 FPGA 独自のパフォーマンスであり、非常に効率的な小規模メモリを構成できます。

DSP パフォーマンス

Virtex-4 FPGA はほかのデバイスと比較して、DSP 特化ブロックを提供しており、256GMAC/s の DSP バンド幅を実現しています。500MHz の XtremeDSP™ スライスは最高のパフォーマンスと最小の電力消費、および高性能な演算ユニットを備えています。このスライスは、累積乗算ユニットをインプリメント可能で、また、通常速度で動作しながら、FIR (Finite Impulse Response) フィルタなどのより大きなデザイン構造をインプリメントするために、類似ブロックとカスケード接続できます。このパフォーマンスと拡張性により、Virtex-4 FPGA はファブリックのロジックを使用せずに、比類ないレベルのパフォーマンスと統合性で DSP の重要な機能をインプリメントできます。DSP 機能に加え、DSP スライスは 500MHz で動作するカウンタ、バレルシフタ、加算器、減算器、アキュムレータ、およびそのほかの機能として構成可能です。

オンチップ RAM

Virtex-4 のブロック RAM では 18K ビットのデータが保存されます。従来の製品と比較したブロックの特徴は、次のとおりです。

- データ読み出し出力に追加レジスタを使う新しいパイプラインを備えたことで、500MHz のクロック速度を実現しました。
- 隣接した 2 つのブロック RAM を使うと 1 つの 32K x 1 メモリを構成できます。この場合、外部ロジックは不要で速度も低下しません。
- バイトライトイネーブル機能が個別に存在します。
- 内蔵されたマルチレート FIFO モードでは、アドレスシーケンスと制御回路を、ロジックを追加することなく提供します。FIFO モードは FULL/EMPTY 出力およびプログラム可能な ALMOST FULL/ALMOST EMPTY フラグを提供し、グリッチのないフラグを保証します。
- ECC (Error-Correction Control) を内蔵し、ブロック RAM によって、オプションのハミングコードエラー修正、および効果的なシステムパフォーマンス向上とスペース節約のためのチェックが実行可能です。

I/O バンド幅

システム パフォーマンスの最大化には、FPGA とその他のシステム コンポーネント間の相互リンクのパフォーマンスを向上させる必要があります。Virtex-4 FPGA は 6.5Gb/s に対応可能な高速シリアル トランシーバを内蔵する唯一のプログラマブル デバイスです。

エンベッド処理

Virtex-4 FPGA は、450MHz で 680DMIPS のパフォーマンスを実現し、新しい APU (Auxiliary Processor Unit) コントローラを提供する拡張 PowerPC™ 405 コアを内蔵しています。APU はカスタム コプロセッサおよびハードウェア アクセラレータ間の接続を簡略かつ効率的にします。

メモリ インターフェイス

ChipSyncr™ テクノロジによって、柔軟で高性能のメモリ インターフェイス アプリケーションが実現します。このテクノロジでは、精度 80ps で独自のランタイム データをクロックに中央配置する機能を提供して、デザイン マージンを増加します。この調整機能は、デバイスおよびプロセス、電圧、温度のパラメータ変動を補正します。

Virtex-4 FPGA は、432 ビット幅のバスを使用し、各シングル エンド I/O で最大 600Mb/s が達成可能です。

パフォーマンス効率を向上するビルトイン テクノロジ

実際の性能は、高性能ロジック、エンベデッド ブロックおよびデザイン ツールに加え、クロック/データのシグナル インテグリティ、低電源のインテグリティ、電力 バジェットなどにより左右されます。Virtex-4 FPGA はビルトイン テクノロジにより最高のパフォーマンスを提供しています。

- 柔軟性の高い低スキューかつ低ジッタ、500MHz の差動クロック ストラクチャを組み込んでいます。
- 商標登録を有する ASMBL テクノロジおよび豊富な PWR/GND ピンによって実現したパッケージとフリップチップ アセンブリ テクノロジは、パッケージ サイズと PCB インダクタンスを縮小し、シグナル インテグリティを改善します。
- XCITE™ テクノロジはオンチップの信号終端テクノロジによるデジタル制御 インピーダンスを提供します。
- MHz あたりの消費電力が削減されることにより、電力バジェット内でのパフォーマンスが大幅に向上します。Virtex-4 FPGA では、90nm テクノロジを採用してダイナミック消費電力を削減するだけでなく、トリプル酸化膜テクノロジにより、静止消費電力も最小になります。従来の FPGA と比較して、電力消費量が 50 % 削減されており、これはほかの 90nm 製品に対しても大きな利点となります。

パフォーマンスにおける利点

表 1 に、デバイスを表内のスピード グレードで動作させた場合における、複数のデザイン エLEMENT のパフォーマンスを示します (ISE 6.3 サービスパック 3 使用)。また、この表では FPGA-90nm を使用した類似する他社製品の値も比較しています。

表 1: Virtex-4 スピード グレードによるパフォーマンス

	Virtex-4 FPGA -10	FPGA-90nm 低速	Virtex-4 FPGA -11	FPGA-90nm 中速	Virtex-4 FPGA -12	FPGA-90nm 高速
乗算器 (9 x 9 または 18 x 18)	400MHz	268MHz	450MHz	322MHz	500MHz	370MHz
8 ビット データの 16 タップ FIR フィルタ	400MHz	165MHz	450MHz	203MHz	500MHz	237MHz
16K x 32 ビット RAM	527MHz	306MHz	610MHz	326MHz	643MHz	370MHz
16K x 64 ビット RAM	311MHz	195MHz	311MHz	226MHz	335MHz	272MHz
4K x 144 ビット RAM	400MHz	289MHz	450MHz	309MHz	500MHz	350MHz
64 ビット 加算器	205MHz	173MHz	221MHz	208MHz	245MHz	239MHz
48 ビット マグニチュード コンパレータ	335MHz	170MHz	364MHz	205MHz	401MHz	238MHz
高速シリアル I/O	3.125Gb/s	3.125Gb/s	6.5Gb/s	5Gb/s	6.5Gb/s	6.375Gb/s

Virtex-4 FPGA には他社製品と比較すると、FIR フィルタの例では 142%、ファブリック マグニチュード コンパレータでは 97% 高パフォーマンスであるという利点があります。

デザイン設定、ツール設定および制約

競合会社では、手法、設定および制約を使用したロジック ベンチマークに関して Virtex-4 FPGA のパフォーマンスを誤って判断し、これに基づき自らの製品のパフォーマンスが優れていると主張しています。信頼の置けるパフォーマンス ベンチマークの手法には次の点が要求されます。

- 類似するデバイス スピード グレードの比較
- スラックの値が負になるまで合成で制約を適用
- 配置配線に現実的かつ厳しい制約を適用 (制約が厳しすぎるとパフォーマンスが低下する場合があります)
- 合成ツールおよび配線配置ツールに適用可能な範囲内で高エフォート レベルを選択
- 同程度の設定の使用 (リタイミングを 1 つのツールでのみ使用する場合、信頼性のある比較ができません)
- 主要クロックを制約 (一般的なグローバル制約を適用すると、デザインで最低速のクロックのみ向上します)

次のセクションでは Virtex-4 FPGA で大きな結果を得るためのガイドラインを示します。

デザイン入力

デザイン入力は、高性能デザインの実現に不可欠な要素です。Virtex-4 FPGA の設計における Verilog や VHDL などのハードウェア記述言語の使用は実効的です。最良の結果を得るため、ザイリンクスではデバイスの最適なインプリメンテーションの実現に、次のコーディング スタイルを推奨します。

最初に、パイプライン処理の実行が重要です。デザイン内の多くのレジスタはクリティカルパスを短くし、パイプライン処理ステージを専用ブロック内に納めるようにします。パイプライン処理を的確なレベルにすることにより、最大スループットが得られます。

表 2 では、左側のコードに 1 レベルのパイプラインがエンベデッドされた新しいブロック RAM を使用し、それに対して右側のコードには、2 レベルのパイプラインを使用しています。右側のコードはパフォーマンスを 28% 向上します。

表 2：完全パイプライン処理済みブロック RAM の使用 (1)

1 レベルのパイプライン	2 レベルのパイプライン
<pre>//Always at positive edge clock if (en & we) mem[addr] <= din; else dout <= mem[addr]; end</pre>	<pre>//Always at positive edge clock if (en & we) mem[addr] <= din; else begin dout_piped <= mem[addr]; dout <= dout_piped; end</pre>
クロック周波数 : 350MHz	クロック周波数 : 450.0MHz (+28%)

メモ :

1. スピード グレード -11 の Virtex-4 デバイスを使用しています。

次に、使用ブロックで固有にサポートされていない機能を避けることが重要です。たとえば、レジスタ用の非同期リセットを乗算器の前後に使用すると、レジスタが XtremeDSP スライスにマージされません。これは、非同期リセットがブロックのレジスタに使用されるために起こります。表 3 に示すように、パフォーマンスにかなりの影響を与えます。

表 3：リセットの性能に対する影響 (1)

非同期リセット	同期リセット
<pre>// Requires fabric flip-flops always at positive edge clock or negative edge reset if (~rst) prod <= 32'0; else prod <= coeff * sample;</pre>	<pre>// Efficient use of XtremeDSP slice always at positive edge clock if (~rst) prod <= 32'0; else prod <= coeff * sample;</pre>
3 レベルのパイプライン (16 x 16 マルチプレクサ): クロック周波数 : 206.4MHz	3 レベルのパイプライン (16 x 16 マルチプレクサ): クロック周波数 : 450.0MHz (+118%)

メモ :

1. スピード グレード -11 の Virtex-4 デバイスを使用しています。

ツール設定

最高の性能を得るには、ツールベンダーのガイドラインに沿うことが重要です。たとえば、合成ツールベンダーはドメインをまたぐタイミングがクリティカルでない場合、別のクロックグループを使用するクロックの制約を推奨しています。クロックが十分に制約されていることが最も重要です。

リタイミング(レジスタの自動調整機能)は、ロジックレベル間でレジスタを動かしてデザイン性能の向上を可能にするオプションです。デザインによっては、タイミングの大幅な向上が可能です。ザイリンクスは、自社性能比較テストではリタイミングを使用していませんが、このテクノロジーにより、性能目標の達成が補助されます。

考慮すべきその他の設定

- 合成ツールのリソース共有オプションを一旦オフにすると結果が良くなる場合があります。オペレータがクリティカルパスに存在する場合は、オフにすることを推奨します。
- ステートマシンロジックがクリティカルパスに存在する場合、合成ツールの有限ステートマシン(FSM)の最適化により、性能を格段に向上できる可能性があります。この最適化はオンにすることを推奨します。
- I/O性能を考慮せず、内部性能のみが問われる簡単なテストケースをベンチマークとする場合、I/Oフリップフロップのファブリック内配置を推奨します。

制約

適切なツール設定およびコーディングスタイルを使用していても、合成と配線配置はタイミング制約に対してのみ、最良の結果を示します。タイミングドリブン合成ツールでは、負の Slack のみがデザインの十分な制約を示します。一般的に、制約が現実的な範囲内である限り、目標より厳しい合成制約の設定を推奨します。クロックを制約し、対象となる単数または複数のクロックを明確化することも推奨されています。一般的なパフォーマンス制約はデザイン内で最低速のクロックにのみ適用される傾向にありますが、これは必ずしもデザイン要件ではありません。

合成が終了し制約が適用された後で、ザイリンクス ISE 配置配線によりパフォーマンスが飛躍的に向上します。エフォートレベルも結果に影響を及ぼすため、最良の結果を得るには高エフォートレベルの設定を推奨します。

Verilog Reed-Solomon デザイン (rs_5_3_gf256) に基づき、制約の影響を www.opencores.org から見てみましょう。

図 1 の Bar 1 は合成および配置配線が制約されず、エフォートレベルが最低の場合の結果を示します。

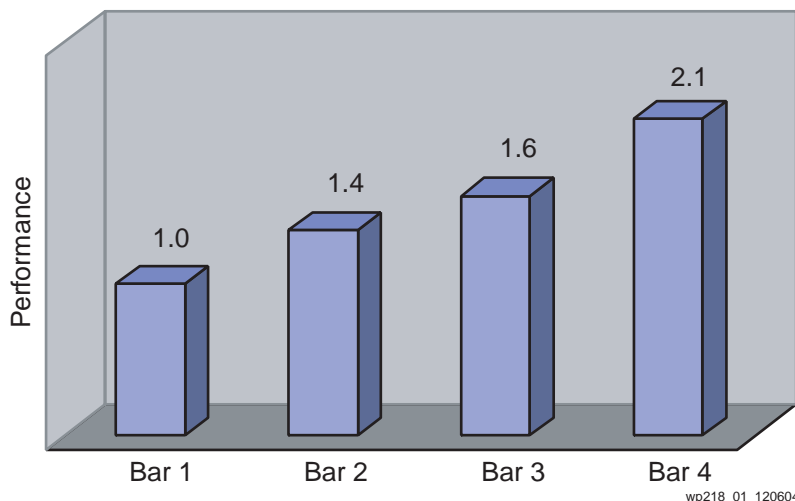


図 1 : パフォーマンスのバリエーション

Bar 2 は配置配線が制約され、高エフォートを設定した場合の結果を示します。合成は制約されていません。元のデザインと比較してパフォーマンスが 40% 向上しています。

Bar 3 は合成および配線配置が制約され、配線配置を高エフォートに設定した場合の結果を示します。元のデザインと比較してパフォーマンスが 60% 向上しています。

Bar 4 は制約適用後、合成にリタイミング オプションが使用された場合の結果を示します。

この簡単なテスト ケースで確認できるように、ツールが制約されると結果が大幅に向上します。この例では、制約を適用しない元のデザインと比較して、2 倍以上のパフォーマンス向上がみられます。

タイミングドリブン マップや、複数配置配線などの ISE の特別なオプションを使用して、パフォーマンスの向上が可能です。これらのオプションにより、デザインは大幅に向上し、活用性が高まります。

ベンチマークの手法

FPGA をベンチマークする方法が多数ある中で、この手法はデザイン目標をフローの中心に据えています。ユーザー RTL コードの変更は最低限にとどめられ、parallel case などの特別な HDL プログラムは保持されます。異なる FPGA テクノロジが使用されているので、デザイン変換要件を継承するためコードは変更されます。まれに、コードがラッチを削除するように変更される場合があります。これは、タイミング解析ツールのビヘイビアに基づき、ラッチが異なる計測結果を出すためです。

ベンチマークの使用によりツールは最高のロジック ファブリック パフォーマンスを実現可能です。この実現のため、ユーザー要件に基づいて、重要なクロックを特定します。このクロックには合成および配線配置の間、制約を適用します。

合成フロー

- ユーザーによる特定のクロックの制約が推奨されています。これは、グローバルパフォーマンス制約では、最も低速のクロックまたは I/O に対する制約に集中してしまうためです。

- Synplify を使用している場合、クロック グループが作成されてクロックが分離され、クロック ドメインをまたぐパスが存在する場合には、これらのパスの干渉が回避されます。通常、これらのパスはタイミング クリティカルではありません。
- I/O 制約を緩和することも内部パス計測における干渉の回避に重要です。I/O を制約することで、FPGA の次善のマッピングを得ることができます。
- リタイミング オプションはパフォーマンスを向上させる場合が多いため、オンにすることを推奨します。この最適化は、インプリメンテーションの段階でも ISE の MAP、-retiming オプションで実行可能です。

クロック制約は、合成ツールのパフォーマンス予測が向上を示さなくなるまで、15% ずつ増加されます。最高のパフォーマンス予測に関するネットリストは、インプリメンテーション用に保持されます。最良の合成結果を得るには、タイミング ドリブンを数回実行する必要があります。

インプリメンテーション (配置配線)

合成段階で使った同じクロックに基づいて制約を適用します。しかし、合成で得たパフォーマンス予測は、実際の結果と大幅に異なる場合があるので、配置配線の制約としては使用されません。

配置配線には、2つのフェーズがあります。最初のフェーズでは、ツールの高エフォート (ISE の par では high、Quartus では auto fit) を使用して、高周波数調査が実行されます。制約は、タイミングが満たされなくなるまで5% ずつ増加されます。2番目のフェーズでは、前フェーズの最良の結果よりも5% 厳しい制約で、デザインがインプリメントされます。このフェーズでは、ISE は異なるスイッチで使用されます。次のオプションで5つのインプリメンテーションが実行されます。

- 1つのインプリメンテーションは、タイミングドリブン マップ (map -timing -ol high) で実行し、その後、par を高エフォートで実行 (par -ol high)
- 1つのインプリメンテーションは、par を追加エフォートで実行 (-xe n)
- 3つのインプリメンテーションは、コスト テーブル 1、2、3 を使用して実行

ザイリンクスでは、類似する高パフォーマンス結果を再現するために、2つのフェーズを組み合わせ、同様の結果を得ることができる Xplorer™ スクリプトをご要望に応じて提供しています。このスクリプトは、異なる Xplorer オプションにより、ユーザー制約が評価可能なタイミング クロージャ モードも提供しています。

Quartus を使用する場合、Physical Synthesis with Retiming Space 設定において Design Space Explorer ツールが使用されます。これにより、Quartus のフローでリタイミングがオンになります。

Xplorer スクリプト

ザイリンクスのベンチマークでは、ザイリンクス FPGA と競合のテクノロジーを比較できるスピード グレードと設定を使用します。選択したフローは大部分のコードを保持し、合成と配線配置に対して同じ制約を適用します。結果は、Xplorer のスクリプトにより容易に再現可能です。

まとめ

Virtex-4 FPGA は、乗算器、加算器やメモリブロックなど、多くの機能ブロックを 500MHz のクロック速度で動作させる初めての FPGA です。

今日の複雑化したデザインにおいて、このパフォーマンスレベルの利点を活かすには、確実なコーディングスタイルの実践と、適切なツール設定および制約の適用が重要です。Virtex-4 ファミリーはほかの FPGA アーキテクチャと比較して、飛躍的なパフォーマンスの向上を示しています。Virtex-4 のプラットフォームは、そのさまざまなファミリーを通して、デザイン要件に確実に合致したソリューションを提供しています。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2004/12/06	1.0	初期リリース。
2004/12/07	1.1	表 2 の 2 行目を変更。表 3 の編集。
2005/02/14	1.2	「ベンチマークの手法」の追加。
2005/05/02	1.3	表 1 および「I/O バンド幅」においてシリアル I/O スピードを変更。
2006/05/19	1.4	テキストおよび表 1 において、シリアルトランシーバの速度を 10.3125Gb/s から 6.5Gb/s に変更。表記の変更。