



WP245 (v1.1) 2006 年 5 月 17 日

FPGA Virtex-5 デバイスでの 高システムパフォーマンスの達成

共著 : Adrian Cosoroaba, Frédéric Rivoallon

Virtex™-5 デバイスは、2 世代目となる ASMBL™ (アドバンスドシリコン モジュール ブロック) コラムベース アーキテクチャに基づく複数のプラットフォーム FPGA で構成されます。この Virtex-5 デバイスは、性能向上、より高度なシステム統合、消費電力削減を目的とした新しいアーキテクチャの要素を備えており、従来の FPGA を越えるシステムパフォーマンスを実現します。

システムパフォーマンスの最大化には、ロジック ファブリック、オンチップ RAM、DSP ブロック、および I/O などの FPGA コンポーネントを有効に組み合わせる必要があります。本稿では、Virtex-5 デバイスに搭載された機能ブロックを活用することによって達成可能なパフォーマンス レベルについて、特に、新たに採用された ExpressFabric™ テクノロジーに焦点をあてます。また、新しい 6 入力 LUT を含む、この新規テクノロジーの主な機能を説明します。ロジックおよび演算機能のパフォーマンス向上を示す例では、オンチップ RAM、DSP ブロック、I/O などその他の機能の改善点も示します。

© 2006 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and further disclaimers are as listed at <http://www.xilinx.com/legal.htm>. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

NOTICE OF DISCLAIMER: Xilinx is providing this design, code, or information "as is." By providing the design, code, or information as one possible implementation of this feature, application, or standard, Xilinx makes no representation that this implementation is free from any claims of infringement. You are responsible for obtaining any rights you may require for your implementation. Xilinx expressly disclaims any warranty whatsoever with respect to the adequacy of the implementation, including but not limited to any warranties or representations that this implementation is free from claims of infringement and any implied warranties of merchantability or fitness for a particular purpose.

マージンを確保するパフォーマンス

お客様のデザインを使用して計測したパフォーマンスベンチマークでは、Virtex-5 ファミリーで新たに導入した ExpressFabric テクノロジーによって、Virtex-4 デバイスと比較して平均 30%、約 2 スピードグレード分のパフォーマンス向上が見られます。Virtex-5 ファミリーは高性能デザイン向けのプラットフォームであり、ロジックファブリックおよびハード IP ブロックは 550MHz のクロックレートで動作可能です。たとえば、LUT にインプリメントされたカウンタ、加算器、ストレージ (RAM/ROM) などのロジックファブリック上の多数の機能は、このクロックレートで動作できます。また、メモリや DSP などのハード IP ブロックも同一レートで動作するように設計されています。

ExpressFabric

新しい ExpressFabric テクノロジーは、6 入力 LUT アーキテクチャおよび斜め方向に对称的なインターコネクトパターンを使用する配線に基づいています。

6 入力 LUT アーキテクチャ

インプリメントされるロジックおよび演算機能の性能と効率は、LUT (ルックアップテーブル)、キャリーチェーンや専用マルチプレクサなどの特定の機能、そしてフリップフロップ (FF) の組み合わせとこれらの接続方法に依存します。

Virtex-5 ファミリーの持つ ExpressFabric テクノロジーは、ザイリンクスが長年に渡り蓄積してきた技術を基に構築された革新的なテクノロジーです。1980 年半ばに最初の FPGA が導入および製造されて以来、ほとんどの FPGA で同一の基本構造、つまり 4 入力 LUT が使用されています。従来の FPGA すべてにおける共通点として、5 入力以上が必要なファンクションを作成するには、複数の LUT/マルチプレクサを組み合わせる必要があります。

Virtex-5 ファミリーは、完全に独立した (共有しない) 6 入力の LUT を備えた最初の FPGA です。このことは、非常に大きな優位性をもたらします。

ロジックファブリックの性能向上には、LUT を通るクリティカルパスの遅延を最小にすることが不可欠であり、LUT の入力アーキテクチャが決定的な要因となります。図 1 に示すように、65nm プロセスで実現した 6 入力 LUT により、クリティカルパス遅延とダイサイズのバランスが最適となります。

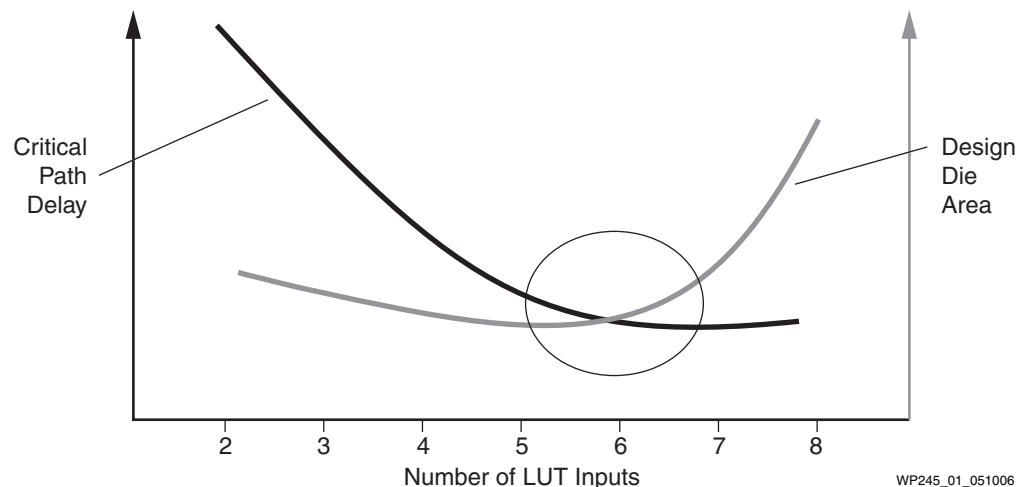


図 1 : 65nm プロセスでの LUT 入力数とクリティカルパス遅延のバランス

クリティカルパス遅延は、LUT 入力数の増加に伴い減少しますが、6 入力を超えると遅延は横這いになります。一方、6 入力を越えると多入力 LUT の使用効率が低下するため、デザインダイサイズは増加します。

Virtex-5 ファミリでは、これまでの FPGA と異なるロジックアーキテクチャを導入しました。表 1 は、Virtex-4 ファミリと Virtex-5 ファミリの CLB (コンフィギュラブルロジックブロック) の比較表です。

表 1: Virtex-4 / Virtex-5 CLB ロジックリソース比較

CLB	Virtex-4 FPGA	Virtex-5 FPGA
スライス	4	2
LUT	8	8
フリップフロップ	8	8
クロック、クロックイネーブル、リセット	各 4	各 2
分散 RAM	64 ビット	256 ビット
シフトレジスタ長	64 ビット	128 ビット
マルチプレクサ	16 - 1	2 x (16 - 1)

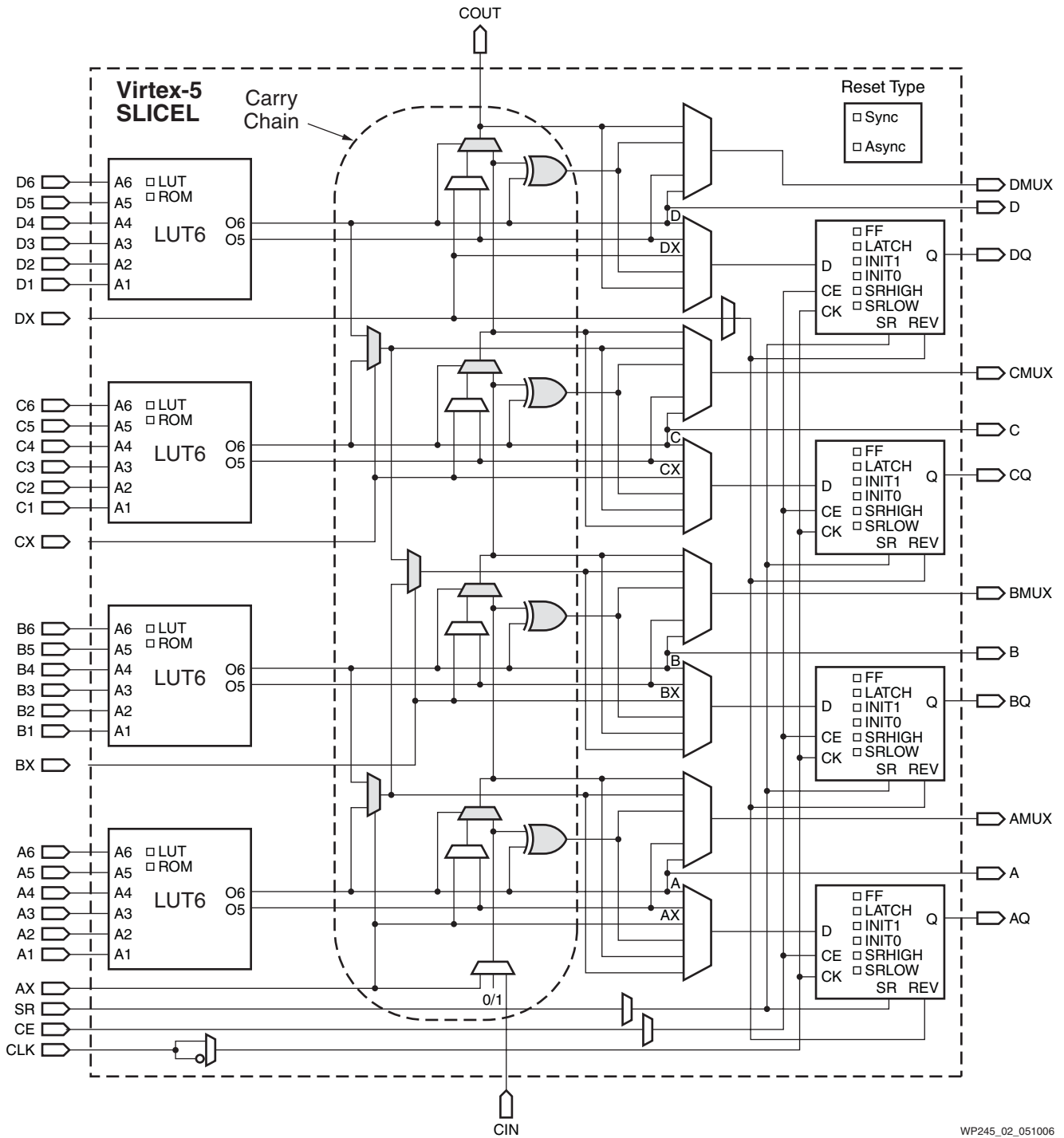
Virtex-5 ファミリで新たに導入されたアーキテクチャの理解を深めるため、まず Virtex-4 のアーキテクチャについて簡潔に説明します。

Virtex-4 ファミリの基本的なロジックエレメントは、4 入力 LUT とフリップフロップおよび機能拡張エレメントや演算セルなどの追加エレメントで構成されます。機能拡張エレメントによって、5 入力または 6 入力 LUT など入力数の多い LUT 構成が可能となります。RAM モードでは、Virtex-4 の LUT を使用して、16 ビットのメモリエレメント、16 ビットシフトレジスタ、または動作中に内容変更できるロード可能 LUT をインプリメントできます。このような分散 RAM モードは、ザイリンクス FPGA 独自の性能であり、非常に効率的な小規模メモリを構成できます。

以前のザイリンクス FPGA ファミリと同様に、Virtex-5 の SLICEL は、専用のキャリアチェーンを使用してロジックファンクション、レジスタ、および演算機能のインプリメントが可能です (図 2 を参照)。

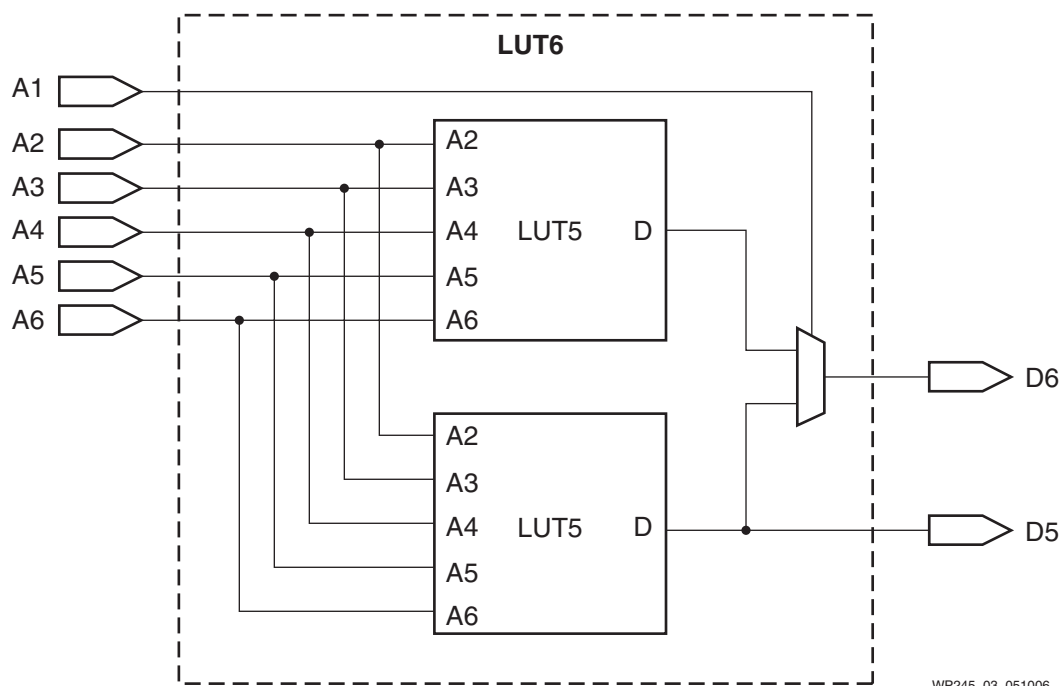
また、SLICEM を組み合わせると、LUT を使用して分散 RAM およびシフトレジスタ (SRL) を構成できます。

新しい 6 入力 LUT には 2 つめの出力があり、この出力を使用すると、キャリアロジックの初期化や 6 入力 LUT から共通入力を持つ 2 つの 5 入力 LUT への変更が可能となります (図 3 を参照)。



WP245_02_051006

図 2 : Virtex-5 の SLICEL ブロック図



WP245_03_051006

図 3 : Virtex-5 の 6 入力 LUT ブロック図

6 入力 LUT には、次のような優れた点があります。

- 1つの LUT に入力数のより多いファンクションを直接インプリメントできるため、レジスタ間のロジックレベルが減少し、パフォーマンスが向上します。
- 4 入力の場合と比較して、1つの LUT にインプリメントできるロジックが大幅に増加します。
- 入力数の多い LUT では必要となるインターコネクタ（配線リソース）が減少するため、消費電力が削減します。

また、Virtex-5 ファミリの SLICEM LUT には、次のような優れた点があります。

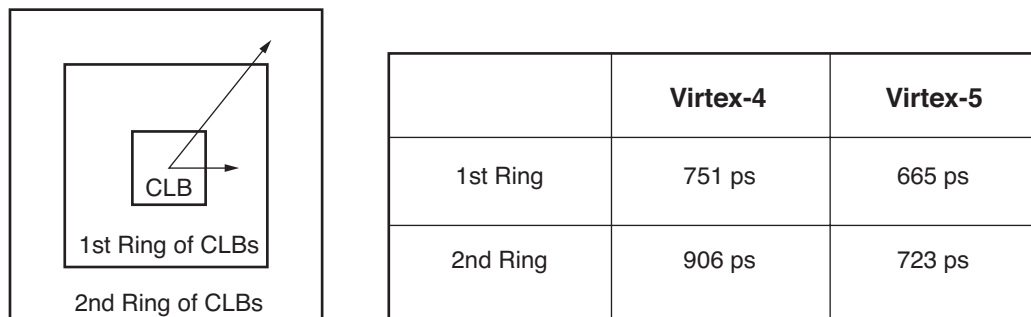
- 分散 RAM のアスペクト比の改善により、すべての LUT を 64 X 1 または 32 X 2 の分散 RAM として構成できます。このため、よりリソース使用密度が高く、高速な分散 RAM をさらに柔軟にインプリメントできるというメリットがあります。
- SRL チェーンのビット数が増加し、1つの LUT は、32 ビット SRL をサポートします。したがって、1 スライスでは最大 128 ビットのシフトレジスタをインプリメントでき、従来のアーキテクチャと比較すると、使用エリアおよび配線リソースを削減します。シフトレジスタ機能を備えているのは、ザイリンクスが提供するデバイスのみです。ザイリンクス ISE™ ソフトウェアのパックは、アドレスは共通で、データが異なる 2 つの 16 ビット SRL を自動的にパックします。つまり、アプリケーションで 16 ビットワード数、8 ビット幅のシフトレジスタが必要な場合、1つのスライスにインプリメントできます。

配線およびインターコネクタ アーキテクチャ

最先端のプロセステクノロジーを採用したことによって、クリティカルパス遅延に占めるインターコネクタのタイミング遅延の割合が 50% を越えることが考えられます。Virtex-5 ファミリ向けに開発された、斜め方向に対称的な、新しいインターコネクタパターンでは、より少ないホップ数での配線が可能になったため、パフォーマンスが向上します。この新しい配線パターンでは、2 または 3 ホップで配線できるロ

ジック数が増加します。さらに、基本的な配線パターンが拡大したため、ザイリンクス ISE ソフトウェアでの最適な配線の実行が容易になります。これらすべてのインターコネクト機能は、FPGA 設計者にはトランスペアレント（透過的）ですが、全体的なパフォーマンスの向上および配線の容易化は確認できます。Virtex-5 ファミリのインターコネクトパターンは、本質的に高速かつ距離に基づく予測が可能な配線を実現します。

図 4 に、LUT を駆動する CLB 内のソース レジスタから、隣接した CLB にあり、共にパックされた別のレジスタまでの遅延値の比較を示します。ここでは、Virtex-4 および Virtex-5 ファミリー アーキテクチャにおける配線遅延の増分の影響を計測することを目的としています。



WP245_04_050106

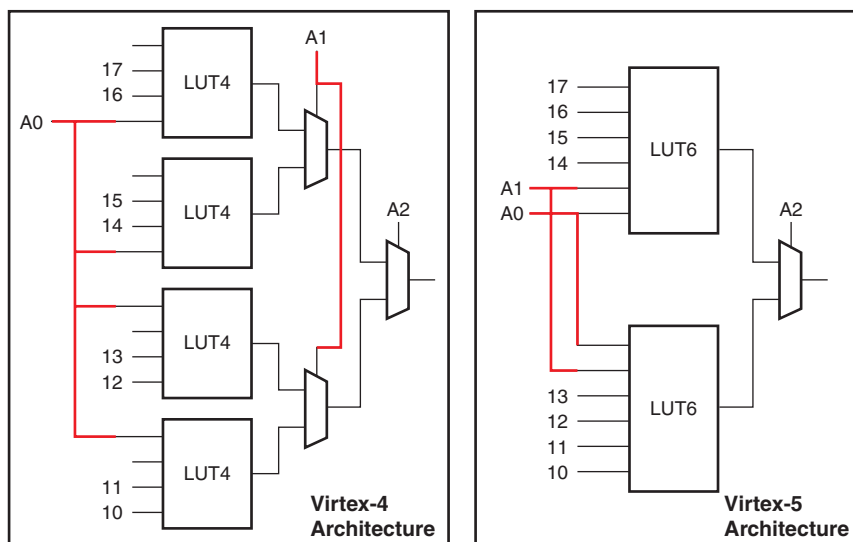
図 4 : Virtex-4 および Virtex-5 FPGA の配線遅延比較

デザイン例

ここでは、デザイン例を使用して、新しい 6 入力 LUT アーキテクチャの優れた点を説明します。

マルチプレクサ

最も単純な例はマルチプレクサです。1 つの 4 入力 LUT では 1 つの 2:1 MUX をインプリメントでき、マルチプレクサの入力数が 3 以上になると、追加のロジックリソースが必要です。たとえば、Virtex-4 アーキテクチャで 4:1 MUX を構成するには、2 つの 4 入力 LUT と 1 つの MUXF が必要となります。これに対して、6 入力 LUT の場合、4:1 MUX は 1 つの LUT でインプリメントできます。Virtex-4 デバイスで 8:1 MUX を 1 つインプリメントするには、4 つの LUT および 3 つの MUXF が必要ですが、Virtex-5 ファミリー アーキテクチャでは、2 つの 6 入力 LUT でインプリメントでき、パフォーマンスおよびロジック使用率が向上します（図 5 を参照）。

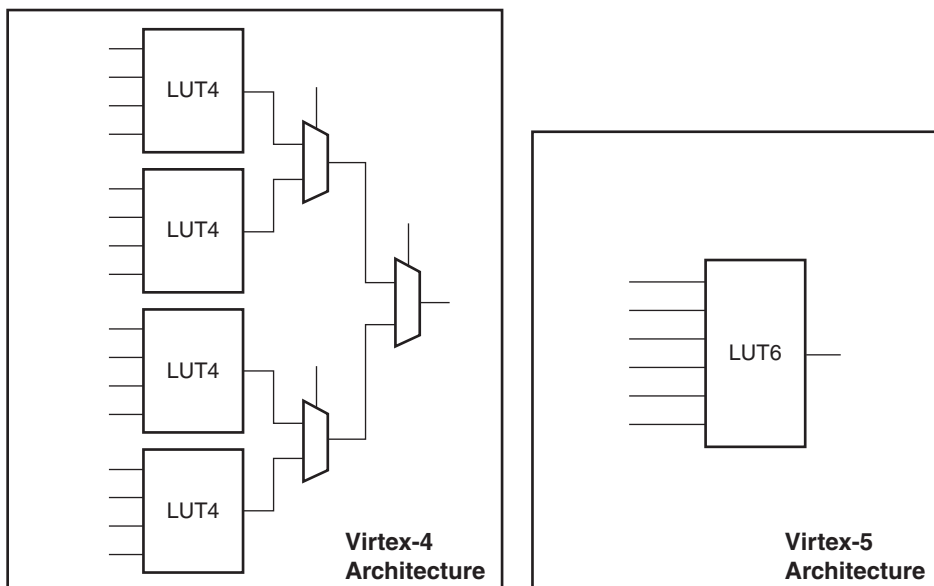


WP245_05_051006

図 5 : Virtex-4 および Virtex-5 アーキテクチャでの 8:1 MUX インプリメンテーション

分散 RAM およびシフトレジスタ

LUT の入力数が増加したことにより、分散メモリ機能 (LUT RAM) にもいくつかの改善点があります。新たに設定可能となったアスペクト比を使用すると、小規模メモリの機能を高い集積度でパックでき、パフォーマンスが向上します (図 6 を参照)。



WP245_06_051006

図 6 : Virtex-4 および Virtex-5 FPGA での 64 ビット LUT RAM インプリメンテーション

演算機能

Virtex-5 ファミリアーキテクチャでは、演算ファンクションのインプリメンテーションにも、次のような改善点があります。

- 3 入力の加算をサポート (1 つのキャリーチェーンを使用)
- 複雑なキャリー開始ロジック
- キャリーファンクション初期化用のグラウンドまたは V_{CC}

図 7 に示すように、パス遅延で計測された演算機能のパフォーマンスは、大きく向上しています。

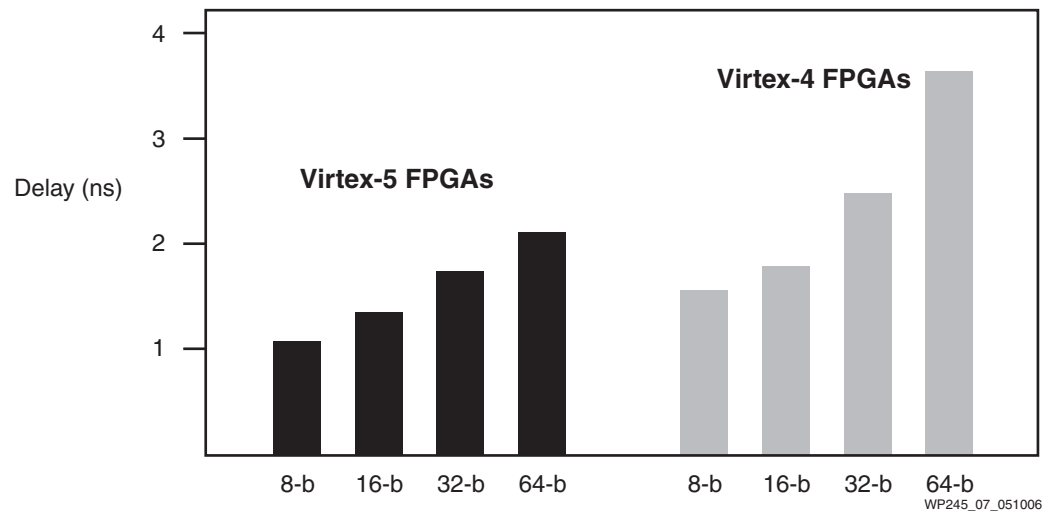


図 7: Virtex-4 および Virtex-5 FPGA でのマルチビット加算器のタイミング比較

ファンクション ブロックでの性能向上

表 2 に、Virtex-4 および Virtex-5 FPGA でのロジックおよび演算機能のパフォーマンス比較を示します。ここでは、各デバイス ファミリーで最高速のスピードグレードの場合を示します。また、デザインは ISE 8.1i ソフトウェアで実行しました。

表 2: ファンクション ブロックのパフォーマンス比較

	Virtex-4 FPGA	Virtex-5 FPGA
6 入力ファンクション ⁽¹⁾	1.1ns	0.9ns
64 ビット加算器	3.5ns	2.5ns
64 ビット、3 入力加算器	4.3ns	3.0ns
32 ビット パレルシフタ	3.9ns	2.8ns
48 ビット マグニチュード コンパレータ	2.4ns	1.8ns
128 X 32 ビット LUT RAM	1.4ns	1.1ns

メモ:

1. Virtex-5 FPGA では 1 つの 6 入力 LUT を、Virtex-4 FPGA では 2 つの 4 入力 LUT を使用します。

ブロック RAM

Virtex-5 ファミリーでのブロック RAM サイズは 36Kb に増加しています (Virtex-4 ファミリーでは 18Kb)。このため、Virtex-5 デバイスでは、大規模なメモリアレイの構築がより容易になります。さらに、36Kb ブロック RAM は 2 つの独立した 18Kb ブロック RAM としても使用できるため、基本的に、チップ上に 18Kb あるいはそれ以下サイズの RAM アレイを構築することによるデメリットはありません。

Virtex-5 ファミリーのブロック RAM を単純なデュアルポートモードで使用すると、ブロック RAM のバンド幅を効率的に 2 倍にできます。このモードでは、Virtex-5 ファミリーのブロック RAM 幅を、各ブロック RAM で 32 ビットから最大 72 ビットまで拡張可能です。

ブロック RAM の新機能または拡張機能は、次のとおりです。

- オプションとしてのスクラブ機能を持つ 64 ビット ECC 回路を統合
- プログラム可能な同期 FIFO オプション
- 1つのブロックで 72 ビットまでの FIFO をサポート
- 完全なデュアルポートの場合、最大 x36 の総ポート幅
- 単純なデュアルポートの場合、最大 x72 の総ポート幅
- 新しい電力管理用回路を内蔵。18K の各ブロックで 9K 以下を使用する場合、未使用 9K は自動的にオフ (最大 50% の電力削減)
- ビルトイン カスケード ロジックにより、隣接したブロック RAM とカスケード接続することで、1つの 64K X 1 RAM として使用可能
- 最高 550MHz で動作するため、Virtex-4 FPGA の 500MHz を越える性能を実現

DSP

Virtex-5 ファミリには、Virtex-4 FPGA の DSP48 スライス以上の機能を備えた新しい DSP スライス、DSP48E スライスが搭載されています。

- 乗算器の幅が拡張。Virtex-5 の DSP48E スライスには、25 X 18 ビット乗算器を基本とします (Virtex-4 では 18 X 18)。25 X 18 に拡張したことにより、カスケード数が減少し、全体的なパフォーマンスおよびリソース使用率が向上します。
幅の広い乗算機能を使用するアプリケーションの 1 つに浮動小数点演算があり、24 X 24、符号なしの乗算器を使用して、単精度浮動小数点乗算を実行します。1つの 24 X 24、符号なし乗算器は 2 つの DSP48E スライスで構築でき、これは Virtex-4 の場合に必要な DSP48 スライス数の半分です。実際には、単精度浮動小数点演算は、2 つの DSP48E スライスで実行可能な 35 X 25 機能のサブセットです。これに対し、Virtex-4 デバイスの場合は、2 つの DSP48 スライスで 1 つの 35 X 18 乗算器を作成し、4 つの DSP48 スライスで、24 X 24、符号なし乗算器をサブセットとする、1 つの 35 X 35 乗算器を作成します。
- 独立した C レジスタ。Virtex-5 デバイスでは DSP48E スライスで使用可能な信号数が増加しており、C レジスタが独立しています。したがって、DSP アルゴリズムのインプリメントがより柔軟、かつ容易になります。
- ロジックユニットの機能。Virtex-5 デバイスでは、加算ステージが拡張され、ロジック ファンクションがサポートされます。最初の乗算器がバイパスされる場合、ビット単位の XOR、XNOR、AND、NOT などのファンクションがサポートされます。
- 最高 550MHz で動作するため、Virtex4 FPGA の 500MHz を越える性能を実現します。

パラレル I/O

FPGA の内部動作の高速化は、デザインにおける課題の一部ではありません。システム パフォーマンスの最大化には、FPGA とその他のシステム コンポーネント間の相互リンクのパフォーマンスを向上させる必要があります。

Virtex-5 ファミリの SelectIO™ テクノロジは、Virtex-4 デバイスと同様に、ChipSync™ テクノロジおよびシングルエンドと差動 I/O をサポートするデジタル制御インピーダンス (DCI) など、頻繁に使用される多くの機能を備えます。

拡張された機能は、次のとおりです。

- 各バンクに 40 個の I/O。I/O 数は、Virtex-4 デバイスの 64 個から減少しているため、I/O 割り当ての柔軟性が増します。
- すべての I/O に ChipSync テクノロジーが採用され、最大 1,200 のユーザー I/O が使用可能です。
- ODELAY。Virtex-4 ファミリの ChipSync ロジックの場合、クロックとデータ間調整のため、すべての入力にプログラム可能な IDELAY エレメントがありました。Virtex-5 では、このブロックを入力または出力の遅延調整用にプログラム可能です。出力遅延の調整は、PCB のスキュー問題の回避に役立ちます。

Virtex-5 ファミリーでは、シングルエンド I/O が 800Mb/s、差動 I/O が 1.25Gb/s で動作します。

LVDS バンド幅

高性能の差動 I/O および大きなパッケージを使用すると、Virtex-5 デバイスでは、 $600 \times 1.25\text{Gb/s} = 750\text{Gb/s}$ のスループットが実現できます。

メモリ インターフェイス

すべての I/O に組み込まれた ChipSync テクノロジーによって、非常に優れた信頼性の高性能メモリ インターフェイスが実現します。75ps の精度で調整可能であるデータとクロックのキャリブレーション機能により、デザイン マージンが増加します。この調整機能は、プロセス、電圧、温度などによるシステムの変動を補正します。

Virtex-5 デバイスは、最新のメモリ アーキテクチャ向けの広バンド幅、かつ高速なインターフェイスのインプリメントが可能です (表 3 を参照)。

表 3: メモリ インターフェイスのバンド幅およびパフォーマンス

メモリ インターフェイス	データレート (Mb/s)	データ幅 (ビット数)	バンド幅 (Gb/s)
DDR2 SDRAM	667	576	384
QDR II SRAM	600	2 x 324	389
RLDRAM II	600	648	389

パフォーマンスを向上させるテクノロジー

Virtex-5 FPGA では、低スキューかつ低ジッタの 550MHz 差動クロック ストラクチャを組み込むことによって、クロック信号およびデータ信号のインテグリティを確保します。新しいクロック マネージメント タイルは、正確なクロック合成用のデジタルクロック マネージャ (DCM) とジッタ削減用の位相ロック ループ (PLL) を組み合わせ、クロック管理機能の柔軟性を高めます。

商標登録を有する ASMBL テクノロジーおよび豊富な PWR/GND ピンによって実現したスパース シェブロン パッケージとフリップチップ アセンブリ テクノロジーは、パッケージ サイズと PCB インダクタンスを縮小し、シグナル インテグリティを改善します。オンチップのアクティブ信号終端テクノロジーによるデジタル制御インピーダンス (DCI) は、コンポーネントのインターコネクトを最適化し、システム コンポーネント数およびコストを最小にします。詳細は、ホワイトペーパー WP247『Virtex-5 ファミリー アドバンスド パッケージ』を参照してください。

<http://www.xilinx.co.jp/bvdocs/whitepapers/wp247.pdf>

MHz あたりの消費電力が削減されることにより、パフォーマンスが電力バジェット内で大幅に向上します。Virtex-5 FPGA では、65nm テクノロジーを採用したことによってダイナミック消費電力が削減するだけでなく、トリプル酸化膜テクノロジーによって静止消費電力も最小になります。詳細は、ホワイトペーパー WP246 『65nm FPGA の消費電力』を参照してください。

<http://www.xilinx.co.jp/bvdocs/whitepapers/wp246.pdf>

デザイン入力方法とパフォーマンス ベンチマーク

Virtex-5 ファミリーにおけるパフォーマンス向上をさらに詳細に評価するため、ISE ソフトウェアでお客様のデザインを複数インプリメントしました。その結果、ロジックレベルの多いデザインで大幅な向上が見られました。これらのデザインのパフォーマンスは、新しい ExpressFabric テクノロジーによって、Virtex-4 FPGA と比較して最大 58% 高くなっています。図 8 に示すように、すべてのデザインの測定結果では、平均 30% のパフォーマンス向上が確認されました。

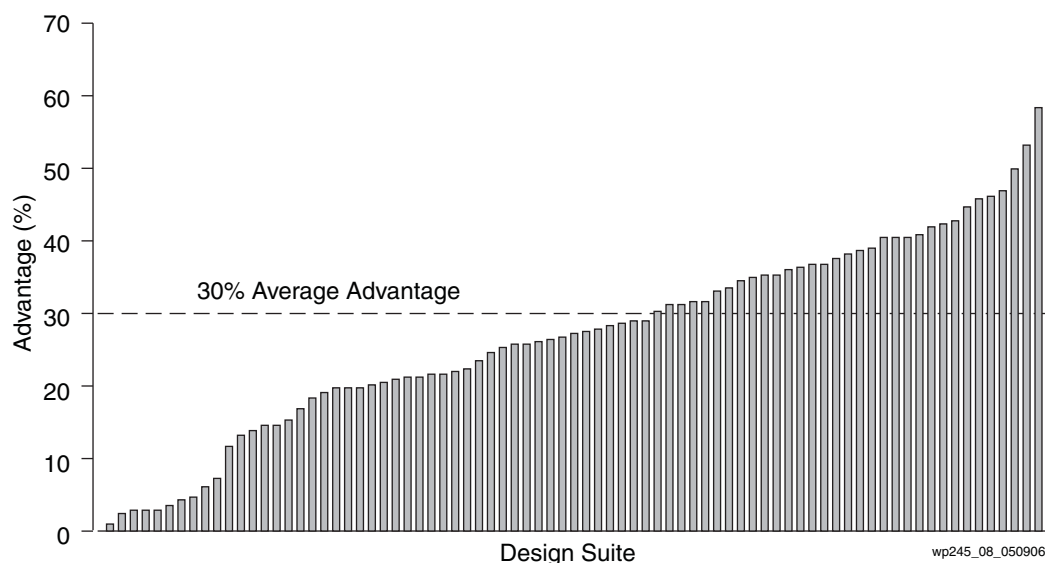


図 8 : Virtex-5 および Virtex-4 FPGA のロジック パフォーマンス比較

この比較には、RTL ベース (VHDL または Verilog) のデザインを使用しました。これらのデザインには、CORE Generator™ ソフトウェアで作成された EDIF ネットリストを使用して、FIFO およびメモリをインプリメントしたデザインも含まれます。

合成には XST を使用し、配置配線はエフォート レベルを High に設定して実行しました。また、クロック制約は、スラックが負になるまで 5% ずつ繰り返し増加させました。

最大のパフォーマンスを実現するための詳細およびヒントは、ホワイトペーパー WP218 『Virtex-4 FPGA での飛躍的なパフォーマンスの達成』の最後のセクションを参照してください。 <http://www.xilinx.co.jp/bvdocs/whitepapers/wp218.pdf>

まとめ

新たに ExpressFabric テクノロジーを採用した Virtex-5 ファミリーは、高性能なハード IP ブロック および I/O を高度に統合し、従来の FPGA アーキテクチャを著しく上回るパフォーマンスを達成します。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	変更内容
2006/05/12	1.0	初版リリース。
2006/05/17	1.1	'DSP' を更新。