



WP246 (v1.0) 2006 年 5 月 11 日

65nm FPGA の消費電力

Virtex™-5 ファミリの登場により、ザイリンクスは再び先駆者として、最新のテクノロジーと性能を FPGA コンシューマに提供することに成功しました。65nm テクノロジーへ移行を遂げた FPGA は、微細化に伴う低コスト、高パフォーマンス、高集積度といったさまざまな利益を享受してきた反面、65nm プロセス ノードによる新たな課題をも抱えています。このホワイトペーパーでは、その課題のひとつである 65nm FPGA の消費電力に焦点を当てています。Virtex-4 ファミリ同様、Virtex-5 デバイスでは、静止電力を抑制し、新たなプロセス ノードへの移行に伴うダイナミック電力削減のメリットも十分に反映するため、プロセスやアーキテクチャに革新的技術を応用しています。

© 2006 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and further disclaimers are as listed at <http://www.xilinx.com/legal.htm>. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

NOTICE OF DISCLAIMER: Xilinx is providing this design, code, or information "as is." By providing the design, code, or information as one possible implementation of this feature, application, or standard, Xilinx makes no representation that this implementation is free from any claims of infringement. You are responsible for obtaining any rights you may require for your implementation. Xilinx expressly disclaims any warranty whatsoever with respect to the adequacy of the implementation, including but not limited to any warranties or representations that this implementation is free from claims of infringement and any implied warranties of merchantability or fitness for a particular purpose.

はじめに

従来、アプリケーションに合わせて FPGA を選択する際、最大の技術的要因となつたのはパフォーマンスでした。設計の際に電源供給や温度設計を配慮することはあっても、消費電力がデバイス選択時の決定要因となることはありませんでした。ところが、FPGA の微細化によって集積度が増し、パフォーマンスが向上するにつれ、FPGA ベースのデザインのコンポーネント選択時において、消費電力には以前に増して関心が集まりはじめました。次世代システムの設計者たちは、同等（または小規模）のスペースと消費電力で、より多くの機能とより高度なパフォーマンスを統合しようとしています。さらに、システムの仕様や規格に準拠すべく特定の電力要件を厳守しなければならないアプリケーションもあります。65nm FPGA の Virtex-5 ファミリーは、デバイスのパフォーマンスを損なわずに、可能な限り低い消費電力で動作するようデザインされています。最新のプロセス技術、回路設計、およびデバイスのアーキテクチャを以って実現されたのです。

省電力の利点

FPGA デザインにおいて、低消費電力の実現は、デバイスの動作条件を満たす以上のさまざまな利益に繋がります。コンポーネントが仕様範囲内で動作し、期待どおりのパフォーマンスや信頼性を得ることは明らかに重要であり、それらをどう達成するかがシステム全体のコストや複雑性を左右します。

まず、FPGA の電力消費を低減することは、システムの電源設計の直接的なメリットとなります。電源電圧が降下すると、電源コストが低減されるためコンポーネント数が削減され、結果的に PCB 面積の小型化に繋がります。高性能電源システムのインプリメントコストは、ワットごとに通常 \$0.50 ~ \$1.00 かかります。したがって、FPGA の省消費電力化は全体のシステムコストに直接反映されるのです。

さらに、低消費電力化においては、排熱は避けては通れない問題であるため、消費電力が低減されれば、シンプルで低コストな熱管理ソリューションが実現できます。通常のデザインでは、ヒートシンクは不要な場合が多く、必要な場合でも小型のヒートシンクで済みます。大規模かつ高性能なデザインでは、信頼性を高めたい、コストのかかるコンポーネントに、アクティブヒートシンクの代わりにパッシブヒートシンクを使用します。システムの気流要件による冷却の必要性も同様に削減されます。再度述べますが、FPGA の低消費電力化は、全体のシステムコストの低減や複雑性の縮減をもたらします。

最後に、低電力化に伴って、コンポーネント数が削減し、デバイス温度が低下するため、システムの信頼性が向上します。デバイスの動作温度が 10℃ 降下すると、コンポーネントの寿命は 2 倍延長すると解釈されます。この事実は、高信頼性が要求されるシステムの温度管理の重要性を明らかに示しています。そういった意味でも、FPGA の低電力化は、システム全体の品質に直接影響を及ぼします。

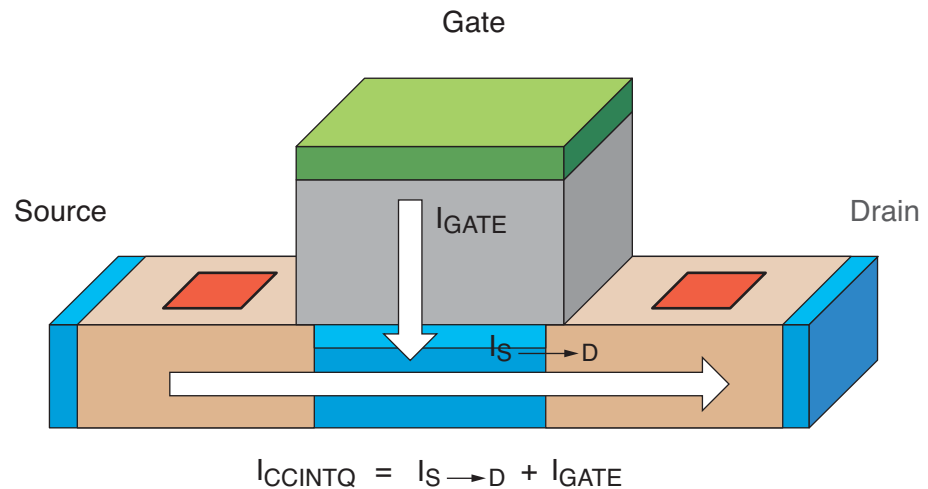
65nm プロセスの電力の課題

FPGA を始めとする半導体デバイスの総消費電力は、静止電力とダイナミック電力という 2 つのコンポーネントに分類されます。静止電力は主に、デバイス内のトランジスタのリーク電流です。リーク電流とは、トランジスタが論理的にオフの状態であっても、ソースからドレインへ、あるいはゲート酸化膜を通して発生する微量な電力の「漏れ」です。ダイナミック電力は、コアあるいはデバイスの I/O で切り替え時に消費する電力を意味するため、周波数に依存します。

静止電力の課題

前述のとおり、静止電力とは主にトランジスタのリーク電流のことです。量子力学的には、トランジスタの微細化（例：90nm デバイスから 65nm デバイスへ）につれ、

リーク電流も増加します。この予想された増加は、CMOS トランジスタの物理的な微細化に直接起因して発生します。チャンネル長を短縮させ、ごく薄いゲート酸化膜を取り入れた新しいプロセス ノードでは、チャンネル領域を流れるリーク、あるいはトランジスタのゲート酸化膜中を突き抜けるトンネルリーク発生危険と背中合わせです。図 1 に、ソースからドレインへのリーク（サブスレッショルドリーク電流）とゲートリークの 2 種類のリークを示します。



WP246_01_050206

図 1: トランジスタのリーク電流の仕組み

リークを制御する著しい改善なくしては、FPGA ファブリックの高度なサブミクロンレベルのプロセス ノードで、静止電力上の問題が発生しかねません。90nm プロセス ノードでこの危険性がはじめて指摘され、ザイリンクスでは、他社の 90nm FPGA 製品に先駆けて、Virtex-4 デバイスにて静止電力の問題への大規模な対策を講じ、旧世代製品に比べて実際にリーク電流を低減させました。

90nm デバイスで、リーク電流を配慮しない場合に実際に発生するおそれのある問題については、ホワイトペーパー、WP221 『Static Power and the Importance of Realistic Junction Temperature Analysis』を参照してください

(<http://www.xilinx.co.jp/bvdocs/whitepapers/wp221.pdf>)。65nm プロセス ノードでは、静止電力を適切に制御しない場合さらに、問題が深刻化する可能性があります。

ダイナミック電力の課題

一方ダイナミック電力の場合には、65nm FPGA は別の課題をも抱えています。ダイナミック電力の消費量を表す式を次に示します。

$$\text{ダイナミック消費電力} = CV^2f$$

C はノードスイッチのキャパシタンスを表し、 V は電源電圧、 f はスイッチ周波数を示します。65nm プロセス ノードを使用した FPGA では、旧世代デバイスに比べ、集積度が著しく高まり、パフォーマンスも大幅に向上しています。すなわち、より高い周波数で、より多くのノードが切り替えられていることとなります。これ以外に目立った相違はありませんが、最大規模の FPGA デバイスではダイナミック電力も増加する傾向にあります。

ただし、65nm プロセスのダイナミック電力においては負の側面ばかりではありません。一般的に、FPGA の主となる電源電圧 (V) は、プロセス ノードが改新されるごとに減少します。ノードキャパシタンス (C) もまた、トランジスタの微細化に伴い、寄生キャパシタンスの低減およびロジック間の容量性接続の減少や接続間の短

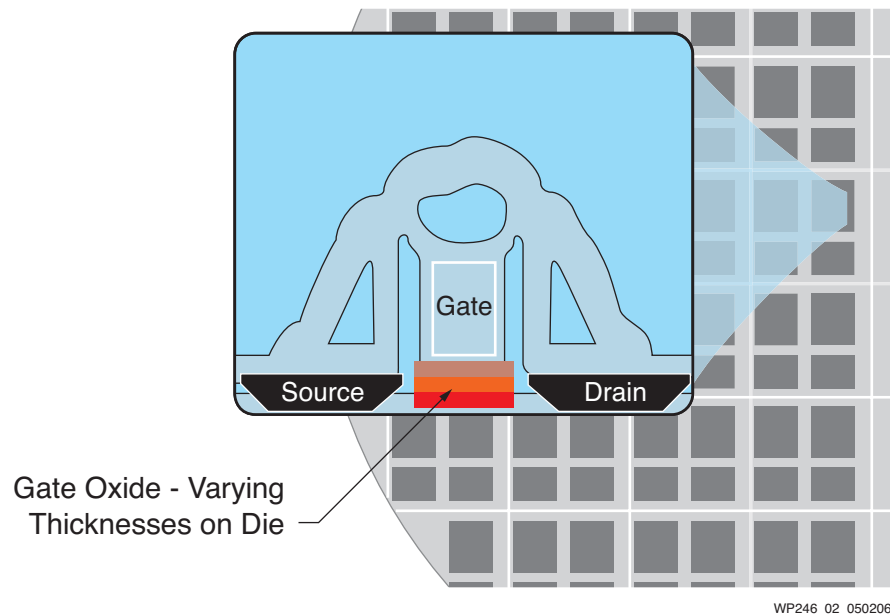
縮によって減少傾向にあります。つまり、65nm FPGA のダイナミック電力が得る効果も絶大なのです。

静止電力の課題

トリプル酸化膜テクノロジー

立ち足はかかる技術的障壁を打ち破るには、革新が問題解決の鍵を握ります。ザイリンクス FPGA の革新の歴史は、その発明にまでさかのぼりますので、ザイリンクスにとって、90nm の静止電力の問題を解決したことは、何ら驚くには値しません。Virtex-4 ファミリーでは、ザイリンクスは、リーク電流に悩む回路設計者にとって力強い味方となるトリプル酸化膜プロセステクノロジーを導入しました。Virtex-5 ファミリーでも 65nm プロセステクノロジーを採用した結果、消費電力を著しく削減することに成功しました。

旧世代 FPGA には、主として高パフォーマンス用、FPGA のコア内部の低動作電圧トランジスタ用の極薄のゲート酸化膜と、I/O ブロック内の大規模、高電圧トランジスタ用の厚めの酸化膜、の 2 種類の膜厚が使用されていました。トリプル酸化膜の構造は極めてシンプルで、トランジスタに中間厚のゲート酸化膜（中間酸化膜）を使用し、デバイスの主なリーク電流を制御します。ゲート酸化膜の構造は、半導体ウェハのプロセス技術において、長期に渡って広く利用されてきました。安定性や製造プロセスにも優れていることから、比較的容易に 3 種のゲート酸化膜厚を用いる 65nm プロセスが統合されたのです。図 2 に、65nm トランジスタをクロスセクションで観察した場合のトリプル酸化膜を図示します。



WP246_02_050206

図 2 : 65nm トランジスタのトリプル酸化膜プロセスのクロスセクション

トランジスタに中間的なゲート酸化膜厚を用いることで、薄型を使用した同サイズの製品に比べ、リーク電流が著しく削減されました。中間酸化膜では、トランジスタのしきい電圧 (V_t) がわずかに上昇し、ソースからドレインへのリーク電流（サブスレッショルドリーク電流）およびゲートリーク電流が抑えられます。薄型酸化膜を使用したトランジスタに比べ、パフォーマンスは劣りますが、FPGA の内部にはパフォーマンスがそれほどクリティカルでない部分が多々あるため、この問題の重要度は高くないと言えます。

たとえば、中間酸化膜を使用したトランジスタが多用されるのがデバイスのコンフィギュレーションメモリです。コンフィギュレーションメモリは何百万というメモリセルで構成され、FPGA 設計者が作成したデザインデータの保存に使用されません。デバイスの動作中は静止状態になるため、このメモリセルを高パフォーマンスのトランジスタで構成する必要はありません。コンフィギュレーションメモリには、実際に何百万、何千万という数のトランジスタが存在し、この新構造トランジスタを使用して桁違いにリーク電流を削減しています。

ロジックファンクション間の信号を繋ぐ FPGA の配線アーキテクチャで使用されるパスゲートトランジスタでも、この機能が応用されています。高速信号がソースからドレインへトランジスタを通過するためには、デバイスのゲートは動作中に固定あるいは静止状態です。つまり、ゲート電圧の変更に合わせてトランジスタの切り替え時間を高速にする必要がないのです。したがって、この中間酸化膜トランジスタ技術は、FPFA 内の何百万というパスゲートトランジスタに最適で、かつリーク電流も著しく削減できます。

トリプル酸化膜プロセスの応用によりトランジスタ機能を安定させたことで、ザイリンクスは回路設計者が適切なトランジスタを使用できるよう多大な貢献をしました。回路設計者は、適切な酸化膜厚の選択と組み合わせで、FPGA の各コンポーネントのトランジスタのチャンネル長およびパラメータが、パフォーマンスや消費電力に合わせて最適化されるよう調整できます。薄型酸化膜を使用した、リーク電流の危険性の高いトランジスタは、超高速切り替えが必要とされる高速パス部分にのみ適用します。結果として、リーク電流、つまりは FPGA デバイス全体の静止電流が大幅に改善されます。

アーキテクチャの变革

プロセスの改革のみならず、Virtex-5 デバイスではリーク電流を抑えるための新しいアーキテクチャが使用されています。特に、6 入力のルックアップテーブル (LUT6) は、FPGA 業界初の真のアーキテクチャです。この新しい LUT6 デザインでは、各 LUT のロジック容量が約 50% 増加します。実質的な影響としては、抵抗が小さいほど LUT 内のローカルにより多くのロジックを要します。

トランジスタのリークは、ユニット幅ごと (ソースからドレインへのリーク) の電流、またはユニット領域ごとの電流 (ゲートリーク電流) で計測するため、トランジスタが小型になるほどリーク量が減少するのは明らかです。LUT にインプリメントするロジック数が増すほど大規模トランジスタの数も減少し、ロジックファンクション間の信号を駆動するバッファドライバのサイズも縮小できます。結果的に、新しい LUT6 アーキテクチャではロジック容量に対するトランジスタサイズの比率が低くなるため、仮に 65nm プロセスを旧型アーキテクチャに応用した場合と比較したとしても、リークは減少するのです。

結論

65nm プロセスノードへの移行は、静止電流の劇的な増加を招くだろうという予想を裏切り、Virtex-5 デバイスに応用された新プロセスおよびアーキテクチャは、前世代デバイスの Virtex-4 の静止電力に匹敵するリーク電流制御に成功しました。Virtex-4 デバイスではすでに、Virtex-II Pro デバイスに比べ静止電力が 40% 削減されており、他社 90nm FPGA との比較では、70% 以上も削減されています。Virtex-5 ファミリーも、静止電力の低減におけるリーダーの座を引き継いでいます。

ダイナミック消費電力の課題

前述のとおり、FPGA の 65nm プロセスへの移行は、ダイナミック消費電力における利点と課題を抱えています。世代最大規模の FPGA で最高速度の動作を望むユーザーにとって過去最大のロジック容量とパフォーマンスを期待すれば、ダイナミッ

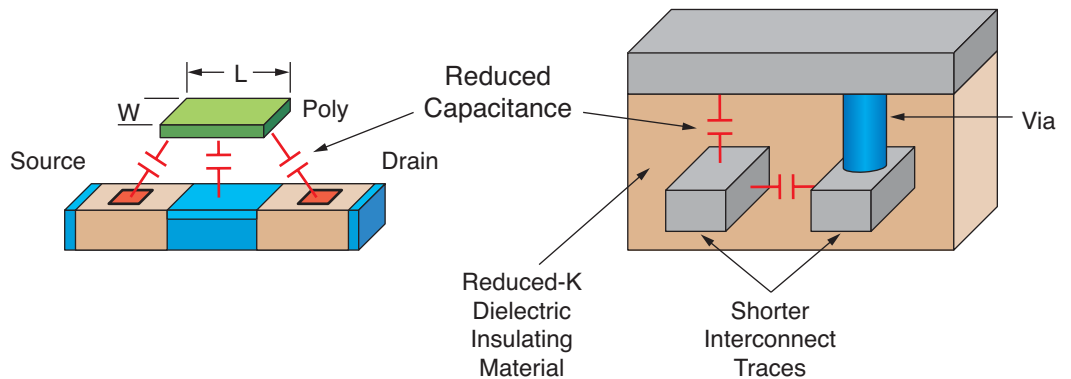
ク消費電力の増加を招くことは必須です。しかし、前述した 65nm デバイスの電圧スケールやノードのキャパシタンスの減少という利点は、広範囲のアプリケーションにおいてダイナミック消費電力の大幅な削減に役立ちます。また、FPGA のダイナミック消費電力は 2 種類存在し、コアのダイナミック消費電力と I/O のダイナミック消費電力があることを認識することも重要です。

コアのダイナミック消費電力

Virtex-5 デバイスのコアの電源電圧 (V_{CCINT}) は、Virtex-4 デバイスの 1.2V から 1.0V に減圧されています。この値をダイナミック消費電力を求める公式 (CV^2f) に当てはめると、電圧とダイナミック消費電力の関係により、約 31% の削減を示します。

さらに、プロセスを 65nm へ縮小することで、FPGA のノード キャパシタンスも平均して減少する傾向があります。図 3 に、キャパシタンスの減少の 2 つの要因を示します。まず、小型化した 65nm のトランジスタに結びつく寄生キャパシタンスも低くなります。これには、ゲートからトランジスタの基板、ソース、ドレインへのキャパシタンスが含まれます。

また、65nm デバイスのインターコネクタでは、信号の移動距離が物理的に短くなるため、エレメント間の配線キャパシタンスが低くなる傾向があります。まず、さらに、Virtex-5 デバイスでは、メタル接続層間の配線キャパシタンスを抑えるため、メタル層のインターコネクタに Low-K (低誘電率) 材料が使用されています。



WP246_03_050206

図 3 :Virtex-5 デバイスでのノード キャパシタンスの減少

Virtex-5 デバイスでの平均的なノード キャパシタンスは、Virtex-4 デバイスに比べて 15% 減少しています。電圧が下がるというメリットに加え、Virtex-5 デバイスのコアのダイナミック消費電力は、周波数が一定の場合には全体で 35% ~ 40% の減少が見込まれます。Virtex-5 デバイスは Virtex-4 デバイスに比べ 50% パフォーマンスを向上させた場合でも、12% の消費電力削減を示しました。表 1 に、コアのダイナミック消費電力の電圧およびノード キャパシタンスの減少を示します。

表 1: コアの ダイナミック消費電力の電圧およびノード キャパシタンスの減少

	Virtex-4 ファミリー 90nm	Virtex-5 ファミリー 65nm	比較 %	電力比率
V_{CCINT}	1.2	1.0	-16.6%	0.69
C_{TOTAL}	1.0	0.85	-15%	0.85
消費電力	1.44	0.85	-40%	0.59

I/O のダイナミック消費電力

I/O コンポーネントの切り替えによる FPGA の消費電力は、ダイナミック消費電力と同様の公式に当てはまり、 CV^2f で求められます。ただし、I/O 電源電圧 (V_{CCO})、駆動能力、終端要件は、インプリメントされた I/O 規格におおむね左右されますので、動作周波数が安定していると仮定した場合には、I/O のダイナミック消費電力は Virtex-5 デバイスでもほぼ同値になると考えられます。

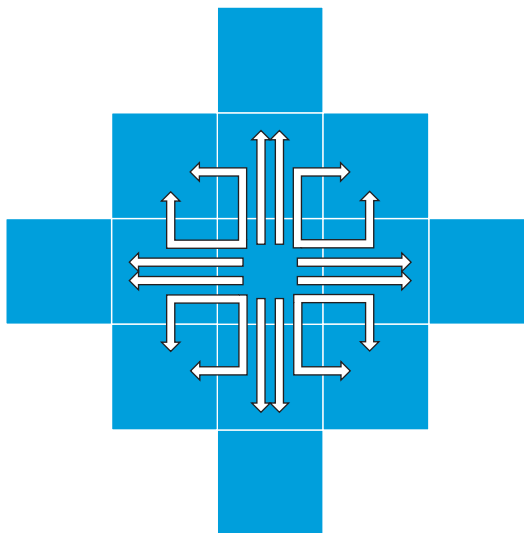
アーキテクチャの変革

静止電力然り、Virtex-5 ファミリのアーキテクチャは、主としてデバイスのコアにおけるダイナミック消費電力をさらに減少させました。この新しいアーキテクチャの利点を活用した FPGA デザインでは、35% ~ 40% を超えるコアのダイナミック消費電力減少が実現できます。

まず、すでに静止電力で記述した LUT6 アーキテクチャは、コアのダイナミック消費電力の削減にも同様の利点があり、LUT のロジック集積度が高まったことで、ローカルの低キャパシタンス ノードのパーセント比率も向上しています。ロジック機能の接続がプログラマブルなため、キャパシタンスが大きいノードも減少します。

次に、Virtex-5 デバイスは、新しく「対角の」インターコネクトエレメント技術を導入した統一配線アーキテクチャを使用しています。結果的に、FPGA デザインのロジックエレメント間の「直接接続」配線、あるいは 1 ホップ配線の使用率が向上します。1 ホップ接続の多用により、パフォーマンスを向上させることができるだけでなく、ロジックエレメント間のノードの平均的なキャパシタンスを減少させるメリットがあります。図 4 に、斜め方向に直接接続できる Virtex-5 の新しい配線アーキテクチャを示します。

同時に、LUT6 アーキテクチャおよび配線パターンの改善によって、コアのダイナミック消費電力が削減されました。これは、平均的なノードキャパシタンスを 65nm プロセスで達成した以上のレベルで低減することによるものです。ダイナミック消費電力への影響度は、デザインやインプリメントに依存します。新しいアーキテクチャの変革を十分に活用して最適化された FPGA デザインが、その恩恵を最も被ることができるのです。



WP246_04_050206

図 4 :Virtex-5 の「対角上」のインターコネクトを使用した配線アーキテクチャ

エンベデッド ブロック

Virtex-5 デバイスは、業界の前世代のどの FPGA よりも多くのエンベデッド (ハード IP) ブロックを備えています。これらのブロックを適切に使用した FPGA デザインでは、汎用目的の FPGA ロジックにこの機能をインプリメントした場合に比べ、ダイナミック消費電力がさらに大幅に削減されます。

FPGA ファブリックとは異なり、ハード IP ブロックは必要な機能をインプリメントするのに必要なトランジスタのみで構成されます。インターコネクトはプログラマブルではないため、配線キャパシタンスは最小となります。これらのハード IP ブロックは、汎用目的のファブリックにインプリメントした場合に比べ、同じ機能をわずか 1/10 の電力で実行します。

Virtex-4 デバイス内のエンベデッド ブロックの多くは、Virtex-5 ファミリでその機能、パフォーマンス、消費電力が抜本的に改善されています。例をあげると、Virtex-4 ファミリの 18Kb ブロック RAM の構成が変更されています。Virtex-5 デバイスには 36Kb ブロック RAM モジュールがあり、論理上 1 つの 36Kb メモリ、あるいは 2 つの個別の 18Kb メモリとして使用できます。

消費電力の側面からこれを見た場合に興味深いのは、18Kb メモリ ブロックが、実際には 2 つの 9Kb の物理的メモリ アレイで構成されていることです。ダイナミック消費電力を抑えることを目的として、読み出しまたは書き込み動作中のアクティブな 18Kb ブロック (電源投入後) は、ほとんどのブロック RAM コンフィギュレーションでは 9Kb の物理的メモリ 1 つのみを使用します。ブロック RAM のアドレス、入力、出力の各ポートのロジックは、トランザクションごとに適切な 9Kb の物理アレイが選択されるように制御します。この方法では、一度に消費されるダイナミック電力は、9Kb の物理アレイの半分のみです。ただし、設計者にとっては、ブロック RAM は 1 つの連続したメモリに見えます。図 5 に、Virtex-5 デバイスの 36Kb ブロック RAM を示します。

Virtex-5 デバイスのエンベデッド DSP も、より高いパフォーマンスを低消費電力で実現できるよう変更されています。対スライス比では、Virtex-5 の DSP スライス、Virtex-4 の DSP スライスより約 40% 低い消費電力で動作します。前述したとおり、これは 65nm プロセスの電圧およびキャパシタンスのスケール ファクタに起因します。

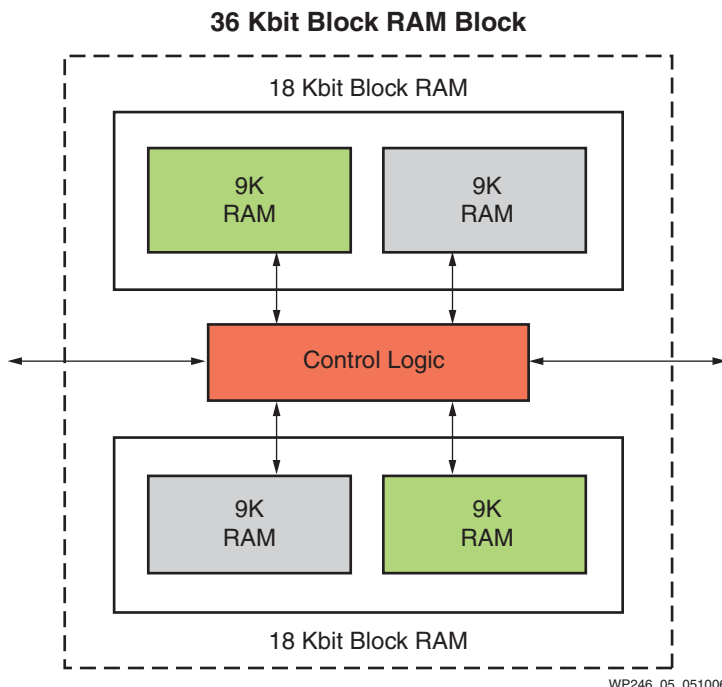


図 5 : 36Kb ブロック RAM の 9Kb 物理メモリアレイ

新しい Virtex-5 DSP スライスが優れた機能とインターフェイスを備えているため、DSP オペレーションの多くにこの利点の影響による消費電力の著しい減少が見られます。25 X 25 乗算器を例にとると、Virtex-5 デバイスでは 2 つの DSP スライスをインプリメントするだけですが、同様の DSP スライスの機能を Virtex-4 デバイスにインプリメントしようとする、DSP スライスを 4 つ使用し、複数のファブリックロジックをさらに追加する必要があります。Virtex-5 のインプリメント結果の例では、Virtex-4 ファミリーに比べて 75% のダイナミック消費電力が削減されています。図 6 に、実際のウェハ特性データに基づく試験結果を示します。

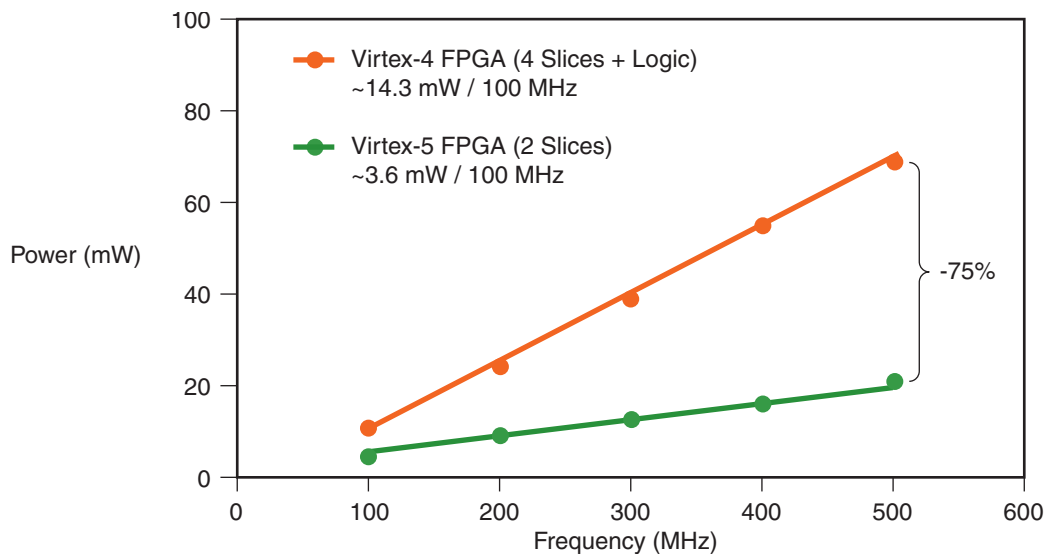


図 6 : 25 X 25 乗算器でのダイナミック消費電力の比較

結論

Virtex-5 デバイスは、90nm 世代の FPGA に対して、少なくとも 35% ~ 40% のコアのダイナミック消費電力削減を実現します。Virtex-5 では、新しいアーキテクチャ機能とさまざまなハード IP ブロックを応用したデザインにより、さらに消費電力が削減されます。図 7 に、シングル キャラクター化 デザインを使用した Virtex-4 デバイスと初期の Virtex-5 のコアのダイナミック消費電力を比較します。このデザインでは、1024 個の 8 ビット カウンタをデバイスのファブリックにインスタンス化し、平均 12.5% のトグル レートを生成します。次に、同じバージョンの ISE ツールを使用して、両デバイスに同一の HDL ソース コードを適用します。このデザインは実際に使用されるデザインとは異なりますが、Virtex-5 デバイスで実現できるダイナミック電力の削減レベルが確認できます。

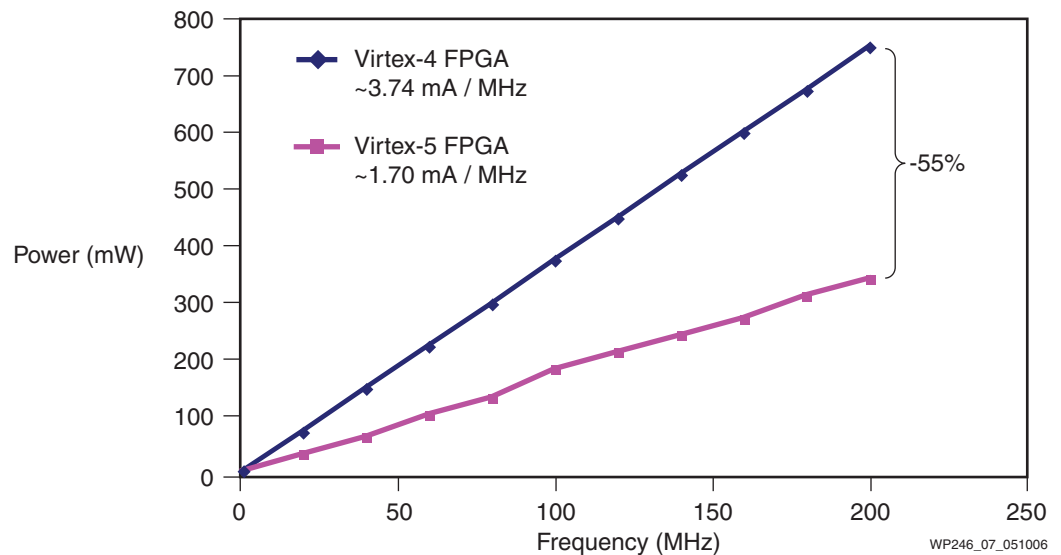


図 7: デザイン例とコアのダイナミック消費電力との比較

総消費電力

前述内容でも触れましたが、Virtex-5 デバイスは、ワーストケースの温度条件下であっても Virtex-4 デバイスに匹敵する静止電力を維持するようデザインされたデバイスです。Virtex-4 デバイスではすでに、他社の 90nm FPGA 製品に比べて 70% 低い静止電力を実現していますが、Virtex-5 ファミリでも、FPGA 市場に引き続き、静止電力の大幅な削減をもたらしました。

I/O ダイナミック消費電力は、現在の I/O 規格においては比較的一定な値を維持していますが、コアのダイナミック消費電力では、少なくとも 35% ~ 40% の削減が見込まれます。Virtex-5 デバイスに搭載の改善されたエンベデッドブロックと、新しいアーキテクチャの機能を十分に利用することで、さらに大幅な消費電力削減が実現できます。

Virtex-5 デバイスの総消費電力でどれだけの削減が期待できるかは、デザインの静止電力、I/O のダイナミック電力およびコアのダイナミック消費電力の比に依存します。ただし、コア ダイナミック電力はこれらの 3 つの要素の中でも特に依存の割合が高く、Virtex-5 デバイスでの消費電力削減の大部分を占めることから、多数のデザインにおいて総消費電力の削減が実現されます。

まとめ

Virtex-5 FPGA ファミリは、開発の初期段階から、パフォーマンスを維持しつつ消費電力を低く抑えるようデザインされた製品です。デザインプロセス、回路設計、デバイスアーキテクチャにおいて革新的な技術を使用した Virtex-5 デバイスは、消費電力のバジェットに対応すると同時に、次世代のシステムに不可欠なパフォーマンスや機能を提供します。業界初の 65nm FPGA で、Virtex-5 ファミリは、市場におけるザイリンクスの伝統を引き継いで行くのです。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2006/05/11	1.0	初期リリース