



WP249 (v1.3) 2011 年 7 月 6 日

# SPI-4.2 の ダイナミック位相アライメント

著者 : Robert Le、Kyle Locke

---

この資料では、Virtex<sup>®</sup>-4、Virtex-5、Virtex-6、7 シリーズ FPGA の SPI-4.2 ダイナミック位相アライメント (DPA) Sink コアの動作について説明し、SPI-4.2 DPA ソリューションの使用に関するガイドラインを示します。

## DPA の概要

SPI-4.2 レシーバー インターフェイスは、16 のデータ ビット (RDat)、1 つの制御ビット (RCtl)、1 つのクロック (RDClk) から成る合計 18 の DDR ソース同期 LVDS ペアで構成されます。DPA ロジックは、クロックを基準にデータをシフトさせてデータアイ中央の最適なサンプリング位置を選択し、データバス上のビット間スキューを除去することにより、ソース同期データを正しくキャプチャできるようにします。

SPI-4.2 DPA コアは、Virtex-4、Virtex-5、Virtex-6、7 シリーズ FPGA のすべての I/O に組み込まれた Advanced SelectIO™ テクノロジを使用します。Advanced SelectIO テクノロジの一部として備えられている ISERDES には、サブモジュールとして IDELAY、SERDES、BITSLLIP が含まれます。IDELAY サブモジュールには 64 タップ (Virtex-4 および Virtex-5 FPGA) または 32 タップ (Virtex-6 および 7 シリーズ FPGA) の遅延ラインがあり、カウンター制御のタップ マルチプレクサーが付いています。同じクロック領域にある遅延ラインはすべて、ユーザーから供給される 200MHz 基準クロックを使用してサーボ システム (IDELAYCTRL) で連続してキャリブレーションされます。これにより、プロセス、電圧、温度の変動による影響が抑えられます。DPA ロジックは ISERDES とそのサブモジュールを使用してデータのデシリアライズ、遅延、シフトを実行し、データアイ中央のクロックに揃うようにします。

SPI-4.2 DPA ロジックはいくつかの DPA 機能をサポートしています。次の機能は、CORE Generator™ ソフトウェアで設定可能です。

## DPA のパラメーター

**Master-Slave IDELAY Offset** : Master IDELAY および Slave IDELAY の遅延タップ値のオフセットを指定します。デフォルト値は 2 です。

**Alignment Test Interval** : IDELAY の 1 タップで取得するサンプルの数を指定します。デフォルト値は 128 です。

## DPA クロック調整

**Enable DPA Clock Adjustment** : このオプションを有効にすると、DPA ロジックがクロック遅延を調整し、IDELAY タップ パターンのジッターによるシステム タイミングへの影響が抑えられます。この機能は、RDClk 信号に IDELAY を挿入することでインプリメントされます。Virtex-6 および 7 シリーズ FPGA を使用したデザインでは、RDClk クロックがリージョナル クロックとして分配されている場合のみ利用できます。

## 自動リトライ

**Enable Auto-Retry** : このオプションを有効にすると、DPA プロセスにエラーが発生した場合に、アライメントが完了するまで DPA プロセスが自動で再開されます。

## 連続アライメント

**Enable Continuous Alignment** : このオプションを有効にすると、DPA は動作中も継続的にアライメントを監視し、システム タイミングの変化に合わせてデータのサンプリング位置を調整します。

**Generate Continuous Alignment Halt Pin** : このオプションを有効にすると、動作中に行われる連続アライメント プロセスを停止する専用の入力ピンが有効になります。

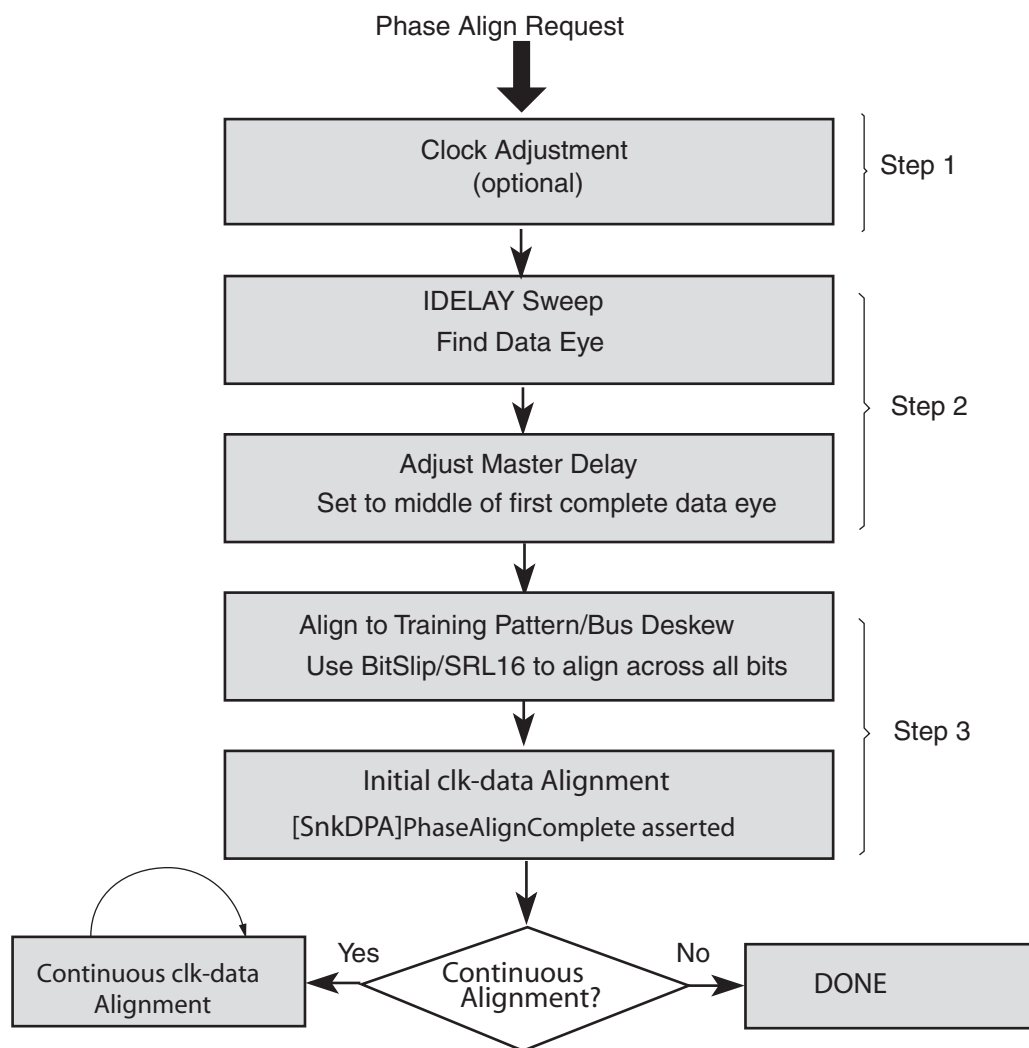
## 診断に関する設定

**Enable DPA Status Monitoring** : このオプションを有効にすると、ユーザーは SnkBusErrStat バスを使用して DPA ロジックを監視できます。

**Report IDELAY on SPI-4.2 Bus Index** : このオプションを有効にすると、指定した SPI-4.2 バス インデックスの初回アライメント実行中に、SnkBusErrStat が IDELAY 値を返します。有効なインデックス値は 0 ~ 16 (16 は制御ビット) です。

**Generate Advance DPA Diagnostic Ports** : このオプションを有効にすると、ユーザーは動作中に高度な DPA 診断ポートを使用して SPI-4.2 バスの各ビットの有効データ ウィンドウを計測およびキャプチャできます。

図 1 に、DPA の全体的なフローチャートを示します。



WP249\_01\_051611

図 1 : DPA の主な流れ

[SnkDPA] PhaseAlignRequest<sup>(1)</sup> 信号が High から Low に遷移すると、DPA ロジックは IDELAYCTRL からの Ready 信号 (同じ領域にある IDELAY モジュールのキャリブレーションが完了したことを示すコア内部信号) を待機します。この Ready 信号がアサートされると、DPA ロジックはアライメント プロセスを開始します。アライメントはバスのすべてのビットに対して独立かつ同時に実行されます。

アライメント プロセスは、基本的に次の 4 段階で実行されます。

#### 1. DPA クロック調整 (オプション)

この機能を選択すると、DPA ロジックは初回のビット アライメントの前にクロック アライメントを実行します。この機能は、SPI-4.2 バスのデータ ビットと制御ビットのトレースがほぼ一致している場合のみ使用してください。

#### 2. 初回ビット アライメント

DPA ロジックはクロックを基準にデータをシフトしてビット アライメントを実行し、最適なサンプリング位置を検出します。SPI-4.2 バスの各ビットは、それぞれ独立してクロックを基準に位置が調整されます。

#### 3. ワード アライメント

各ビットに対するビット アライメントが完了すると、DPA ロジックは SPI-4.2 トレーニング パターンに対するデータ ビットのワード アライメントを実行し、データ ビット間のスキューを除去します。ビット アライメントとワード アライメントの両方が完了すると、DPA ロジックは [SnkDPA] PhaseAlignComplete をアサートします。連続アライメント オプションを有効にしている場合はこれでアライメントが完了し、さらにトレーニング パターンを受信してもアライメントは実行されません。

#### 4. 連続アライメント (オプション)

このオプションを有効にした場合、[SnkDPA] PhaseAlignComplete がアサートされた後に連続アライメントのプロセスが開始します。DPA ロジックは初回のアライメントが完了した ([SnkDPA] PhaseAlignComplete がアサートされた) 後も受信したデータ サンプルを中断することなく監視し、データのサンプリング位置を調整します。このプロセスは、SPI-4.2 トレーニング パターンの有無に関係なくバスのすべてのビットに対して連続的かつ独立して行われます。この監視機能は、遷移のあるデータ パターンであれば実行できます。

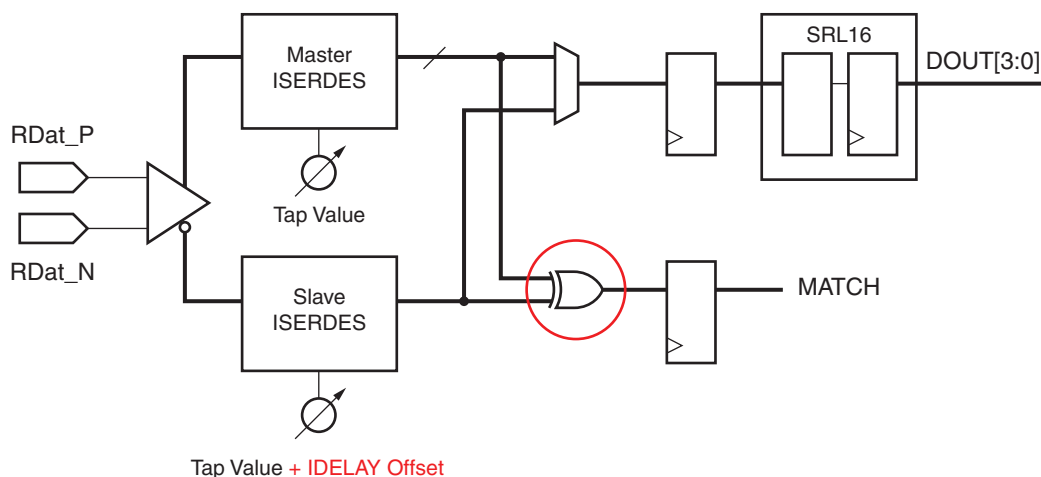
## 初回ビット アライメント

初回ビット アライメントのプロセスでは、オフセットのサンプリングによってデータ遷移を検出し、データの最適なサンプリング位置を決定します。DPA ロジックはまずデータの遷移位置を検出し、次にこの情報を使用してデータ アイの最適なサンプリング位置を決定します。

このため、[SnkDPA] PhaseAlignRequest がアサートされたら有効な SPI-4.2 トレーニング パターンを送信する必要があります。SPI-4.2 トレーニング パターンは、0 と 1 が 10 個ずつで構成される 20 ビットのパターンで、トレーニング モードの間、トランスミッターによって連続して送信されます。[SnkDPA] PhaseAlignRequest が High から Low へ遷移すると、DPA ロジックは IDELAYCTRL からの Ready 信号 (コア内部信号) を待機し、この信号を受信してからアライメント プロセスを開始します。

DPA ロジックでは、1 つのデータ ビットにつき 2 つの ISERDES モジュールが使用されます。図 2 に基本的な DPA ロジックを示します。2 つの IDELAY のタップ遅延の差 (1 タップ遅延 = 78ps) は、Master-Slave IDELAY Offset パラメーターで指定します。アライメント プロセス実行時に、DPA ロジックは可能な IDELAY タップ値をすべてテストします。このように可能なサンプル位置をすべてスキャンすることで、DPA ロジックはデータ アイ、つまりはデータ遷移の位置を特定します。

1. SPI-4.2 v10.x 以前の信号名は PhaseAlignRequest で、SPI-4.2 v11.x 以降では SnkDPAPhaseAlignRequest です。



WP249\_02\_061311

図 2：基本的な DPA ロジック

ロジックに IDELAY タップが加味されても、2 つの IDELAY 間のオフセット遅延は変わりません。ロジックは 2 つの ISERDES からのサンプル値を比較し、サンプルした位置が有効データ ウィンドウ内にあるかどうかを判断します。両サンプリング位置が有効データ ウィンドウ内にある場合は、サンプル値が一致します。データが遷移している場合、サンプルする位置が遷移の領域に近づくにつれ、サンプル値に不一致が見られます。DPA ロジックはテスト中 (Alignment Test Interval パラメータで設定) のすべてのサンプルを蓄積し、全サンプルが一致した場合のみ一致を返します。各 IDELAY タップ値の一致/不一致の情報はメモリに保存され、この情報を使用してデータ アイの最適なサンプリング位置が決定されます。図 3 に、400MHz DDR (800Mb/s) でキャプチャしたサンプリング結果を示します。

	Master Offset																																							
Data Ch/Tap	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37		
0	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	N	N	
1	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M
2	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	N	N
3	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M
4	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	N
5	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	N	N
6	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	N
7	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	N
8	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M
9	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	N	N
10	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M
11	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	N	N
12	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M
13	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	N	N
14	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	N
15	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M
16	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M

WP249\_03\_073009

図 3：IDELAY タップのサンプリング結果

図 3 は、17 のデータ ビット (インデックス 16 は制御ビット) の各サンプリング位置 (タップ値) について一致/不一致の情報を記録したものです。「N」は不一致、「M」は一致を表します。この一致/不一致の情報に基づき、M の領域 (データ アイ) の中央を最適なサンプリング位置 (緑で表示) として選択します。DPA ロジックは常に最初に完全な形で現れたデータ アイ内で、最終的な最適サンプリング位置を選択します。図からわかるように、データ遷移の領域はビットごとに異なります。DPA ロジックは、各ビットに対する最適なサンプリング位置をそれぞれ独立して調整します。すべてのビットが最適なサンプリング位置に調整されると、DPA ロジックは次にワード アライメントのプロセスを開始します。

## ワード アライメント

ワード アライメントのプロセスでは、SPI-4.2 パスのすべてのビット間スキューが除去されます。DPA ロジックは、SPI-4.2 トレーニング パターンを用いて SPI-4.2 インターフェイスの 17 のデータ ビット (RDat[15:0] および RCtrl) の位置を調整します。DPA ロジックは ISERDES の Bitflip サブモジュールおよび SRL16 を使用して ISERDES の出力とトレーニング パターンを比較し、すべてのデータ ビットの位置を調整することでビット間スキューを除去します。

初回アライメントとワード アライメントが正常に完了すると、[SnkDPA]PhaseAlignComplete がアサートされます。[SnkDPA]PhaseAlignRequest が High から Low へ遷移してから [SnkDPA]PhaseAlignComplete がアサートされるまでの時間 (アライメント時間) は、RDClk の周波数および Alignment Test Interval オプションの設定値にのみ依存します。おおよそのアライメント時間は次の式で求めることができます。

$$\text{アライメント時間} \approx \text{RDClk 周期} * 128 * (\text{Alignment Test Interval} + 7)$$

## 連続アライメント

連続アライメントのオプションを有効にした場合、[SnkDPA]PhaseAlignComplete のアサート後に連続アライメント プロセスが開始します。クロックとデータの初回アライメント後、各データ ビットのサンプリング位置は有効データ ウィンドウの中央に揃えられます。しかし、システムによっては電圧や温度などの動作条件、またはその他の変動によって有効データ ウィンドウがシフトすることがあります。連続アライメントはこのような状況に対処するための機能で、動作中に受信したデータ サンプルを中断することなく監視し、必要に応じてサンプリング位置を調整して最大限のマーヅンを確保するようにします。ただし、ほとんどの SPI-4.2 トランスミッター (ソース) はデータとクロックの位相関係が固定されたデザインになっているため、通常は連続アライメントは必要ありません。

DPA ロジックは 1 ビットにつき 2 つの ISERDES を使用し、Master IDELAY はデータ アイの中央です。DPA ロジックはオフセットが (Master IDELAY + 2) の位置で、Alignment Test Interval パラメーターで指定した数のサンプルを Slave IDELAY の出力データから取得し、次にオフセットが (Master IDELAY - 2) の位置で、同パラメーターで指定した数のサンプルを Slave IDELAY の出力データから取得します。そして、これら 2 つのテスト結果を Master IDELAY と比較します。この比較テストが片側のみ一致して、もう片側が不一致の場合、有効データ ウィンドウがシフトしたか崩れたことを意味します。このような場合は、Master IDELAY のタップ値を  $\pm$ IDELAY タップずつ調整し、不一致の側から遠ざけるようにシフトさせます。この処理を動作中に繰り返します。

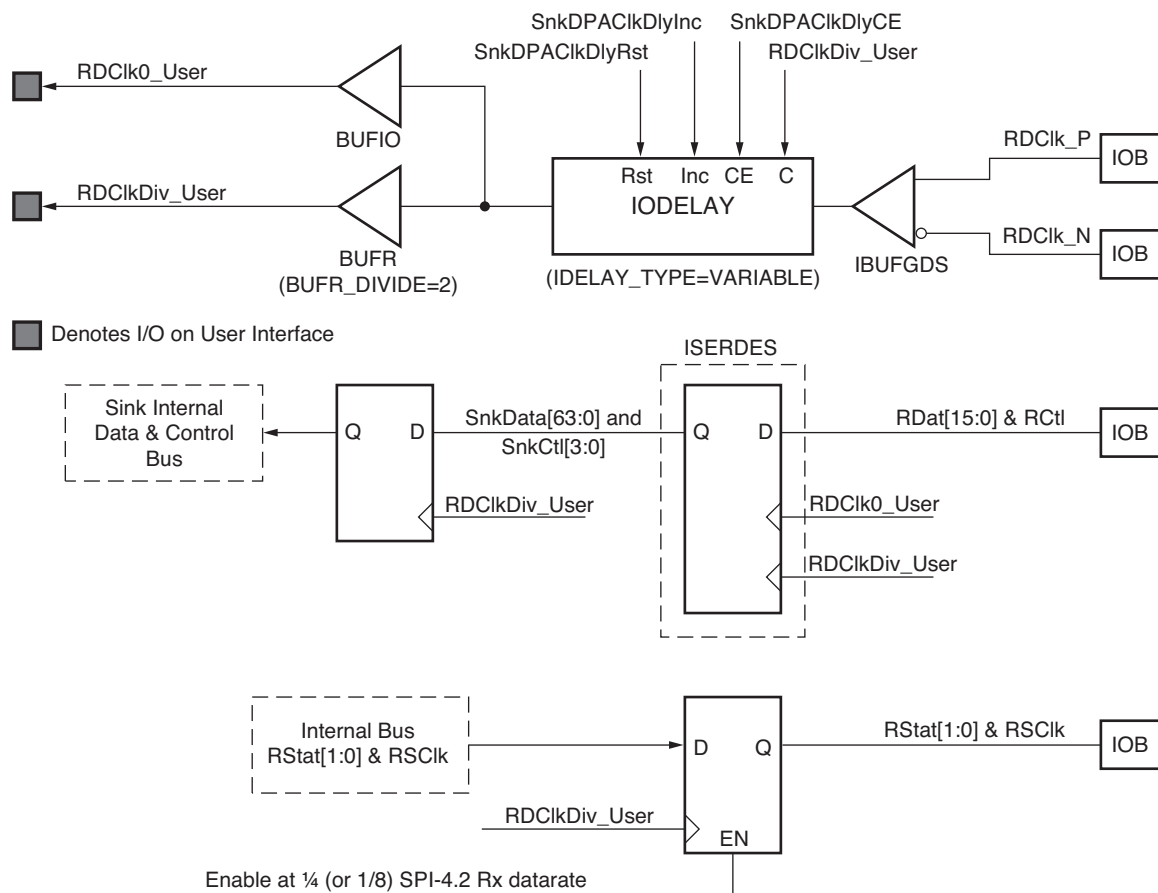
Master IDELAY タップを調整するには、まず Slave IDELAY タップを Master IDELAY タップと同じ値に調整してから、Slave IDELAY タップへのデータ出力をスワップします。次に Master IDELAY タップを調整し、出力をもう一度スワップします。こうすることで、タップ値の調整中にグリッチが発生するのを防ぎます。

連続 DPA ではすべてのビットを並行して監視し、必要に応じて調整します。一部またはすべてのビットに対する調整の周期は、次の式で求めることができます。

$$\text{DPA 調整周期} \approx \text{UI} * (\text{Alignment Test Interval} * 8 + 136)$$

## DPA クロック調整 (オプション)

DPA クロック調整の機能は、SPI-4.2 バスのデータビットと制御ビットのトレースが一致している場合のみ使用してください。図 4 に示すように、DPA クロック調整オプションを有効にすると RDClk 信号に IDELAY が挿入され、この IDELAY のタップ値が調整されることで RDat/RCtl バス全体のサンプリング位置が変更されます。これにより、コアは最初に完全な形で出現するデータアイのサンプリング位置を可能な限り小さいタップ値に移動させることができます (「初回ビット アライメント」の説明を参照)。この結果、データビットと制御ビットに対して選択される IDELAY の最終的なタップ値が小さくなり、IDELAY タップ パターンのジッターがシステムのタイミングに与える影響を最小限に抑えることができます。DPA クロック調整ロジックが RDClk の IDELAY タップ値を下方に調整するか、まったく調整を行わないかは、最初のデータ テストに基づいて決定します。したがって、初期状態でのクロック遅延は IDELAY 範囲 (Virtex-4 および Virtex-5 FPGA ではデフォルトで 32、Virtex-6 および 7 シリーズ FPGA では 16) の中央にあるか、少なくとも 1 UI に相当する IDELAY タップ数でなければなりません。Virtex-6 および 7 シリーズ FPGA を使用したデザインでは、この機能は RDClk クロックがリージョナルクロックとして分配されている場合のみ利用できます (図 4 参照)。



WP249\_04\_061511

図 4 : RDClk に IDELAY を挿入した DPA クロック調整

たとえば Virtex-6 FPGA システムでデータ レートが 800Mb/s の場合、1 UI は 1250ps となります。IDELAY タップの遅延は 1 タップにつき 78ps であるため、このデータ レートでは 1 UI は約 16 タップに相当します。さらに、パターンに依存するジッターが 1 タップ遅延につき最大 ±5ps 加わります。<sup>(1)</sup>「初回ビット アライメント」のセクションで説明したように、DPA ロジックは各ビットについて Master IDELAY および ISERDES の出力と Slave IDELAY および ISERDES の出力を比較します。図 5 および図 6 はこの比較結果を示したもので、「N」は不一致、「M」は一致を表します。DPA ロジックはすべての IDELAY タップ値をスイープし、最初に完全な形で現れたデータ アイ内で最適なサンプリング位置を最終的に選択します。

IDELAY タップ スイープのワースト ケースのシナリオ例を図 5 に示します。この図では、初期状態でのクロック アライメント (基板レイアウトによって決定、RDat/RCtl の Master IDELAY のタップ値は 0) はすべてのデータ/制御ビットの「M」(一致) ウィンドウの一番はじめに位置しています。この例では、DPA ロジックはすべてのデータ/制御ビットに対して IDELAY タップ値を上方にスイープし、タップ値 14 から 25 までの間でビット 0 の完全なデータ アイを最初に検出します。この場合、DPA ロジックはビット 0 の最終的なサンプリング位置として IDELAY タップ値 20 を選択します。これにより、クロックのサンプリング位置と選択した有効データ ウィンドウの間には 20 タップの遅延差 (約 1.25 UI) が生じることになります。この程度の遅延差では必ずしも問題にはなりません、データビットの最終的なタップ遅延値がさらに大きくなると、1 タップにつき最大 5ps のジッターが加わる可能性があります。

		Master Offset																															
Data Ch	Tap	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0		M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M
1		M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N
2		M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M
3		M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M
4		M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M
5		M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M
6		M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M
7		M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M
8		M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M
9		M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	
10		M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	
11		M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	
12		M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	
13		M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	
14		M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	
15		M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	
16		M	M	M	M	M	M	M	M	M	M	M	N	N	N	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	

WP249\_05\_061411

図 5 : Virtex-6 FPGA の IDELAY タップ スイープ (DPA クロック調整なし)

同じ条件下で DPA クロック調整を使用して初期状態のクロック アライメントを変更すると、DPA クロック調整ロジックは RDClk の IDELAY のタップ値を減分します。図 6 に示すように、これはデータ/制御ビットのマッチ ウィンドウ全体を右に移動するのと同じこととなります。DPA クロック調整段階では、RDat および RCtl ビットの Master IDELAY と Slave IDELAY のタップ値はいずれも初期値のまま変化せず (Master = 0、Slave = Master-Slave IDELAY Offset)、RDClk の IDELAY タップ値のみが変わります。DPA クロック調整ロジックは、すべてのデータ/制御ビットが「M」(一致) から「N」(不一致) に遷移するまで RDClk の IDELAY タップ値を減分します。こうすると、完全なデータ アイが最初に出現する IDELAY タップ値が小さくなるため、ビット単位の DPA アライメントを開始する場所として理想的であるといえます。このロジックはすべてのデータ/制御ビットで「N」への遷移を確認しなければな

1. 『Virtex-6 FPGA データシート : DC 特性およびスイッチ特性』(DS152) 記載の T<sub>IDELAYPAT\_JIT</sub> の値です。



らないため、クロック調整オプションを使用するには、基板上的 RDat と Rctl のトレースが一致している必要があります (すべてのデータ/制御バスで「N」状態を検出できないと DPA プロセスが正常終了しない)。初期状態のクロックアライメントをこのように調整した場合、DPA ロジックはすべてのデータ/制御ビットに対して IDELAY タップ値を上方にスイープし、タップ値 1 から 12 までの間でビット 0 の完全なデータアイを最初に検出します。そして、ビット 0 の最終的なサンプリング位置として IDELAY タップ値 7 を選択します。これは、DPA クロック調整を使用しない先の例に比べ、13 タップ分遅延が小さくなっており、最大で 65ps のジッターを抑えることができます。

Master Offset

Tap	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N
1	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M
2	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N
3	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	N
4	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	N
5	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N
6	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	N
7	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	N	N
8	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	N
9	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	N	N
10	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M
11	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	N	N	N
12	N	N	N	M	M	M	M	M	M	M	M	M	M	N	N	N	N	M	M	M	M	M	M	M	M	M	M	M	M	M	M	M

WP249\_03\_060611

図 6 : Virtex-6 FPGA の IDELAY タップスイープ (DPA クロック調整あり)

DPA クロック調整は、データ転送に具体的な問題が発生する場合にのみ使用してください。この調整が主に必要となるのは、DPA が正常に完了したにもかかわらず、直後のコア動作中に不規則的に DIP4 エラーが発生する場合です。このような場合は、DPA クロック調整機能によるジッターの低減が有用と考えられます。実際のシステムで DPA クロック調整オプションの効果があるかどうかを判断するには、DPA クロック調整の有無それぞれのインプリメンテーションにおける実際の最終的なタップ値を確認する必要があります。最終的なタップ値は、コアの DPA 診断機能を使用して調べることができます。この値がわかれば、DPA クロック調整を利用してジッターを低減することによって DIP4 エラーを回避するのに十分なタイミング マージンを確保できるかどうか判断できます。

## ハードウェア検証

SPI-4.2 DPA コアは、Virtex-4 FPGA ML450 開発ボード (XC4VLX25-FF668 FPGA 搭載) および Virtex-5 FPGA ML 550 開発ボード (XC5VLX50T-FF1136 FPGA 搭載) を用いて、デフォルトの DPA パラメーターでハードウェア検証が行われています。このデザインは最大 1Gb/s のデータレートで動作します。また、SPI-4.2 DPA コアは Virtex-6 FPGA ML623 開発ボード (XC6VLX240T-FF1156-1 FPGA 搭載) でも最大 1.1Gb/s のデータレートでハードウェア検証が行われています。このデザインでも、次の DPA パラメーターをデフォルトで使用しています。

Master-Slave IDELAY Offset = 2

Alignment Test Interval = 128

## DPA パラメーターのガイドライン

DPA アルゴリズムの次の動作パラメーターは、CORE Generator ソフトウェアの GUI で設定できます。

- Alignment Test Interval
- Master-Slave IDELAY Offset

ハードウェア動作の場合は、動作周波数にかかわらず Alignment Test Interval を 128、Master-Slave IDELAY Offset を 2 に設定してください (いずれもデフォルト値)。

前述のとおり、Alignment Test Interval では 1 つのサンプリング位置で取得するサンプル数を指定します。この値を大きくするとデータ遷移位置の検出精度が向上しますが、アライメント時間が長くなります。通常はデフォルト値の 128 を使用してください。ただし、短いアライメント時間でコアをシミュレーションしたい場合は 128 未満の値のシミュレーション モデルを生成できます。

Master-Slave IDELAY Offset は Master IDELAY と Slave IDELAY の遅延タップ値のオフセットを指定するパラメーターで、予想されるデータ アイに関連します (単位は IDELAY タップ数)。このパラメーターの値を大きくすると SPI-4.2 のクロック レートが高い場合やノイズの多いシステムで DPA エラーが発生するため、デフォルト値の 2 のままにしてください。

## DPA 診断

ハードウェアの動作にアライメント エラー (DIP4 エラーや Sink フレームの非同期) が発生した場合は、DPA 診断ポートを使用したデバッグが可能です。

Enable DPA Status Monitoring オプションを有効にすると、[SnkDPA] PhaseAlignRequest が High から Low に遷移してから [SnkDPA] PhaseAlignComplete がアサートされるまでの、指定した SPI-4.2 バス インデックスの DPA 診断データが出力されます。このデータを利用すると、指定した SPI-4.2 バス インデックスの初回アライメント時のデータ アイと最終的なサンプリング位置を監視できます。

DPA ロジックには、SnkBusErrStat[7:0]、SnkDPAramAddr[5:0]、SnkDPAramData[16:0]、SnkDPAramValid の診断ポートがあります。初回アライメント プロセスで SPI-4.2 バスのデータ/制御ビットの有効データ ウィンドウを検出する際に DPA ロジックが収集したデータは、これらのポートから出力されます。PhaseAlignRequest がパルスされた後、DPA ロジックは IDELAY タップを伝搬し、IDELAY タップのサンプリングが有効データ ウィンドウ内にあるかどうかを判定します。キャプチャした各ビットのサンプリング情報は、SnkDPValid がアサートされると SnkDPAramAddr および SnkDPAramData バスに出力されます。

初回アライメント プロセスの間、SnkBusErrStat [7:0] バスは RDClkDiv\_GP クロック (Sink コアの出力) によって駆動されます。[SnkDPA] PhaseAlignComplete がアサートされると、このバスは通常の機能に戻り、以降は SnkFFClk によって駆動されます。SnkBusErrStat バスを ChipScope™ または同等のロジック プロープに接続して、アライメント エラーの診断を行うことができます。

SnkBusErrStat[7:0] に現れる DPA 診断データは、次の 4 段階に分けられます。

- DELAY タップ スweep を実行する
- タップ値をデータ アイ中央へ調整する
- すべてのチャンネルがデータ アイ中央に揃っていることを確認する
- 最終的なタップ値を返し、[SnkDPA] PhaseAlignComplete をアサートする

図 7 に、診断プロセスの第 1 段階を示します。この段階では、DPA ロジックがすべての IDELAY タップ値をスweepしてデータアイを検出します。SnkBusErrStat[5:0] は、0 から 63 まで増分する IDELAY タップ値のシャドウ カウンターを示します。サンプリング位置が有効データ ウィンドウ内にある場合は、SnkBusErrStat[7] がアサートされます。SnkBusErrStat[6] は無視されます。図 7 に示した例で完全な有効データ ウィンドウが最初に現れるのは、IDELAY タップ値 (SnkBusErrStat[5:0]) が 14 ~ 24 (16 進数) の間です。DPA ロジックがすべての IDELAY タップ値をスweepすると、SnkBusErrStat[7] の状態が変化します。

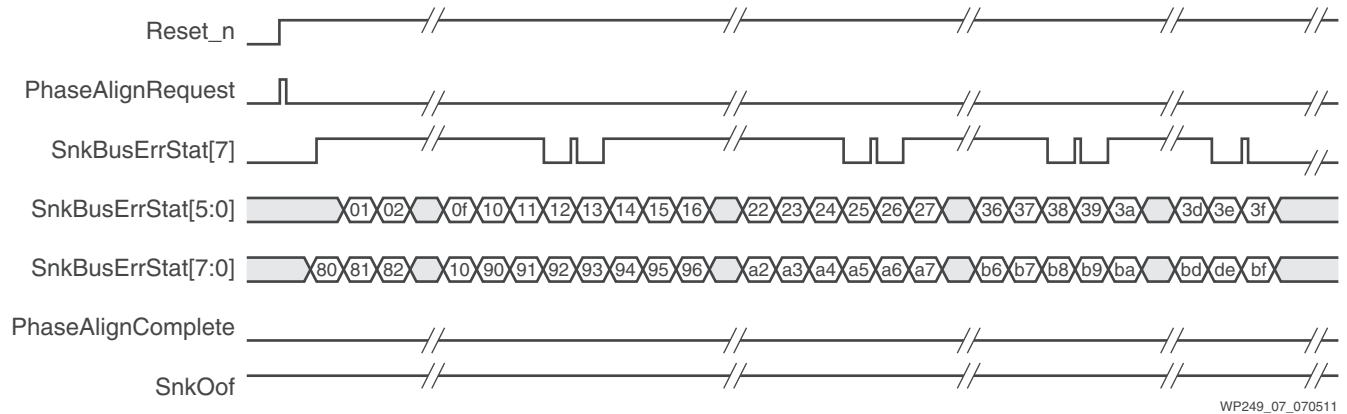


図 7 : DPA 診断フェーズ 1

SnkBusErrStat[5:0] が 0 から 63 まで増分してもこの信号が変化しなければ、何らかの問題が発生していることになります。フェーズ 1 は [SnkDPA]PhaseAlignRequest が High から Low に遷移し、IDELAYCTRL からの Ready 信号 (コアの内部信号) がアサートされた後で開始するため、問題の原因として次のようなことが考えられます。

- スタートアップシーケンスで [SnkDPA]PhaseAlignRequest が正しくパルスされていない。詳細は、『LogiCORE IP SPI-4.2 v10.5 ユーザーガイド』(UG153) および『LogiCORE IP SPI-4.2 v11.2 ユーザーガイド』(UG784) の「Initializing the SPI-4.2 Core」のセクションを参照してください。
- SnkIdelayRefClk に 200MHz のクロックが接続されていない。
- IDELAYCTRL が SPI-4.2 入力ピン (RDat[15:0] および RCtl) と同じクロック領域に配置されていない。
- DPA ロジックが監視している SPI-4.2 データビットが 0 または 1 になっているか、このデータビットにトレーニングパターンが送信されていない。

図 8 に、診断プロセスの第 2 段階を示します。この段階では、DPA ロジックがサンプリング位置を最初に完全な形で現れたデータアイの中央に調整します。SnkBusErrStat[5:0] は 0 から中央のタップ値まで増分します。図 8 では、最終的なタップ値 (中央のタップ値) は 1D です。

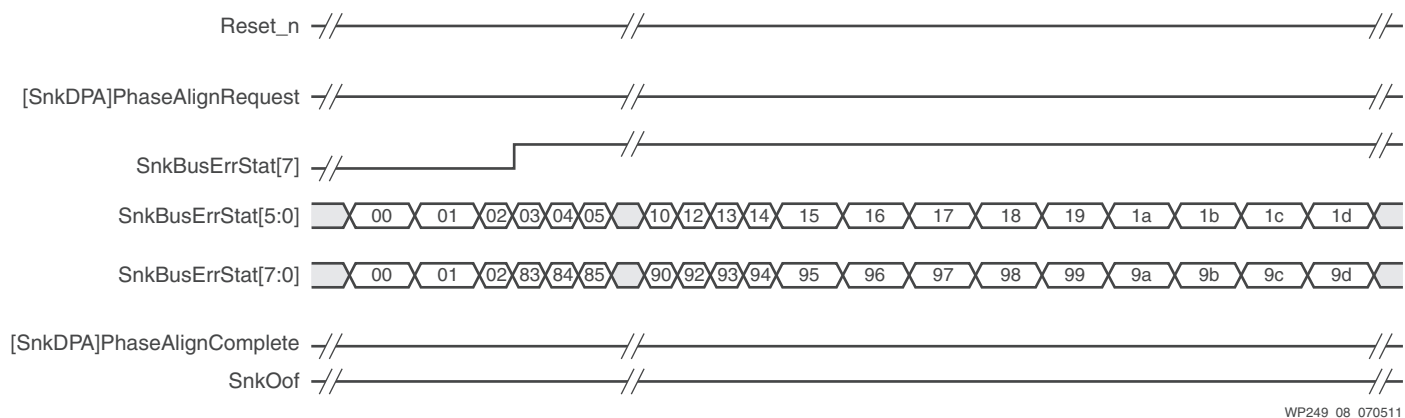


図 8 : DPA 診断フェーズ 2

図 9 に、診断プロセスの第 3、第 4 段階を示します。この段階では、SnkBusErrStat [7:0] で階段波形が確認されます。SnkBusErrStat のアサート/デアサートは、DPA ロジックによって SPI-4.2 インターフェイスにおける各データ ビットの IDELAY がデータ アイ中央に揃えられたことを意味します。たとえば、SnkBusErrStat [0] がアサートされるとビット 0 がデータ アイの中央に揃えられたことを示し、次に SnkBusErrStat [0] がデアサートされるとビット 1 がデータ アイの中央に揃えられたことを示します。

階段波形は、指定したバス インデックスに対応する SnkBusErrStat インデックスでのみ開始します。この例では SPI-4.2 バス インデックス 1 を選択しているため、SnkBusErrStat [1] でパルスが開始しています。SnkBusErrStat [7] までの完全な階段波形が観測されない場合は、完了フラグの立っていない最初のビットがデータ アイに揃えられていないことになります。たとえば図 9 の例で階段波形が SnkBusErrStat [4] の後で停止したとすると、データ ビット 10 のアライメントにエラーが発生したことがわかります。このビットを診断ポートで監視することによって、問題を修正できます。そのためには、修正するビットを CORE Generator ソフトウェアの GUI で指定し、ネットリストを生成し直す必要があります。

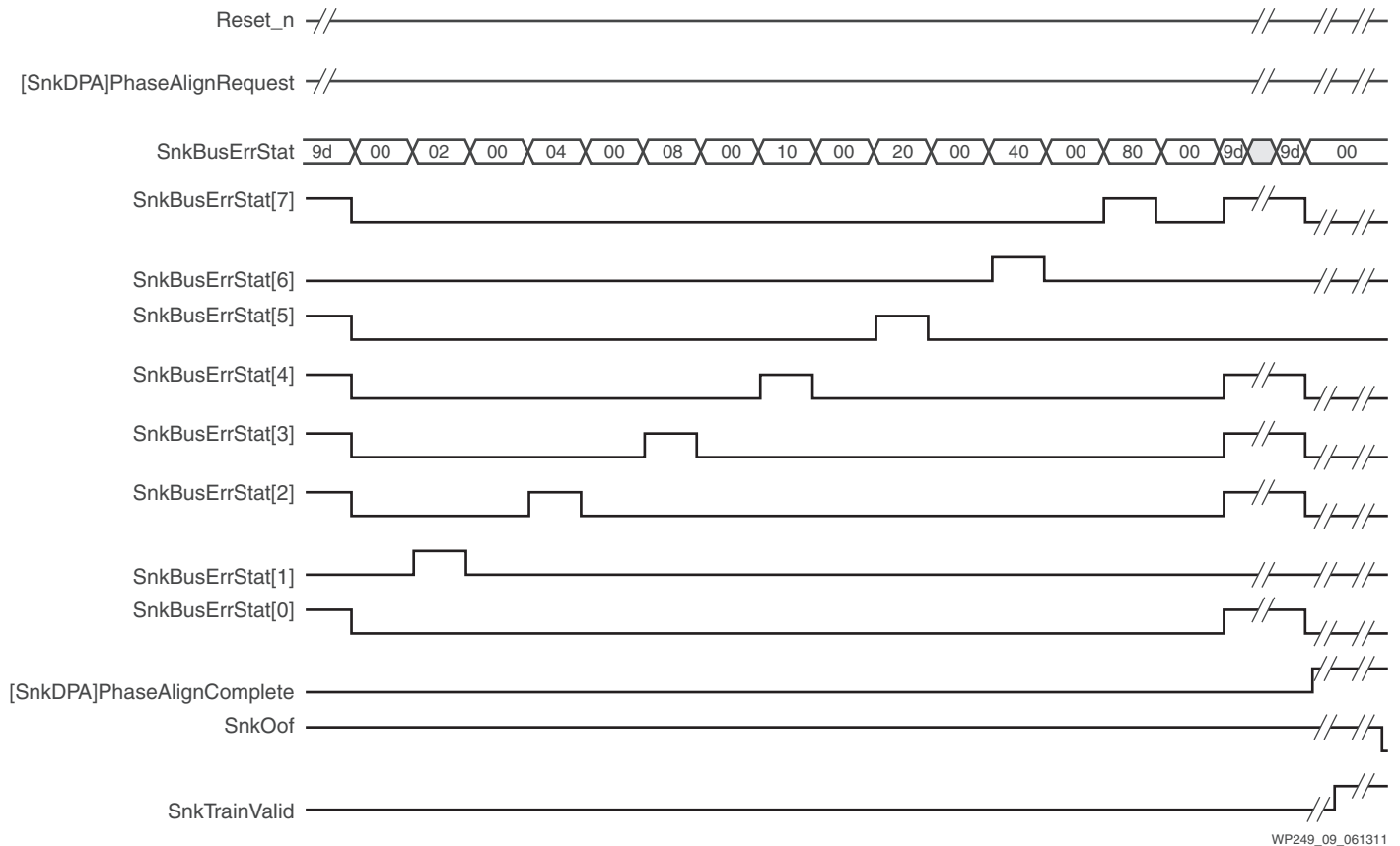


図 9 : 診断フェーズ 3 および 4

第 4 段階では、[SnkDPA]PhaseAlignCompleted がアサートされる直前の SnkBusErrStat[5:0] の値である 1D が、指定した SPI-4.2 データ ビットのデータ アイ中央に位置する最終的なタップ値となります。

## 高度な DPA 診断 (オプション)

このオプションを有効にすると、より高度な DPA 診断ポート (SnkDPADiagWin、SnkDPAAddrRst、SnkdDPAAddrEn) を使用できるようになります。これらのポートでは、SPI-4.2 バスの各ビットの有効データ ウィンドウを動作中に計測およびキャプチャできます。SnkDPADiagWin がパルスされたら、DPA は診断スイープを実行します。これにより、SPI-4.2 バスのアクティブなトラフィックを使用してデータ アイのウィンドウを特定できます。キャプチャした各ビットのデータ ウィンドウ情報は、SnkDPAValid がアサートされると SnkDPARamAddr および SnkDPARamData バスに現れます。

診断スイープを実行すると、連続 DPA を使用していても現在のサンプリング位置が固定されることとなるため、この機能は診断の目的以外には使用しないでください。DPA RAM にアクセスするには、まず DPA RAM アドレス カウンターをリセット (SnkDPARamRst をアサート) して、次に DPA RAM アドレス カウンターを増分 (SnkDPARamAddrEn をアサート) します。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2006年4月27日	1.1	初版リリース
2009年10月1日	1.2	Virtex-6 FPGA の情報を加筆。
2011年7月6日	1.3	7シリーズ FPGA の情報を加筆。文書全体で PhaseAlignComplete を [SnkDPA]PhaseAlignComplete に変更。「DPA の概要」、「DPA クロック調整 (オプション)」の内容を更新し、図 4 を追加。図 5 と 図 6 を更新。「ハードウェア検証」、「DPA 診断」の内容を更新。

## Notice of Disclaimer

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.3) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。