



WP310 (v1.0) 2009 年 9 月 15 日

## 現在の SoC デザインにおける パフォーマンス ボトルネックに挑む — シリアル I/O コネクティビティ

著者 : Panch Chandrasekaran

---

システム オンチップ (SoC) デザインにおいて、その規模を拡大し、処理速度を向上させようとする際のボトルネックは、デバイスがどれだけ大量のデータを転送させることができるかにあります。その結果として、高帯域幅をサポートするシリアル コネクティビティがあらゆる製品において不可欠な要素となってきています。

シリアル I/O 機能を備えた FPGA は、SoC デザインで求められる帯域幅、集積度、パフォーマンス、柔軟性、そしてコストの理想的なバランスを実現します。ザイリンクスは、民生用ビデオ ディスプレイから放送機器ビデオ用の超高帯域幅の有線通信システムまで、あらゆる分野の帯域幅要件に対応するシリアル I/O テクノロジをサポートする製品ラインを提供しています。

## はじめに

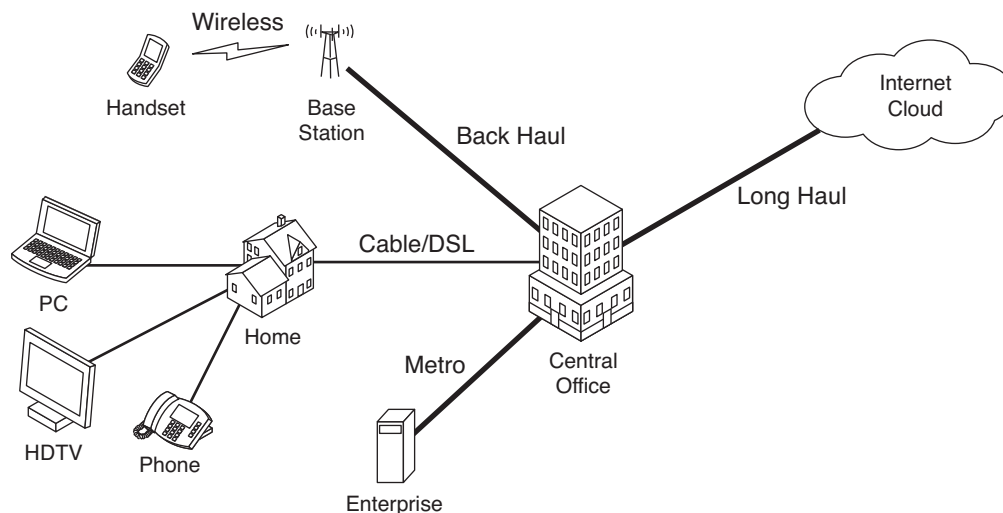
高速シリアル コネクティビティが急速に普及し、あらゆる市場において必須テクノロジーとなったことは当然の流れといえます。世界中で膨大な量となっているビデオトラフィックは、新たな市場やエンドアプリケーションへの需要を生み出し、要求される帯域幅が一気に高くなった結果、マルチギガビット対応のシリアル I/O は SoC デザインにとって最善のオプションとなったのです。

ザイリンクスは、FPGA のシリアル I/O ソリューションの先駆者として変革を推し進めてきました。まず、2002 年 10 月に「High-Speed Serial Initiative (高速シリアル イニシアチブ)」を発表し、業界に高速シリアル I/O の導入を広める役割を果たしました。この新たなコネクティビティ ソリューションは、3.125Gb/s ~ 10Gb/s を越えるデータ レートのシリアル伝送を実現するものでした。それ以降、ザイリンクスの 5 世代にわたる SerDes (シリアライザ/デシリアライザ) トランシーバテクノロジーは、コア インフラストラクチャ設備から企業システム、家電に至るまで広範囲のアプリケーションや市場において継続的に活用されています。

## 帯域幅への要求

デジタル電子システムのあらゆる分野で、新しいデバイスやサービスには、より高い帯域幅が求められています (図 1 参照)。携帯電話、高画質テレビ、ビデオ ゲーム、PC を始めとする民生品でも、今や大容量のビデオ データなどを効率的に伝送して表示させるには、高速シリアル テクノロジーの組み込みが不可欠となっています。これらのデバイスは、LAN、WAN、基幹通信回線で対応可能な帯域幅を制限するデータ シンクとしても機能し、通信ベンダーにとっては処理容量を急速に、かつ低コストで増加させる必要性を生じさせています。無線サービスのプロバイダが携帯電話や携帯 PC コンテンツの配信に採用しているネットワークとして 3G が既に普及し、さらに 4G が広まりつつあることがそれを示しています。

企業向け市場でもまた、高帯域幅に対する急速な需要の高まりが見られます。多くの企業が出張経費削減を目的として、テレプレゼンスや高解像度のビデオ会議の技術を取り入れています。ウェブ配信を利用した SaaS (Software-as-a-Service) も急成長を遂げており、対応容量を増加させたデータ センターの確立を目指している現状では、高帯域幅がその重要なカギであり、必然的にさらに高速なシリアル I/O リンクが必要となります。同様に、航空宇宙産業、軍事防衛、医療機器、車載向けインフォテインメントの市場でも一層高速で高解像度のデジタル画像処理やビデオ テクノロジーへの要求が高まっているのに伴い、高速シリアル I/O テクノロジーが急速に応用されています。



WP310\_01\_091209

図 1：企業向け市場での高帯域幅への需要の高まり

## シリアル コネクティビティ アプリケーションの展望

シリアル コネクティビティ 領域におけるソリューションを広く捉えると、通常その性能から、メインストリーム、ハイエンド、超ハイエンドの3つに分類できます。各分野のシステム設計者は、シリアル I/O デザインにおいて、それぞれのレベルの専門知識を有し、課題や目標も異なります。

メインストリームに属する設計者は、民生品の電子機器、産業用の計器、および通信市場など、コストとタイムトゥマーケットが最重要課題という条件のもと、量産品の設計に携わります。従来のパラレル I/O の設計要件を理解していても、現在はシステムにマルチギガビットのシリアル I/O リンクを使用する必要があり、これまで縁遠かったアナログ設計に取り組みなくてはならないという課題があります。このような設計者が必要とするのは、理解しやすく、容易に使用でき、シリアル I/O 設計を簡略化できるデザイン プラットフォームです。それによって、時間と労力のほとんどを製品の差別化をもたらす新機能の開発に費やすことができるのです(表 1 参照)。

表 1: シリアル コネクティビティのカテゴリ

	メインストリーム	ハイエンド	超ハイエンド
ライン レート	最大 3.2Gb/s	最大 6.5Gb/s	11Gb/s 以上
特長	シンプルで容易な量産用設計	機能と性能の向上	非常に高い帯域幅
主な FPGA ファミリ	Spartan LXT FPGA	Virtex LXT FPGA	Virtex HXT FPGA
<b>市場区分</b>			
有線	低コストで効率的なプロトコルブリッジ	高度なプロトコルのマッピング、パフォーマンスを最適化したバックプレーン	最新プロトコルのサポート、高度な処理能力
無線	低コスト、フェムト/ピコセルレベルの開発	適正な価格および消費電力、メインストリームの展開	
放送映像	高効率の処理およびルーティング機能	さらに高速なエンコーディングおよび処理	優れたデータ アグリゲーション / ルーティング、高度な処理能力
コンシューマ	コスト効率の高い機能統合、単純化されたシリアル インターフェイス		
車載	低消費電力、最適化されたコスト、柔軟性に優れた I/O コネクティビティ		

ハイエンド設計者は、さらに優れた性能と高い帯域幅を持つデザインを最小限のチップスペースに収める必要があります。このために電力密度を高めることが重要な検討事項となります。また、シリアルリンクの速度が高くなると、優れたシグナル インテグリティを達成し維持することが一層困難となり、これはあらゆるデザインでクリティカルな問題となります。この分野の設計者は、メインストリームのエンジニアに比べ、シリアル I/O 設計に対する知識が深く、過去 5 ~ 10 年間にわたってシグナル インテグリティの問題に取り組んできています。したがって、与えられたデザイン環境のもとで適切な IP ライブラリ、リファレンス デザイン、開発ボードを活用することによって、ハイエンド設計者はパフォーマンス要件を満たすデザインの作成に労力を費やすことができるようになります。

最も豊かなシリアル I/O 設計経験を持つ超ハイエンド エンジニアは、常に上の性能を実現する設計を目指すことを基本目標として開発に携わっています。エンジニアは、10G の何倍にもあたるポートを、システムに影響を与えることなく以前のデザイン サイズに実装する必要があります。また、この分野の規格は常に変化しているため、卓越した性能は当然のことながら、柔軟性に富むことも求められます。たとえ規格が固定されていたとしても、超ハイエンドの設計環境では、競合と差を付けるためにデザインのあらゆる点で検査や調整が必要となります。

## ザイリンクスの高速シリアル I/O ソリューション

シリアル コネクティビティ分野の設計者が求める要件を満たすシリアル I/O に対応できるのは、優れたシリコン、つまり、最適な価格、性能、電力密度、トランシーバ機能を備えた FPGA にほかなりません。ただし、真に効率的なデザイン プラットフォームは、総体的に設計リソースをバランス良く統合し、シリコンそのものにとどまらないソリューション提供する必要があります。そして、それは特定のアプリケーションや市場に見合った信頼性、システム レベル、高速シリアルリンクの作成に貢献するものでなければなりません。

デザインリソースには次が含まれます。

- シリコン プラットフォーム (FPGA)
- トランシーバ
- ボード
- IP
- リファレンス デザイン
- キット
- 設計ツール、デバッグ ツール
- 設計サポート
- トレーニング
- テクニカル サポート

## シリコンからのスタート

ザイリンクスは、有線通信、無線通信、映像放送、航空宇宙、軍事防衛、工業、科学、医療、車載インフォテインメント、および民生市場をターゲットとした総合的なデザイン プラットフォームの基盤として Virtex®-6 および Spartan®-6 FPGA ファミリを発表しました (表 1 参照)。ザイリンクスは、これらの多様な市場に共通するシリアル コネクティビティへの要求事項とデザインにおける課題、すべてに対応します。

これらの各市場のエンド プロダクトでは、ボックス間、ボード間、デバイス間などのデータ伝送にシリアル トランシーバを使用して業界標準のプロトコルを実装する必要があります。また、通信プロトコルの実装や異なるプロトコル間のブリッジ、アプリケーション固有の機能の実装には高性能なロジック ファブリックが必要となります。さらに、これらの製品が処理し、伝送する必要のあるデータ量に対応するには、高速なパラレル I/O によって高帯域幅を実現し、メモリ サブシステムのデータバッファリングを行うだけでなく、汎用メモリ デバイスおよび CPU を使用してシステム制御やデータ処理を実行することが求められます。そして、これらの必要条件を満たすのが Virtex-6 と Spartan-6 FPGA ファミリです。

## Virtex-6 FPGA

Virtex-6 FPGA ファミリは、エンド プロダクトのデザイン要件別に機能を統合した次の 3 つのサブファミリで構成されています。

- Virtex-6 LXT FPGA - 最大 36 個の低消費電力 GTX 6.5Gb/s シリアル トランシーバを搭載、高性能ロジック、DSP、シリアル コネクティビティ アプリケーション向け
- Virtex-6 SXT FPGA - 最大 36 個の低消費電力 GTX 6.5Gb/s シリアル トランシーバを搭載、超高性能 DSP、シリアル コネクティビティ アプリケーション向け
- Virtex-6 HXT FPGA - 最大 24 個の GTX 11.18Gb/s シリアル トランシーバおよび最大 48 個の GTX 6.5Gb/s シリアル トランシーバを搭載、最高速のシリアル コネクティビティを必要とする通信、スイッチング、画像処理システム向け

最新のシリコン技術、革新的な回路設計技術、アーキテクチャの改良を組み合わせた Virtex-6 FPGA は、その全デバイスで旧世代の Virtex 製品および競合の FPGA 製品を上回る画期的な低消費電力、高性能、低コストを実現しています。40nm プロセスを採用した Virtex-6 FPGA ファミリは、競合の 40nm FPGA と比べて 15% の性能改善と 15% の消費電力削減に成功しました。さらに、第 2 世代となる PCI Express 統合ブロックや第 3 世代のトライモード イーサネット MAC ブロックを追加することで、広く普及しているインターフェイスの実装を容易にするだけでなく、オンチップのデータ バッファリング用のブロック RAM、DSP の加速エンジンも搭載しています。外部メモリをサブシステムとして使用する高帯域幅のデータ バッファリング用としては、内蔵された SelectIO™ テクノロジによって DDR3 SDRAM をサポートしています。

## Spartan-6 FPGA

Spartan-6 LXT FPGA によってメインストリームの設計者は初めて、民生および車載インフォテインメント市場向けのエンド システムの展開に、必要なロジック容量、性能、消費電力、価格設定を満たす FPGA をベースとしたシリアル テクノロジを活用できるようになりました。45nm、9 メタル層、デュアルオキシサイドの低消費電力プロセス テクノロジを応用したこの FPGA は、最高 8 個の 3.125Gb/s GTP トランシーバを搭載し、PCI Express® Gen 1 エンドポイント ブロックを統合することで (いずれも Virtex FPGA ファミリの技術を継承)、プロセッサへのコネクティビティを簡略にしています。また、メモリ コントローラ ブロックを内蔵しているため、高帯域のデータ バッファリングを行う DDR3 800 メモリとのインターフェイスが容易になります。

## トランシーバ技術の最適化

Virtex-6 および Spartan-6 ファミリの 2 つによって、前述したシリアル コネクティビティの 3 つの分野（メインストリーム、ハイエンド、超ハイエンド）における要件すべてが満たされることになります。ザイリンクスは、各分野のターゲット市場で求められるシリアル I/O への多様な要件（帯域幅、コスト、複雑性）に対応するよう、性能および価格範囲別に最適化した 3 つのトランシーバを提供しています。

### GTP - メインストリーム向けトランシーバ

メインストリーム アプリケーションのコネクティビティ要件は、3.125Gb/s 未満のプロトコルで対応可能です。このようなプロトコルには PCI Express 1.0、ギガビットイーサネット、XAUI、Serial RapidIO (SRIO)、SATA、DisplayPort、V-by-One、トリプルレート SDI などが該当します。

ほかの 2 つに比べ、シグナル インテグリティの維持はそれほど困難ではありませんが、この分野で使用されるトランシーバは、低コスト、低消費電力が必須となります。

Virtex-5 LXT FPGA で初めてリリースされたザイリンクスの低消費電力 GTP トランシーバは、低コストの Spartan-6 LXT FPGA では 614Mb/s ~ 3.125Gb/s のライン レートをサポートしています。このトランシーバには、次のようなさまざまな特長があります。

- GTP トランスミッタは、外部信号の減衰を補うように出力レベルを調整可能であり、アナログ - デジタル機能を実行する物理層の一部である物理メディア 接続層 (PMA) をインプリメント
- 外部ローパス信号の不可避な減衰を補う、プログラム可能なプリエンファシス
- チップ間接続の構築やバックプレーン上のチャネル接続を確立にかかわらず、外部ローパス信号の減衰を補い、データ アイを確保するためのリニア等化回路を含む レシーバ PMA 回路
- ギガビットイーサネットなどのプロトコルの 8B/10B エンコーディング/デコーディングを行うビルトイン回路を含む、ロジック機能を制御する物理層の一部である物理コーディング サブレイヤ (PCS) をインプリメント

### GTX - ハイエンド向けトランシーバ

ハイエンド アプリケーションで求められる帯域幅要件を満たすには、PCI Express 2.0、SRIO、RXAUI、Interlaken などメインストリーム プロトコルのさらに高速な変化に対応するため、6Gb/s クラスのトランシーバが必要となります。この速度レベルでは、シグナル インテグリティの問題が発生しやすくなるため、信号の状態を制御するさらに高度な技術が必要です。Virtex-5 FXT FPGA に初めて搭載された 6.5Gb/s GTX トランシーバは、Virtex-6 では 1 つを除く全ファミリーで 150Mb/s ~ 6.5Gb/s のライン レートをサポートしています。

GTX トランスミッタには、より高い要件を満たすリンクを駆動するために、駆動能力を調整可能なプリエンファシスおよびポストエンファシス機能があります。信号が高速になるのに伴ってその減衰の問題も大きくなるため、GTX レシーバはリニア等化回路および判定帰還型等化器 (DFE) という 2 種類の受信等化回路を備え、それによって信号のアイの広さを保つようにします。GTX トランスミッタとレシーバの各回路には、64B/66B および 64B/67B のエンコードとデコードを効率的に行うため、それぞれのギアボックス (変速器) が組み込まれています。また、内蔵されたターン ジェネレータおよびパターン チェッカにより、業界標準プロトコルの実装がさらに簡潔になります。

### GTH - 超ハイエンド向けトランシーバ

40G から 100G のネットワークを駆動するには、10Gb/s あるいはそれ以上のライン レートをサポートするトランシーバが必要となります。10Gb/s クラスのプロトコルには、非常に厳しいジッタ要件があります。Virtex-6 HXT FPGA に搭載されている GTH トランシーバは、9.95Gb/s ~ 11Gb/s を超えるライン レートをサポートし、この速度範囲でのジッタ削減用に最適化された位相ロック ループ (PLL) 回路を備えています。これにより、PLL を 1 つ含むデザインであれば、2.488Mb/s ~ 11Gb/s またはそれを越える範囲で動作しようとするその他のトランシーバの性能が落ちることはありません。また、送信プリエンファシス、Rx リニア等化、DFE などの等化回路が組み込まれています。適応等化回路のエンジンとして内部でのデータ アイ スキャン回路が使用されているため、リンク パフォーマンスが最大となるように等化設定が自動調整されます。このトランシーバはさらに、レート範囲が 10Gb/s の主要プロトコルに必要な 64B/66B のコーディング技術も組み込んでいます。

## IP

シリアル製品全般において、これまで述べてきたターゲット市場でライン レートが数百 Mb/s から 11Gb/s を超えるような各アプリケーション仕様を満たす、多数のシリアル プロトコルが提供されています。ザイリンクスと多くの IP デザイン ハウスを含むエコシステム パートナは、PCIe、Interlaken、OTU など最も広く使用されている 300 のデザイン ブロックを含む、シリアル コネクティビティ用の IP を包括的に提供しています。

## ターゲット リファレンス デザイン

システム アーキテクトや設計者が最も効率的に時間を活用できるようサポートするには、製品の差別化につながる付加価値機能の設計に時間の大部分を費やすことができるようにすることです。Virtex-6 および Spartan-6 FPGA 向けのコネクティビティドメイン キットでは、メモリ コントローラや PCIe/EMAC など、このドメインに必要な最も一般的な構築ブロックおよび統合ブロックを含むターゲット リファレンス デザインを提供しています。このようなモジュール デザインを使用することの利点は、システム設計においてこれらのリファレンス デザインを用いてインプリメンテーションが開始でき、かつ自由にカスタマイズできることです。

たとえば、Virtex-6 LXT FPGA PCIe-to-XAUI ターゲット リファレンス デザインはこのようなモジュール デザインの概念に従ったもので、PCIe 用の統合ブロック、GTX トランシーバ、ザイリンクス XAUI IP LogiCORE™ ソリューション、ザイリンクスの提携パートナーが提供するその他 IP などの主要構築ブロックを含んでいます。ザイリンクスはまた、デザインで必要となったハードウェアの変更に対応するように修正可能なソフトウェア デバイス ドライバおよびソース ファイル付きのアプリケーション例も提供しています。

## 各種キット

ザイリンクスでは、ターゲット デザイン プラットフォームの 3 つのカテゴリに対応する、評価キット、ドメイン (コネクティビティ) 特化キット、マーケット特化キットの 3 種のキットを開発しました。評価キットは、新しいデバイスを使用する設計の開始に必要なプラットフォームのコンポーネントすべてを網羅しています。ドメイン特化キットは、3 つの基本的な設計ドメイン (エンベデッド、DSP、コネクティビティ) のいずれかをターゲットとしています。また、マーケット特化キットは特定の市場やアプリケーションのいずれか、または両方をターゲットとするものです。

Virtex-6 FPGA ML605 評価キットは、高性能シリアル コネクティビティおよび最新のメモリ インターフェイスが不可欠なシステム設計向けの開発環境です。ML605 は事前検証済みのリファレンス デザインがサポートしており、業界標準の FMC (FPGA Mezzanine Card) コネクタによって I/O とほかの機能エレメントを FPGA から分離するため、ML605 のベース ボードに変更を加えずに拡張およびカスタマイズが可能です。また、同梱されているツールは、複雑な設計要件に対応する高度なソリューションの効率的な作成をサポートします。

Spartan-6 FPGA SP605 評価キットは、放送、無線通信、車載、あるいは 1 つのパッケージでトランシーバ機能が必要となるコストおよび消費電力を重要視するアプリケーションの開発向けに、ベース ターゲット デザイン プラットフォームのすべての基本コンポーネントを提供します。このキットは、高速シリアル トランシーバ、PCI Express、DVI、DDR3 などの機能を必要とするアプリケーションを含む、より高度なシステム設計用の柔軟性に優れた環境を提供します。さらに、特定のアプリケーションやマーケット向けの拡張やカスタマイズを可能にする FMC コネクタも含まれています。キットには開発ボード、ケーブル、資料に加え、ハードウェア、ソフトウェア、IP、検証済みのリファレンス デザインが含まれているため、開梱後すぐに開発が開始できます。

ML605 および SP605 評価キットは、ベース ボードの機能を拡張し、XAUI、GbE、PCI Express 2.0 などの高速シリアル インターフェイスに対応する機能を実行し、デザインを実装するコネクティビティドメインのキットのベースとなります。

コネクティビティドメインのキットだけでなく、一部を ML605 および SP605 ボードをベースとした、マーケット特化のボードとキットも、設計の着手をサポートします (図 2 参照)。



WP310\_02\_091509

図 2 : Spartan-6 FPGA の評価キット

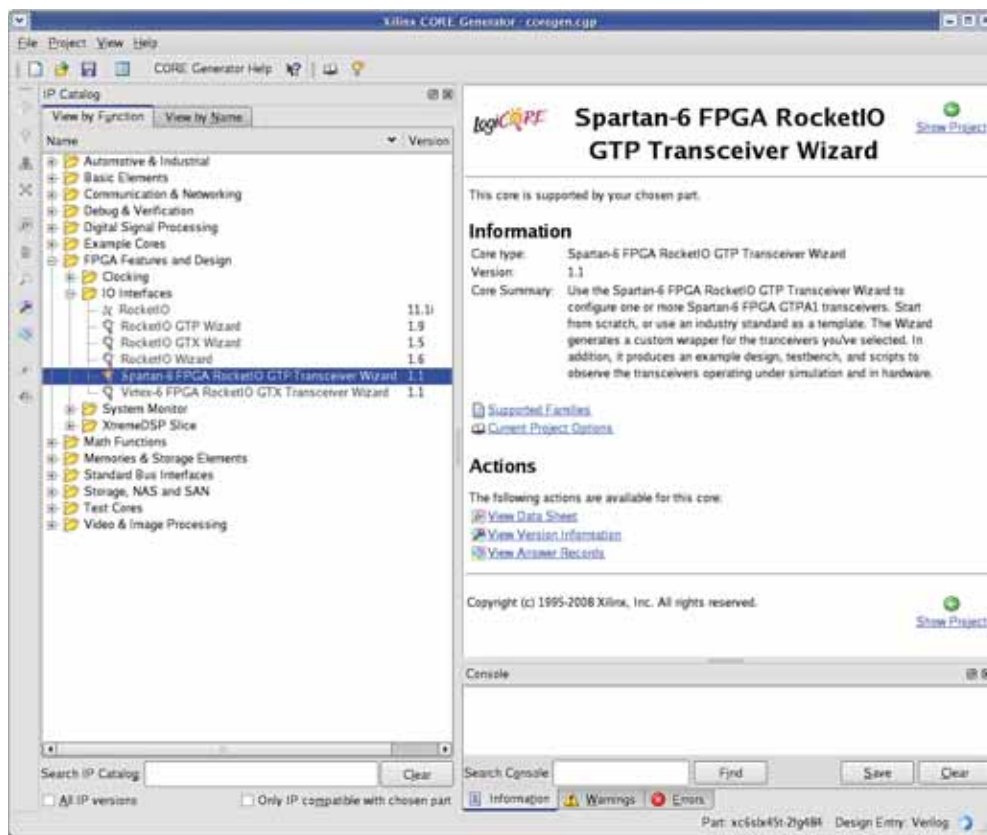
## シリアル I/O デザイン ツールおよびデバッグ ツール

10年前、仮に高速シリアル I/O をシステムに設計することになったなら、設計者はおそらく宇宙通信分野でアナログ設計経験が豊富なバックプレーンのエンジニアで、個別のシリアライザを使用するのが関の山で作業も難しく、そうでないとしてもまったく見当違いのものができあがったことでしょう。その後、極めて使用しやすくかつ安定性があるだけでなく、これまで以上の性能を実現し、柔軟性に優れた外部チップソリューションが台頭してきました。この一連のシリアル I/O の改革によって、シグナルインテグリティという一見すると難解な世界に対してほとんど、あるいはまったく知識のないデジタル設計者は、それぞれの市場で急激に高まるバンド幅の要件に対応しなければならなくなりました。今日、このような設計者をサポートするには、簡単かつ高度なデザイン ツールおよびデバッグ ツールが不可欠です。

### ウィザード機能

ザイリンクスでは、GTP、GTX、GTH の各トランシーバの設計用にコンフィギュレーション ウィザード (図 3 参照) を用意しており、まったく経験のないメインストリーム分野の設計者には使用上の容易性を、シグナルインテグリティを専門とする設計者には性能と柔軟性を同時に提供しています。経験の浅い設計者はタイルやリファレンス クロック ソースの FPGA 上での配置位置を選択し、ドロップダウンメニューから 10GE など必要なプロトコルを選んだ後、プッシュボタンを押すだけでコンフィギュレーション ウィザードによって RTL ラップと選択したプロトコル用のトランシーバがデフォルト設定で作成されるため、それを FPGA デザインにインスタンス化できます。





WP310\_04\_091509

図 3: コンフィギュレーション ウィザードでスタンダードなシリアル I/O トランシーバを生成

超ハイエンド分野の設計者は、デフォルト設定で開始しますが、通常はコンフィギュレーション ウィザードの多様なオプションを用いて、一般的な要件あるいはカスタム要件に対応するようにデザインをカスタマイズすることになります。

### IBERT (Internal Bit-Error Rate Tester)

製品開発プロセスの最も重要な段階の 1 つがシステムの立ち上げです。設計者はシステムを検証およびデバッグして、可能な限りあらゆる調整を施します。これは非常に時間を要するプロセスで、5 万ドルを軽く上回る高価なラボ装置を必要とします。

ChipScope™ Pro analyzer はザイリンクスが提供するデバッグ ツールで、ロジック設計を確認し、問題点を個別に診断した後、設定を変更してそれを修正できます。IBERT は、トランシーバのデバッグ用に開発された ChipScope Pro ツールの拡張機能です。この機能により、FPGA の DRP(Dynamic Reconfiguration Port) を介してのみアクセス可能な終端抵抗といった高度な設定を含む、トランシーバの全パラメータが調整できます。

また、IBERT を使用して各トランシーバにハードコード化されたビット エラー レート テスタにアクセスすることで、次が実行できます。

- PRBS 信号をチャンネルに送り、デバッグをサポート
- 異なるデータ パターン用にストリームを変更
- ステータスをチェック (リンクがロックされているか動作中かなど)
- 複数のトランシーバを個別制御
- 近端および遠端のループバックによる個別のリンクのデバッグ
- IBERT ウィンドウでビット エラー レートをモニタ
- 電圧信号の振幅を変更
- プリエンファシス量を調整
- 等化受信を変更
- DFE を変更

IBERT を使用することで、トランシーバのあらゆるオプション/スイッチの活用、トラフィック ストリームの生成、パラメータの自由な変更が可能となります。IBERT が提供する最も高度な機能は、最適な送受信設定を特定する自動アイ スキャン機能です。アイ スキャンとは、グラフィカルなマージン解析技術で、アイ マッピングを使用して、予測可能で信頼性の高い結果と最大限の設計マージンが得られる高速 SERDES チャンネルの設計をサポートします。アイ スキャンでは、レシーバの複数のパラメータを徹底的に検証し、理想的な設定からのずれに対するビット エラー レートを示します。ここでは、達成可能なビット エラー レートやマージンがすぐに特定されるため、何週間も要するような設計上のさまざまなパラメータの変更が簡単にできます。

### トランシーバのシミュレーション モデル

トランシーバ設計におけるシミュレーションは必須であると同時に、時間を要する作業でもあります。従来であれば、設計上 2 つ以上のトランシーバが必要なことはまれで、各トランシーバにはドライバとレシーバが 1 つずつしかなく、HSPICE (アナログ) モデルを使用すれば十分でした。送信プリエンファシス、受信等化、DFE (アナログ モデルを使用してデジタル機能をシミュレーションすることは特に困難) の機能が追加されたことで、トランジスタ数もシミュレーション時間も激増しました。

今日では、設計者は複数のトランシーバを扱い、安定かつ信頼性の高いシグナル インテグリティを確保するためにあらゆる技術を応用する必要があります。そして、このことによって、高度なシリアル デザインにアルゴリズム モデル、あるいはビヘイビア モデルが使用されるようになってきました。ザイリンクスのアルゴリズム モデルは HSPICE モデルよりも非常に高速で実行できます。また、デジタル機能のシミュレーションが容易なだけでなく、複数のトランシーバを同時に実装し、シミュレーションできます。

## システム レベルでのシグナル インテグリティ

経験豊富なシリアル I/O 設計者であれば、マルチギガビットのシリアル リンクを設計する際には、システム レベルでシグナル インテグリティを考慮することの重要性を認識しています。この速度になると、ビット周期が非常に短く、信号上のあらゆるノイズがタイミングやノイズ マージンに影響を与えます。具体的に述べれば、20ps のジッタの影響は 1Gb/s の信号上では事実上無視して構わない程度ですが、10Gb/s の信号になるとビット周期の約 20% にあたり、許容範囲を超えるビット エラー レートを生じさせることとなります。さらに高速になると、シリアル リンク上のパイアスやコネクタといった小さな物理的構成部品が、シグナル インテグリティを許容範囲に収めるために重要な役割を果たします。

このように、高速シリアル コネクティブリティのソリューションにおけるシグナル インテグリティという言葉は、シリコンからパッケージを通り、ボードからバックプレーンへの連続体全体の信号の品質を示します。この背景から、システム レベルのシグナル インテグリティは 3 つの異なるカテゴリに分類されます。

- シリコン レベルのシグナル インテグリティ
- パッケージ レベルのシグナル インテグリティ
- ボード レベルのシグナル インテグリティ

### シリコン レベルのシグナル インテグリティ

信号ノイズが限りなく小さく、受信した信号を正確に読み出す非常に堅牢な実力を備えたトランシーバを 1 つ使用する適切なデバイスを選択すれば、システム レベルでもボード レベルでも設計は簡略化されます。ザイリンクスのシリアル トランシーバは、レシーバがデータ アイを確認して動作できるようにする多数の等化回路を内蔵しています。使用する技術はライン レートによります。Virtex-6 および Spartan-6 FPGA の全デバイスのトランスミッタは、プリエンファシス、ポストエンファシス機能を提供し、高周波数信号の減衰を補います。また、6.5Gb/s の場合のシグナル インテグリティに対応するため、GTX トランシーバではレシーバの PMA にリア等化回路および DFE 回路が追加されています。

GTX および GTH トランシーバは、いずれも PLL 回路を有し、それぞれの速度範囲内でのジッタを最大限に低減させるよう最適化されています。その結果、リンク パフォーマンスにおけるマージンがより大きくなります。

### アーキテクチャの検討事項

Spartan-6 LXT、Virtex-6 LXT、SXT の各 FPGA は、極めて柔軟性に優れたクロック アーキテクチャを統合しています。たとえば、Virtex-6 FPGA の GTX トランシーバは、トランシーバ内部の送信 (TX) および受信 (RX) の各チャンネルに独立した PLL があります。独立したクロック ドメインを持つことで、柔軟性が非常に広がり、あるデザインでサポート可能な有効チャンネル数が最大になります。TX と RX のデータバスが同範囲内のライン レートで動作するアプリケーションでは、RX の PLL が TX と RX のデータバスで共有でき、TX の PLL は消費電力を抑えるために電源を切断できます。

ハイエンドの GTH トランシーバでは、ザイリンクスは LC タンクベースの VCO (voltage controlled oscillator) を統合し、位相ノイズのパフォーマンスを向上させ、SFP+ (Small Form Factor Pluggable) トランシーバ、OC-192 (最高 9953.28Mb/s の通信速度のネットワークラインの標準)、10G-BASE KR (最新の IEEE 規格で 802.3ap v3.3 で 10Gb/s のバックプレーンイーサネット (10GbE) といったプロトコルの厳しいジッタ値対応の要求に応える機能を備えています。

PLL を 1 つ備えたトランシーバで複数のチャンネルをクロッキングする方法もありますが、GTH トランシーバはクワッドアーキテクチャを持っており、1 つの PLL は 4 つのチャンネルをクロッキングします。これによって、マルチプロトコルアプリケーションに必要な、複数の独立したクロックドメインを柔軟に使用できます。

また、クワッドアーキテクチャは優れたシグナルインテグリティを実現するためにも重要な役割を担います。FPGA は非常にノイズの多い環境で、高速な信号 (特に 10Gb/s もしくはそれを上回る場合) は、FPGA のロジック使用率が高くなり、動作中のシリアルおよびパラレル I/O の数が増加すると、ノイズのカップリングの影響を受けやすくなります。高速信号の転送距離が長くなればなるほど、ノイズカップリングの影響を受けやすくなります。GTH トランシーバのクワッドベースのアーキテクチャでは、マルチギガビット信号が 1 つのクワッド内に制限され、ノイズ源から隔離されます。

## 等化

信号が PCB (Printed Circuit Board) 上を移動し、信号の高周波数コンポーネントが減衰してくると、リンクのビットエラーレートに悪影響を及ぼします。信号速度が速くなると、この減衰の問題はますます大きくなります。速度が 5Gb/s に満たない場合は有効なリニア EQ 技術も、周波数がさらに高くなると、それだけでは十分ではありません。高周波数デザインでは、DFE などの新たな技術が必要となります。10Gb/s を上回る場合、単純なチップ間接続以外であれば、信号の等化は常に不可欠となります (表 2 参照)。

表 2 :GTP、GTX、GTH トランシーバの等化回路

トランシーバ	Tx プリエンファシス	Rx DFE	Rx リニア EQ
Spartan-6 FPGA の GTP	あり	なし	あり
Virtex-6 FPGA の GTX	あり	あり	あり
Virtex-6 FPGA の GTH	あり	あり	あり

## パッケージ レベルのシグナル インテグリティ

高速シリアル I/O 設計では、パッケージがシグナルインテグリティに与える影響は見落とされがちで、通常は重視されません。ザイリンクスでは、特に高速信号伝送の必要性に対応するよう設計された、第 3 世代の高性能パッケージを提供しています (図 4 参照)。

このパッケージデザインの主な特長は次のとおりです。

- パッケージ内部のパワープレーンの確立
- ノイズフィルタリング用のオンパッケージキャパシタ、最小限のボード上のコンポーネント数
- 高速信号用に最適なリターンパスを提供する独自のピン配置
- パラレル I/O およびシリアル I/O を隔離して、ノイズのカップリングを最小限に抑え、I/O パフォーマンスと使用率を向上する

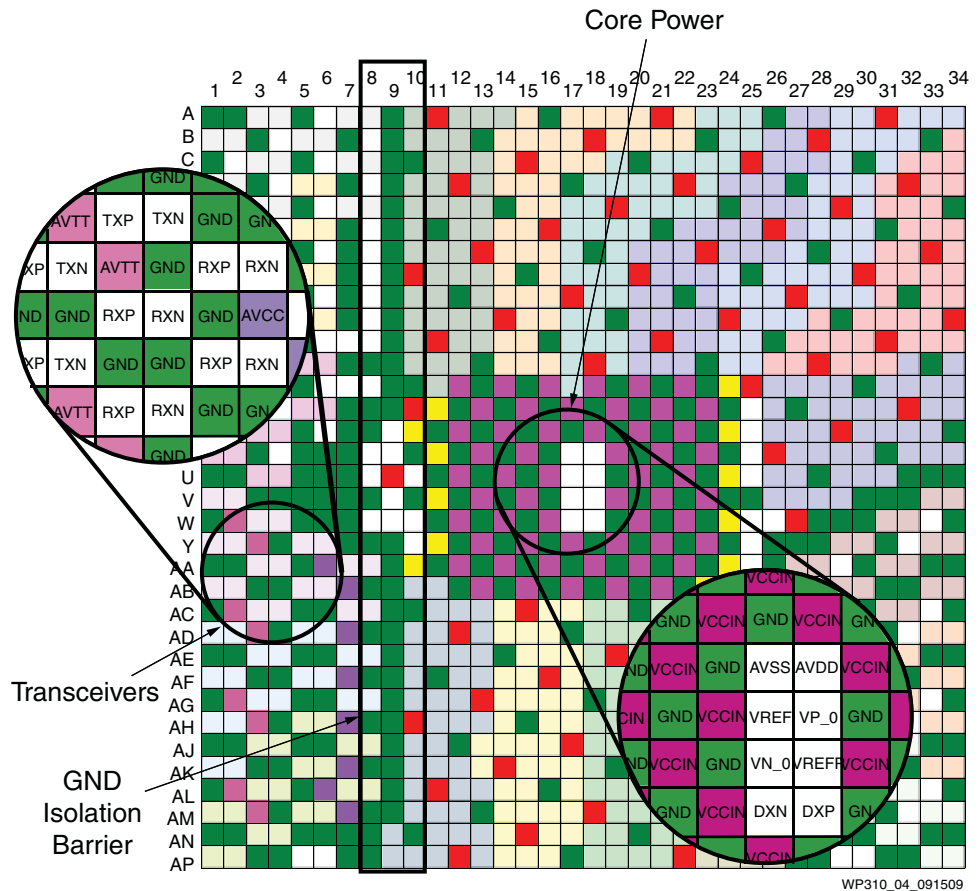


図 4: シグナル インテグリティに対応して最適化された Virtex-6 FPGA パッケージ

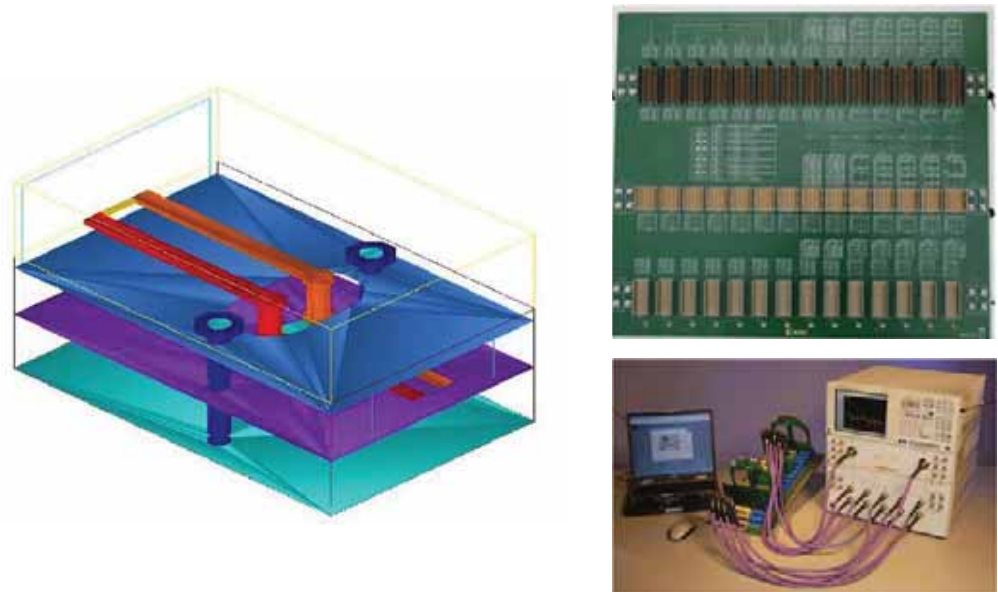
驚くことに、このパッケージテクノロジーによって、ノイズ隔離はチャンネル間で 30dB そして TX と RX 間で 40dB 以上の値となります。

### ボード レベルのシグナル インテグリティ

7年間の研究開発と5世代にわたるトランシーバの開発を通して、ザイリンクスはボードレベルの見地からシグナルインテグリティの研究に多大な投資をしてきました。この研究の結果、ボードレベルのシグナルインテグリティに最も影響を与える3つの要因は、ボードのレイアウト、電力分配ネットワーク、そしてクロックであることがわかりました。

#### レイアウト

前述のように、信号に対する物理的な構成は、高速化が進むほど顕著となります。わずか数ミリの配列の違いが信号の特性を大きく変える可能性があるのです。最も堅牢で完全なプラットフォームを提供するため、ザイリンクスは異なるストラクチャ、コネクタ、バイアス、PCB 材質を使用してバックプレーンおよびテストボードを作成し、これらが信号に与える影響を研究しています。また、これらのレイアウトコンポーネントに対して広く解析を実施し、より充実した高速ボードおよびレイアウト用のガイドラインを提供しているため、負荷の大きな解析作業をお客様自身が行う必要はありません(図5参照)。



WP310\_05\_091509

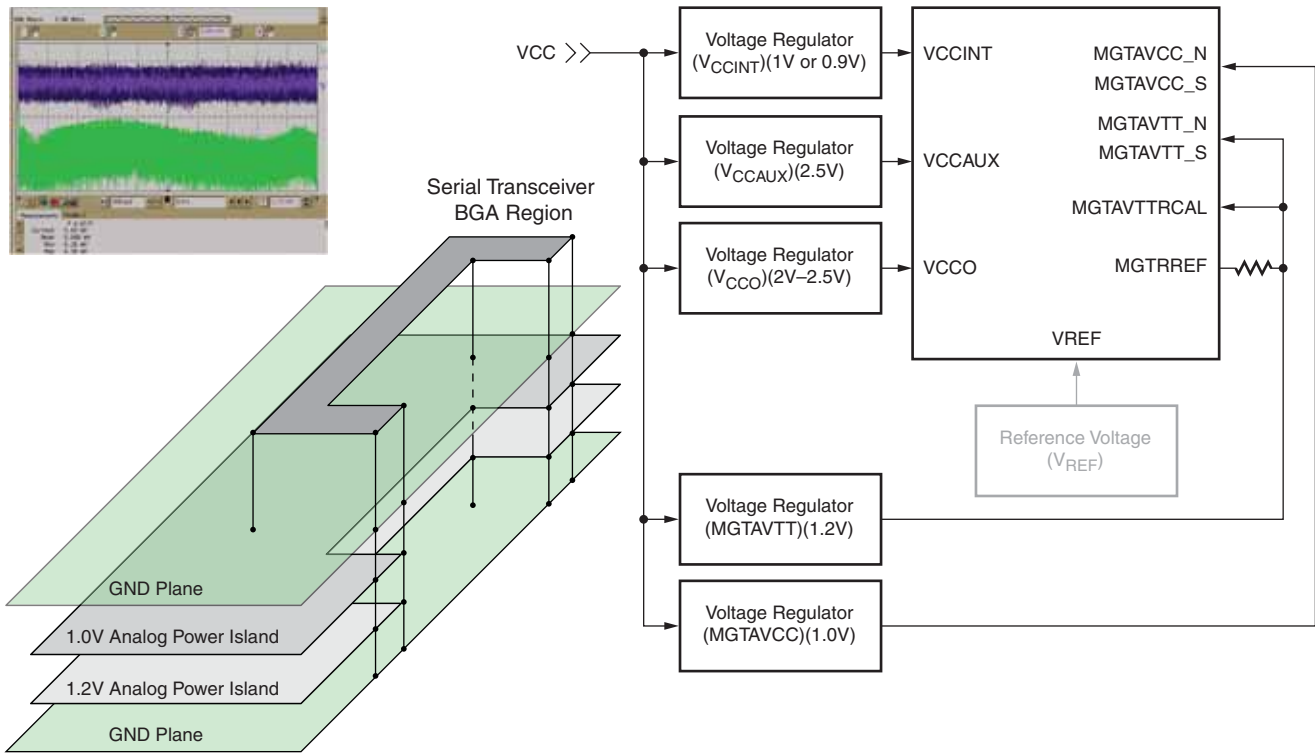
図 5: ザイリンクスが提供するレイアウト ガイドラインの重要ポイント

### 電力分配ネットワーク

ジッタを抑えるには、ノイズのない電源供給が不可欠です。電源のノイズは、トランスミッタおよびレシーバのジッタに直接悪影響を及ぼします。また、ボード設計、エリア、効率にも影響を与えます。従来のトランシーバのベンダーは、ノイズはないが非効率的なリニアレギュレータを使用して、電源ノイズに対応していました。この場合、電源要件を満たすには、複数のレギュレータを使用する必要があります。また、多くの FPGA ではノイズ対策として、多くのオンボードキャパシタやビーズを使用しなければならないのが現状です。

ザイリンクスでは、シリコンだけでなくボードまでを踏まえたソリューションによって、簡潔さと性能に重点を置きながら、全体的な見地から電力分配について取り組んでいます。

- Virtex-6 および Spartan-6 デバイスではトランシーバで必要となる電源レール数を、GTP および GTX トランシーバで 2 本、GTH トランシーバで 3 本に削減
- パッケージやダイにキャパシタを置くことで電源ソースでノイズをフィルタし、ボード上のコンポーネント数を大幅に削減
- 業界をリードする電源ベンダーとの協力で、コストを大幅に削減し、電源まわりの設計のコストおよび負荷を軽減するスイッチングレギュレータを提供
- 以前であれば数倍のコンポーネントを必要としたパフォーマンスレベルを実現する、スイッチングレギュレータの使用を含む包括的なレイアウトガイドラインを供給



WP310\_06\_091509

図 6：ネットワーク上の電力配分を解析してボード設計を簡略化する

### クロック

トランシーバの PLL はすべて、低速なリファレンス クロックを 1 つ使用して高速クロックを 1 つ合成します。このため、リファレンス クロックの品質は、トランスミッタで生じるジッタとレシーバのジッタ耐性に大きく影響します。

必要な周波数ドメインに対するジッタ特性を考慮したリファレンス クロックの要件を具体化することは、トランシーバベンダーにとって、長年の課題でした。ノイズのないリファレンス クロックの巨急が優れたジッタ パフォーマンスにつながることは承知していても、これにかかるコストは非常に高くなります。特定のデザインに最適なリファレンス クロックの選択をサポートすべく、ザイリンクスのアプリケーション チームは、市場やアプリケーションを広く網羅した、クロック要件やソリューションの解析に大きく投資してきました。

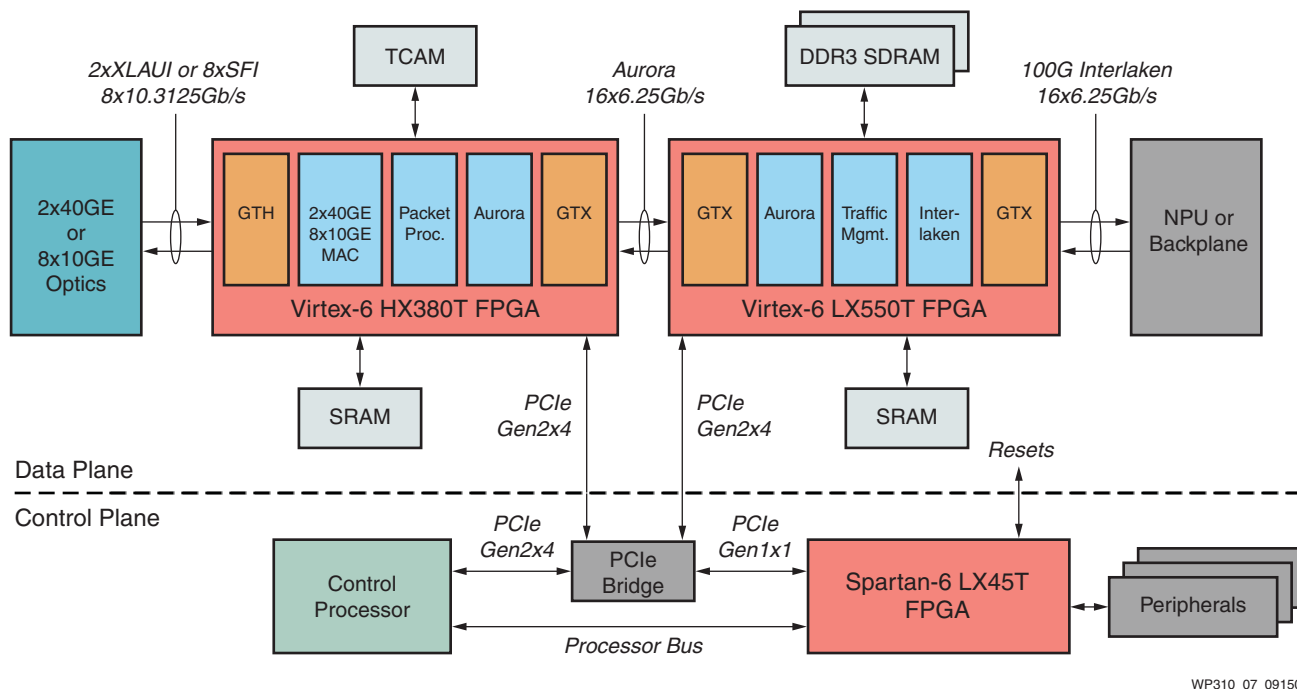
この一環として、ザイリンクスは SiLabs 社、IDT 社、Vectron 社といったクロックベンダーと提携し、多様なプロトコルに対応するクロックソリューションを提供しています。また、アプリケーションチームが作成したユーザーガイドや I/O スペシャリストおよびシステム設計者によるクロックソリューション最適化のためのサポートも提供しています。

### デザイン例

次に紹介する 3 つのデザイン例によって、ザイリンクスが提供する、さまざまな市場やアプリケーション向けのシリアルコネクティビティデザインプラットフォームの価値をさらに具体的に説明していきます。各々の例では、容量、処理能力、トランシーバ性能を適切なバランスで備える 1 つの FPGA がプラットフォームのベースとなり、それに特定のアプリケーションをターゲットとした IP およびリファレンスデザインが追加されています。

### 有線通信製品向けのシリアル I/O ソリューション

たとえば 8x10GE/2x40GE ライン カードをコアとした有線通信システムの場合、データプレーンでは I/O のパフォーマンスと電力密度の最大化が、コントロールプレーンではコスト効率の高い I/O の実装が重要となります ( 図 7 参照 )。



WP310\_07\_091509

図 7 : 8x10GE/2x40GE のライン カード

ここでは、8x10GE/2x40GE ライン カードでパケット処理およびトラフィック管理を行うデザインを例としています。10G の光通信、MAC、パケット プロセッサは Virtex-6 HX380T FPGA を使用して実装されています。

Virtex-6 HXT FPGA は、超ハイエンド設計者が中央局用に「グリーン」製品の開発するために必要なすべての機能を提供します。

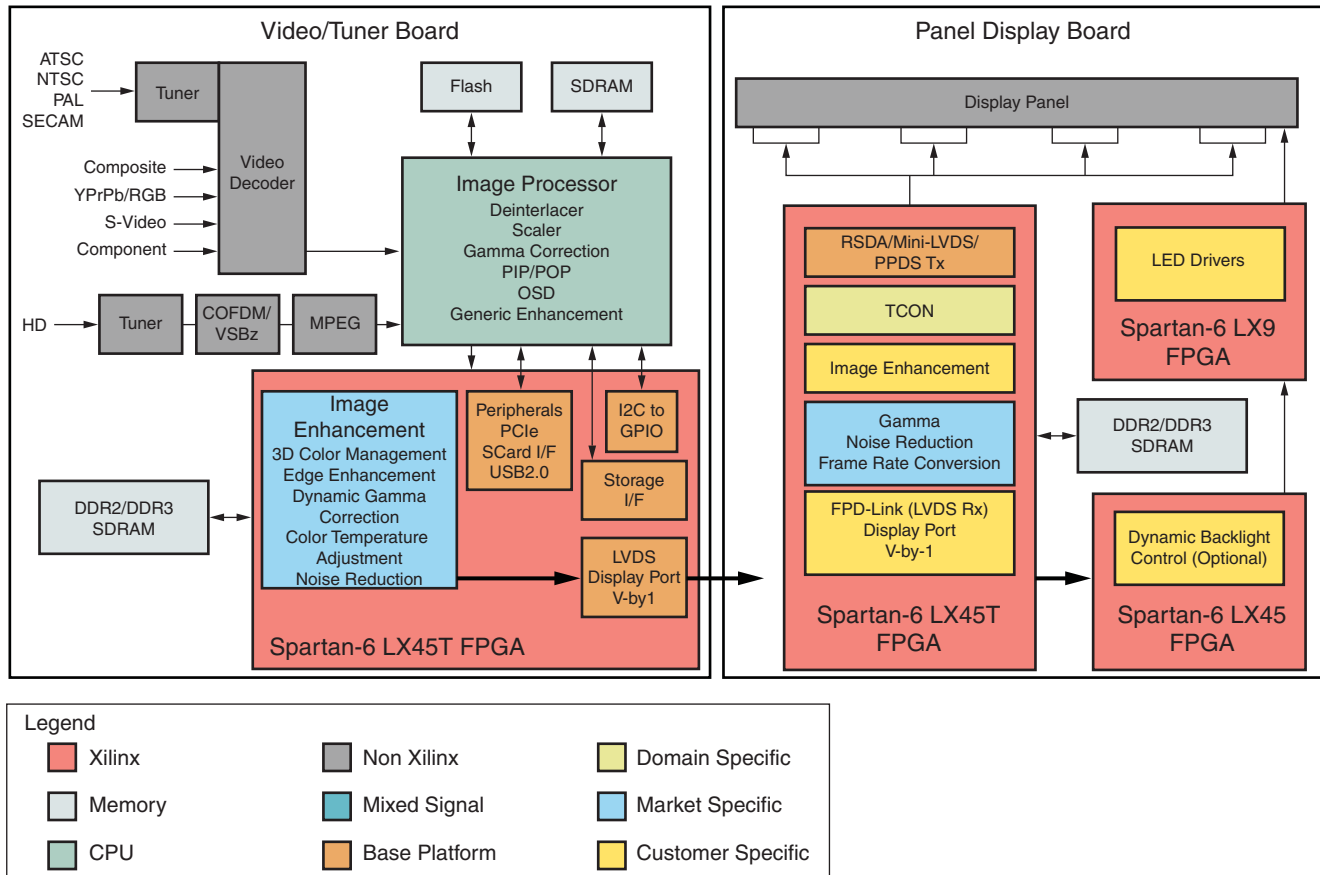
- 既存の電源および冷却フットプリントでより高度な処理能力と性能を実現
- 厳しいスループットとレイテンシの要求を満たす、より高速で広いデータパスでのパケット処理およびトラフィック管理機能を統合
- SelectIO テクノロジを使用し、DDR3、RLDRAM、QDR SRAM とのインターフェイスを簡潔化
- 主要プロトコル向けの IP と柔軟なシリアル トランシーバを使用して 40G および 100G ブリッジを実装し、10Gb/s を上回るライン レートをサポート

ロジック、36 個の 6.5Gb/s GTX トランシーバ、840 個の DDR3 対応 I/O を備えるという点で、必要なリソースすべてを提供する Virtex-6 LX550T FPGA を使用してトラフィック管理機能が実装されています。軽量の Aurora プロトコルは、チップ間のインターフェイスに理想的でパケット プロセッサとトラフィック管理ブロックを接続します。と同時に、100G の Interlaken プロトコルは、バックプレーンから NPU (Network Processing Unit) へのクライアント側のインターフェイスを提供します。

Virtex-6 FPGA はコントロールプレーンのインターフェイスとして機能する第 2 世代の PCI Express 用ブロックを内蔵しています。PCIe 1.0 用ブロックを内蔵した Spartan-6 FPGA は、リセット制御機能とシステム周辺機器とのインターフェイスを提供します。

### 民生品向けのシリアル I/O ソリューション

テレビは通常、チューナとパネルディスプレイの2つのPCB(プリント回路基板)で構成されています。チューナ用ボードは入力規格の範囲全体をカバーし、標準的な画像処理と多様なカスタム画像処理機能を提供しています。パネルディスプレイ用ボードも、データをディスプレイに送信する前に、多数の画像処理機能を実行します(図8参照)。



WP310\_08\_091509

図8: チューナおよびFPD(フラットパネルディスプレイ)ボードには高速なI/Oが必要

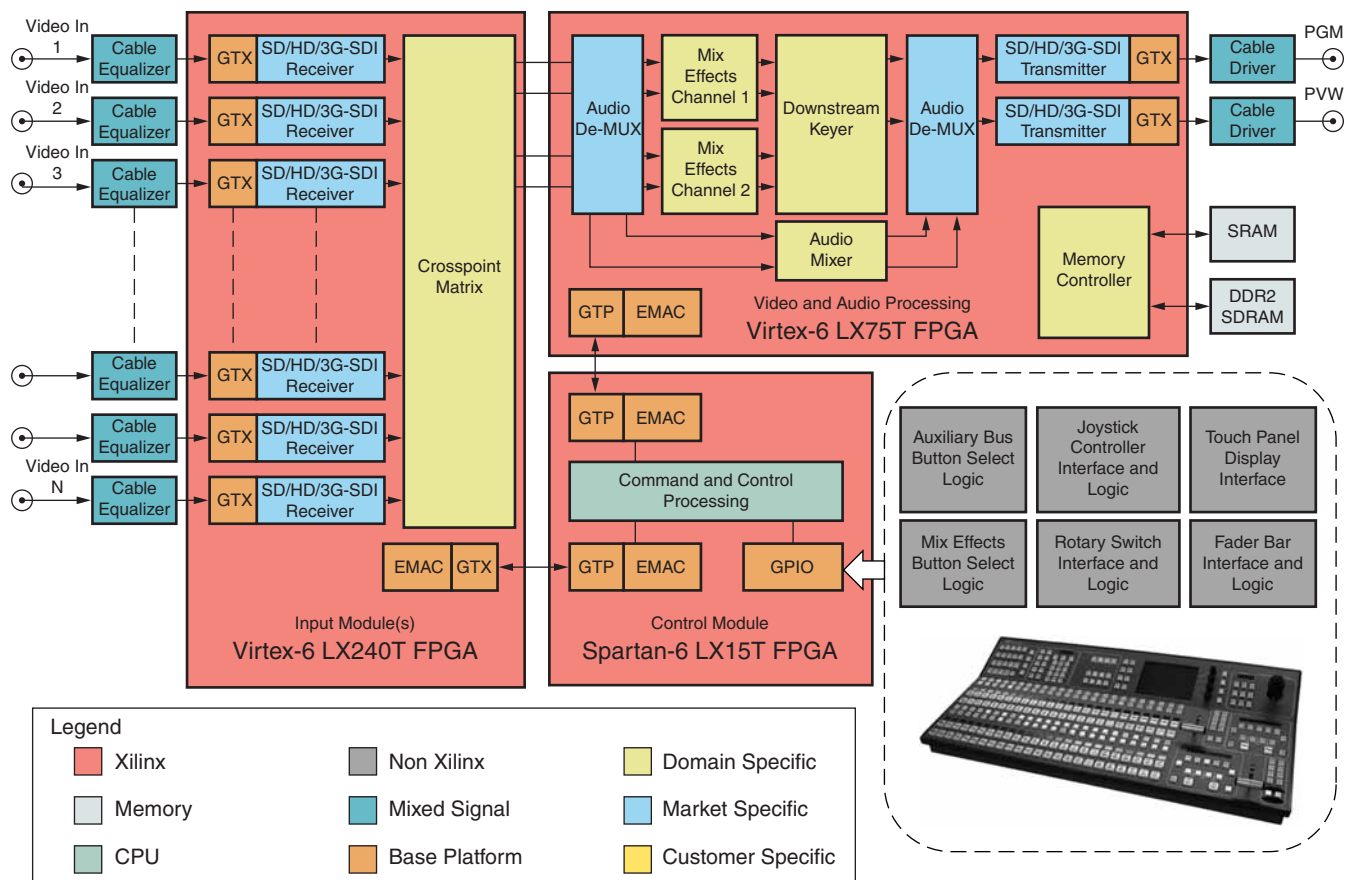
このようなコンシューマ(メインストリーム)アプリケーションの設計は、通常、コストを重視するため、Spartan-6 LXT FPGAをベースとしたデザインプラットフォームが適しています。ただし、ザイリンクスのコネクティビティプラットフォームが与える最も大きな意味を持つ価値はスピード、つまり設計時間の短期化です。これにより、メインストリームの設計者は差別化されたソリューションを市場にもたすことができるようになります。ザイリンクスはIP、ボード、リファレンスデザインを包括的に提供しているため、設計者は必要なシリアルリンクの作成に早い段階で取りかかることができ、付加価値追加のための設計により多くの時間を費やすことができます。

さらに、4Kx2Kなどの高解像度や240Hzを越える高速リフレッシュレートが現実となり、3DTVのような新しいコンシューマ向けディスプレイアプリケーションが登場したことで、ビデオデータストリームは大幅に増加していくことになるため、ハイエンドTVデザインには一層高速なシリアルI/Oリンクが必要となってきます。ザイリンクスのデザインプラットフォームは拡張性と柔軟性を提供しており、この市場におけるメインストリームデザインの量産移行ストラテジに対応するものです。



## 映像放送製品向けのシリアル I/O ソリューション

プロダクションスイッチャは最先端の映像放送システムで、特に生放送においてその重要性を発揮します。このシステムは多様な入力信号フォーマットに対応し、入力信号を異なる解像度、アスペクト比、フレーム比を持つ同等の出力フォーマット一式に変換します ( 図 9 参照 )。



WP310\_09\_091509

図 9 : 映像放送に使用するプロダクションスイッチャ

このようなアプリケーションに活用できる、ザイリンクス デザイン プラットフォームの重要な価値としてはまず、Virtex-6 デバイスによる DSP およびロジックの映像処理性能の向上が挙げられます。Virtex-6 FPGA は次も提供します。

- メモリ対 DSP およびロジック比率の向上
- より大容量のブロック RAM ( 画像処理性能とバンド幅が工場しているため、メモリを増量するためだけに大規模デバイスへの移行は不要 )
- DSP ブロック性能の向上
- 前置加算器 ( プリアダー ) の装備 ( フィルタ速度を改善、Virtex-6 FPGA での最大動作速度 600MHz の場合には、より多数のピクセルとフレームに対応 )
- 速度と消費電力のトレードオフで、30% ~ 40% ほどのダイナミック消費電力が低減されるため、スイッチャ設計のさまざまな点において極めて魅力的な価値を付加
- 旧世代ソリューションに比べ、チャンネル単位の総コストを低減

GTP トランシーバを備えた Spartan-6 は、コスト重視、チャンネル数の少ない映像スイッチャおよびルーターアプリケーションに有用な映像 I/O ソリューションを提供します。

## まとめ

高速シリアル I/O が、メインストリームのコンシューマ製品から超ハイエンド機器におよぶアプリケーションにまで広く普及していることは、デバイスが対応すべきデータ量が膨大になっていることを示すと同時に、これに見合ったプラットフォームは、初心者でもシリアル I/O 設計における課題に十分に対応できる容易なソリューションを提供することを証明しています。

ザイリンクスは、この重要なソリューションをお客様に展開するデザイン プラットフォームの開発に、今後も大幅な投資を継続していきます。

## 改訂履歴

次に、このドキュメントの改訂履歴を示します。

日付	バージョン	改訂内容
2009/09/15	1.0	初版リリース

## Notice of Disclaimer

The information disclosed to you hereunder (the "Information") is provided "AS-IS" with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。