



WP312 (v1.0) 2010 年 2 月 19 日

28nm テクノロジを採用した ザイリンクスの次世代 FPGA

By: Susan Chen, Xin Wu, Prabhuram Gopalan

ザイリンクスは、次世代の FPGA に高性能かつ低消費電力の 28nm HKMG (High- κ メタルゲート) プロセス テクノロジを採用し、さらに ASMBL™ アーキテクチャを統一することによって、これまで以上の性能と省電力性を実現する FPGA を提供します。卓越した集積度と帯域幅を可能にする 28nm FPGA デバイスの登場により、システム アーキテクトや設計者は、ASSP あるいは ASIC を使用していた分野にも完全にプログラマブルな FPGA を採用できるようになります。

ザイリンクスの 28nm テクノロジおよび新しいアーキテクチャには、次のような革新的特長があります。

- ほかの高性能 28nm プロセスによるアプローチに比べ、スタティック消費電力が最大 50% 抑制
- 前世代の FPGA に比べ、システムレベルの性能が最大 50% 向上
- 前世代の FPGA に比べ、集積度が 2 倍に拡大し、総消費電力が最大 50% 削減

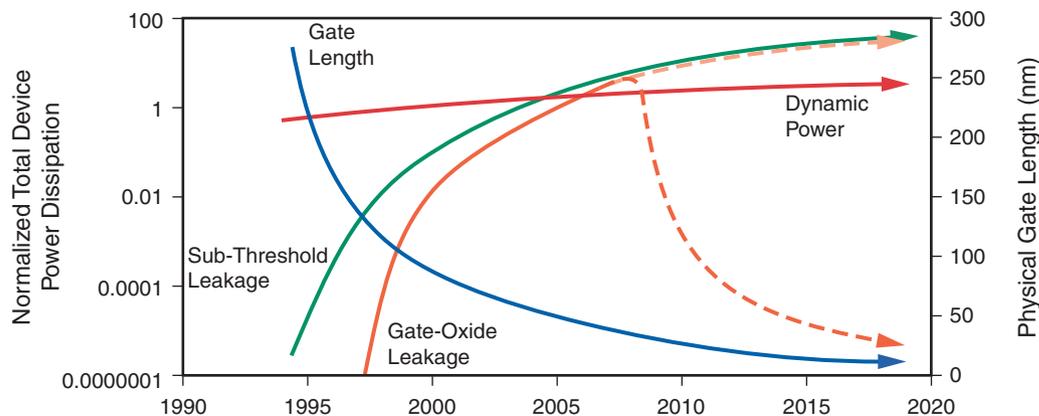
本稿では、半導体業界が市場ニーズを満たす上で現在直面している課題と、ザイリンクスが採用した 28nm プロセス テクノロジがこれらにどのように対応するかについて説明します。高性能かつ低消費電力のプロセスと革新的なアーキテクチャを組み合わせた次世代の 28nm FPGA は、低消費電力が求められるアプリケーションと広帯域幅が求められる超ハイエンド アプリケーションの両方にとって理想的な選択肢となります。

技術面とコスト面の課題： スタティック消費電力の抑制による実用的性能の向上とシステム消費電力の削減

ICを多数内蔵したシステムが広く普及した今日、消費電力の増大は世界的規模で大きな問題となっています。消費電力の増大は環境問題としてだけでなく、システムの構築および運用コストを押し上げるという点でも問題となります。過剰な熱を除去するには、複雑なヒートシンクやファンを使用したりレギュレータの数を増やすなどの対策が必要となり、これらはいずれも資本コスト (CAPEX) を増大させる要因となります。また、デバイスの駆動と冷却に必要な電力を合計した総消費電力も増加するため、運用コスト (OPEX) も増大します。さらにシステムが過度の高温にさらされると信頼性が低下し、そのダウンタイムが増加することで運用コストが一層膨れ上がることとなります。

半導体の微細化の傾向は今なおムーアの法則に従っています。半導体プロセステクノロジーの各世代で集積度は倍増し、低コスト化が進んでいます。しかしこれまでは、フィーチャサイズの微細化とスタティック消費電力の増加は表裏一体と考えられており、微細化のメリットが相殺されていました。この問題に真っ先に直面したのが FPGA 業界です。FPGA 業界は、性能と集積度に対する高い顧客ニーズを満たすため、半導体業界の中でも特に最先端のプロセステクノロジーを積極的に導入してきた経緯があるためです。事実、最先端のプロセスを導入しても消費電力の制約によって集積度と回路速度の向上を実際のシステム設計で活かしきれないケースも少なくありませんでした。そこで、ザイリンクスは次世代システムの設計には「実用的性能」の向上が鍵となると考えました。実用的性能とは、一定の消費電力の枠内で得られるデータ処理能力と定義されるものです。スタティック消費電力を削減できれば、その枠内で許容可能なダイナミック (アクティブ) 消費電力が大きくなり、実用的性能が向上します。その結果として、より高いインターフェイス帯域幅をサポートしたり、ロジック、メモリ、DSP、あるいはその他の高度な機能のリソースを多数、1つの FPGA に実装させることが可能となります。

つまり、FPGA 設計ではダイナミック電力の管理と同時に、性能に寄与しないスタティック消費電力 (リーク電流) の増加を制御することが重要となります。しかし現実には、プロセス形状の微細化とともにスタティック消費電力は増加の一途をたどっていました。場合によっては、スタティック消費電力がダイナミック消費電力を上回ることさえあります (図1参照)。



Source: Semiconductor Industry Association. The International Technology Roadmap for Semiconductors, 2002 Update. SEMATECH: Austin, TX, 2002.

WP312_01_021810

図1：デバイス全体のダイナミック消費電力とスタティック消費電力の推移

28nm ノード以前の FPGA 業界では、電源電圧を下げることで Multi-Vt 手法 (しきい値電圧の異なるトランジスタを使用する技術) を採用することで消費電力の増大を抑えてきました。しかし 28nm ノードでは新しいアプローチが必要です。

28nm ノードで「実用的性能を高める」という課題に対処するため、ザイリンクスはパートナーの TSMC (Taiwan Semiconductor Manufacturing Company) 社とサムスン エレクトロニクス社と協力し、HKMG を採用した高性能かつ低消費電力の 28nm FPGA プロセステクノロジーを開発しました。この新しいプロセステクノロジーは、40nm FPGA プロセスの開発成果をベースに、新たに HKMG テクノロジーを導入して消費電力を抑えることにより、実用的性能を最大限に高めています。

ザイリンクスが選択したこのテクノロジーは FPGA 業界においては比較的珍しいものですが、その他の 28nm プロセス テクノロジよりもスタティック消費電力が大幅に削減されるため、大手 IC サプライヤ各社が注目しつつあります。28nm ノードの場合、デバイスの総消費電力の大部分をスタティック消費電力が占めることも珍しくありません。したがって、電力効率を最大限にするにはプロセス テクノロジの選択が大きな鍵を握ります。

スタティック消費電力を大幅に削減した 28nm FPGA では、許容可能なダイナミック (アクティブ) 消費電力が大きくなるため、集積度と性能をさらに向上させることができます。このため、より低消費電力の製品を開発したり、あるいは同じ消費電力でも集積度と性能を向上させた製品を開発できるなどの柔軟性を設計者にもたらしめます。

28nm FPGA の最適なプロセス テクノロジ： HKMG 高性能・低消費電力プロセス

形状が 28nm になると、従来の FPGA プロセス テクノロジでは消費電力が限界に達し、つまりは性能をこれ以上引き上げることができません。この問題の原因は、これまで数十年にわたって IC のトランジスタ製造に使用されてきたポリシリコン ゲートとシリコン 酸化化ゲート絶縁膜 (Poly/SiON) スタックにあります。

トランジスタの動作を高速化するため、半導体エンジニアはプロセス ノードの微細化に伴ってゲート絶縁膜の薄膜化を進めてきました。しかしゲート絶縁膜が薄くなったことでゲート絶縁膜を介したトンネル効果とゲート直下のリーク電流が大きくなり、リーク電流が増える結果となりました。これらの影響により、プロセス ノードの世代が進むに伴ってスタティック消費電力は大幅に増大します。

ザイリンクスは 90nm ノードで画期的な「トリプル酸化膜」回路テクノロジーを採用し、40nm ノードまではこの手法でトンネル電流の抑制に成功してきました。しかし 28nm ノードではゲート酸化膜がさらに薄くなるため、トンネル効果を防ぐにはゲート材料とアーキテクチャを変更する必要があります。ゲート直下のリーク電流 (サブスレッショルド リーク) を抑えるため、ザイリンクスではトランジスタ設計において慎重なトレードオフを敢行しました。

28nm ノードにおけるリーク電流の問題を解決するためにザイリンクスが採用したのが、「二酸化ハフニウム」と呼ばれる新しいゲート絶縁膜材料です。これは比誘電率 (κ) が高く、ゲート絶縁膜を厚くできるため、トンネル電流の少ないトランジスタの製造が可能となります。たとえば、40nm テクノロジで使用していた二酸化シリコンの κ 値は 3.9 ですが、28nm メタル ゲート テクノロジの二酸化ハフニウムの κ 値は 25 と大きく、28nm ノードで高性能と低消費電力を両立させるには最適な選択肢であるといえます (図 2 参照)。

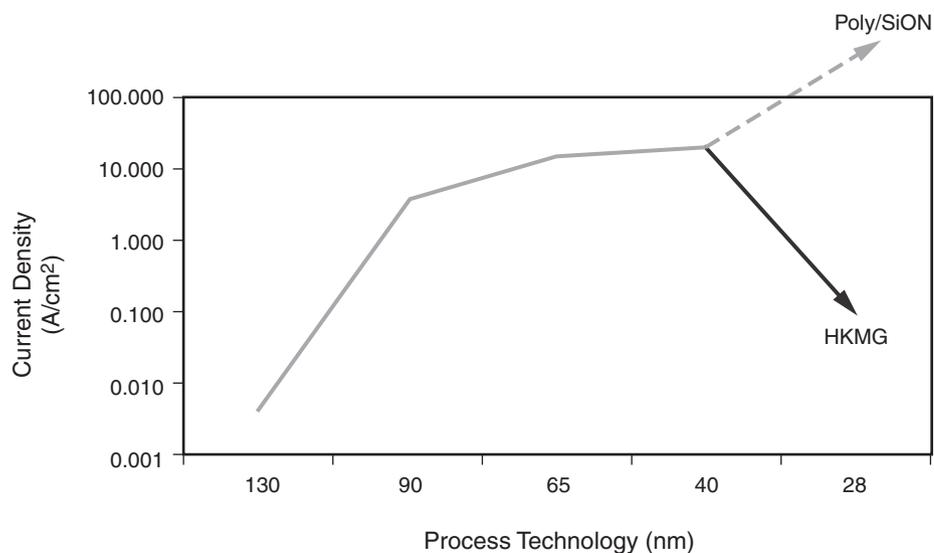


図 2：プロセス テクノロジの微細化とゲート電流密度の関係

ザイリンクスは 高性能かつ低消費電力の 28nm HKMG プロセス テクノロジーの採用に至る過程で、標準の低消費電力 (LP) プロセスや高性能 (HP) プロセスなどいくつかの選択肢を検討しました。

28nm LP プロセスは、40nm 世代の Poly/SiON アプローチを発展させたものであり、リスクはそれほど大きくありません。しかしトランジスタのスイッチング速度と性能が十分ではなく、FPGA に求められる要件を満たすことができません。一方、28nm HP プロセスは性能こそ高いものの、消費電力が増加してしまうため、実用的性能は制限されてしまいます (図 3 参照)。

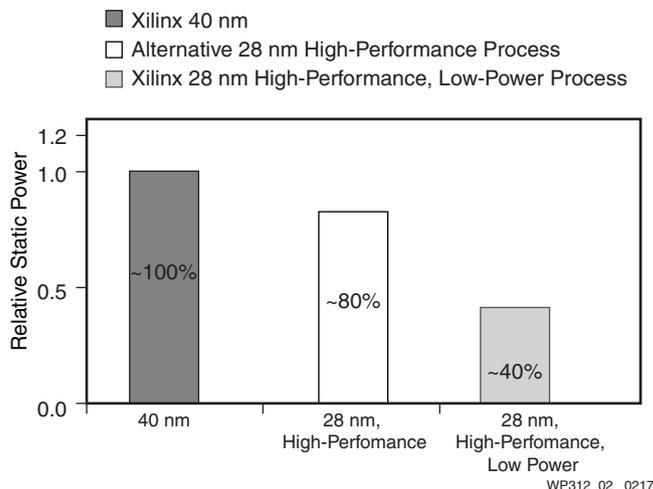


図 3：同等の性能で 40 nm と 28 nm の相対的なスタティック消費電力を比較した結果

さらに、28nm HP プロセスでは HKMG とシリコン ゲルマニウム (SiGe) 歪み技術を組み合わせる必要があります。このように製造プロセスで最先端の技術を 2 種類組み合わせることには大きなリスクが伴います。その点、高性能かつ低消費電力の 28nm HKMG プロセスはシンプルなストレス リニア歪み技術を使用するため、そのリスクが低減されます。

ザイリンクスは 40nm FPGA では世界的なファウンドリの UMC 社と提携していますが、28nm FPGA ではさまざまなプロセスの選択肢を評価検討した結果、TSMC 社とサムスン社という大手シリコンファウンドリをパートナーとすることに至りました。これは、ザイリンクスの次世代 FPGA デバイスに求められる要件を考慮した場合、この 2 社にまさるファウンドリはないと判断したためです。これらファウンドリの技術は性能と電力効率のバランスに優れており、製品要件を理想的な形で満たすものです。ザイリンクスは 28nm FPGA でも定評のあるマルチファウンドリ戦略を踏襲し、テクノロジーリーダーとしての地位を維持しながら製品の早期市場投入を図っていきます。また、このようなストラテジは地理的な分散によって供給リスクを低減するという目的も兼ねています。

パラドックスを解消： 高性能と低消費電力の両立

FPGA は、オートモーティブ、放送、民生、産業、医療、テストおよび計測、ビデオ、有線通信、無線通信など、幅広い市場の多様なアプリケーション ニーズを満たすよう設計されています。ザイリンクスは、これらの市場の数百社もの顧客企業からの助言を取り入れて 28nm FPGA の定義を行いました。今回の目標は、消費電力を 50% 削減すると同時にシステムの性能を 50% 以上向上させることにありました。

まず、システムの性能目標を達成するため、ザイリンクスは顧客企業と緊密に協力してシステムのアーキテクチャ上のボトルネックを洗い出し、その理解に努めました。この結果、目標とする性能が得られていない原因は、ほぼ例外なく「外部インターフェイスのボトルネック」にあることがわかりました。顧客企業が要求する高いインターフェイス データ レートを達成するには、レイテンシを抑え、大きなノイズ マージンを確保することが重要であるという結論に達しました。

ザイリンクスは、28nm FPGA で十分なインターフェイス性能を実現するため、クロッキング テクノロジーを大幅に改良するとともに、クリティカルなデータパスのコンポーネントをハード化することを選択しました。この結果、外部メモリ インターフェイスの性能が飛躍的に改善され、全体的なシステム性能を 50% 以上向上させることに成功しました。

高性能マイクロプロセッサの多くでは、コアの動作速度が設計上最も重要な要素となります。これに対し、FPGA は比較的低いトグルレートで高速にデータ処理を実行できます。これは、FPGA アーキテクチャに特有の並行処理性能を活用することで、I/O ライン レートの数分の 1 のクロックで広帯域のデータパスを設計できるためです。28nm テクノロジでは、デバイスの集積度が 2 倍に向上することによってパイプライン処理と並列処理の性能が強化され、コアの性能はさらに向上します。同様の傾向として、マイクロプロセッサもマルチコア化が進んでいます。マルチコア プロセッサも、各コアの動作周波数を低く抑えながら、動作周波数の高いシングルコア プロセッサよりも、全体としては高い性能を実現しています。

このように、革新的なクロッキング技術とクリティカルなデータパス コンポーネントのハード化によるオンチップとオフチップのデータ移動速度の向上、そして FPGA のコア性能の強化により、システム全体の性能が大きく改善されます。

高性能と低消費電力を両立した最適なプロセス テクノロジの選択に加え、28nm FPGA プロセスでは革新的なクロック ゲーティングや新しい配置配線アルゴリズムを採用してさらに消費電力の削減を図っています。細粒度のクロック ゲーティング テクノロジには、論理式を解析して最終結果に無関係なロジックの遷移を無効にするというザイリンクスの特許アルゴリズムを用いています。こうしてロジックの不要な動作をなくすことで、消費電力が平均で 20% 削減されます (図 4 参照)。

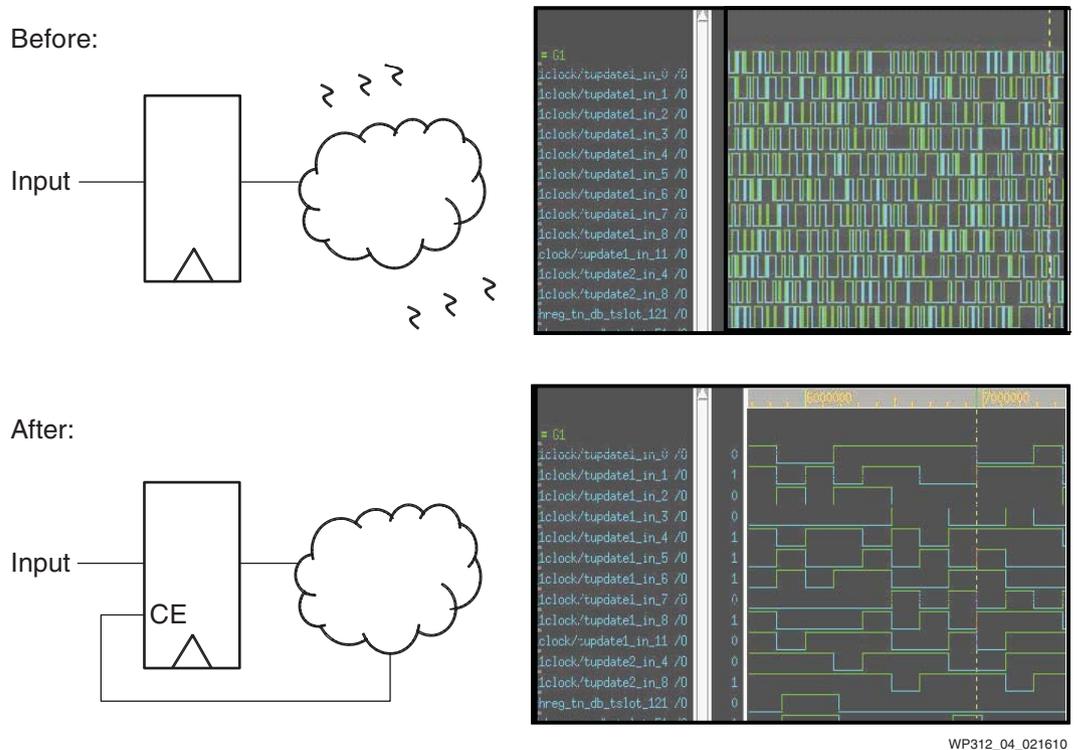


図 4：細粒度のクロック ゲーティング適用前と適用後のロジックの動作

これらの設計メソッドとツールの改良に加え、第 5 世代パーシャル リコンフィギュレーションなどの技術や新しい統一された ASMBL アーキテクチャの採用によって消費電力をさらに低減し、高い集積度を実現しています。

実証されたメソドロジ： 28nm FPGA を最短期間で市場に投入

これまでザイリンクスは、新しいプロセス ノードへの移行時に **FPGA** を短期間で確実に市場投入してきました。これを可能にしてきたのが、ザイリンクスが長年にわたって採用してきたテクノロジー開発メソドロジです。このメソドロジは 20 年以上にわたって改良が加えられ、あらゆるテクノロジー ノードで大きな成果を残してきました。

このメソドロジで最大の特長となっているのが、シリコン「テスト ビークル」をインテリジェントに活用しているという点です。これによって、**FPGA** の製品テーブアウトよりもかなり前の段階でテクノロジーの量産準備を整えることができるようになっていきます。このメソドロジでは、デバイスの性能、設計/プロセス マージン、**OCV (On Chip Variatio**、チップ内ばらつき)、**DFM (Design for Manufacture**、製造性考慮設計)、クリティカルブロック検証、プロセスおよび歩留まりの安定性、ダイとパッケージの相互作用、そして製品の信頼性に至るまで、あらゆる領域において包括的な検証を実施します。テスト ビークルの効果を最大限にするには、開発プロセス中にどれだけのテスト ビークルを導入したかという絶対量を重視するのではなく、デバイスとプロセスの量産準備完了までのいくつかの節目に合わせて高付加価値のテスト回路とデザイン **IP** ブロックを用意する必要があります。

この定評あるテクノロジー開発メソドロジは 4 つのステージで構成されています (図 5 参照)。

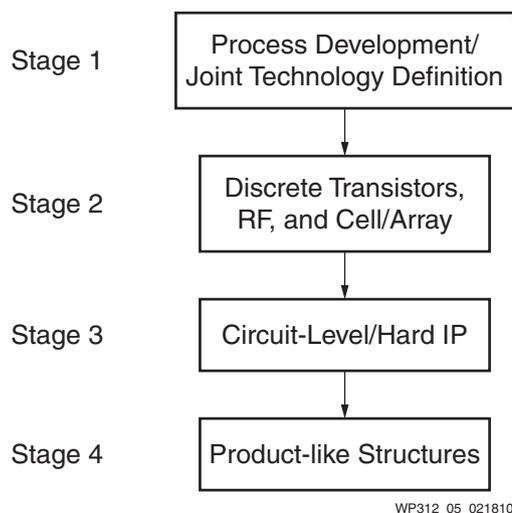


図 5 : テスト ビークル開発の 4 つのステージ

ステージ 1 では、ファブ パートナからテクノロジー固有のテスト回路が提供されます。このテスト回路を用いて、新しいプロセス モジュールの実行、装置の準備、材料の組み合わせの評価を行います。たとえば、40nm 世代と 28nm HKMG プロセスでは液浸リソグラフィとシリコン ゲルマニウム (SiGe) を使用しました。ザイリンクスとファウンドリが共同でテクノロジー ターゲットを定義および調整を行うのがこのステージです。

ファブ パートナのテスト回路だけでなく、ザイリンクスでもいくつかのテスト ビークルを共同開発しました。これは、ザイリンクスの次世代 **FPGA** に固有のテスト回路を用いてデバイス モデルを評価するものです。このテスト ビークルを活用することで、レイアウトおよび設計のルールを修正し、予測されるデバイス / 回路の動作と製造性を考慮してシミュレーション モデルを調整できるようになります。

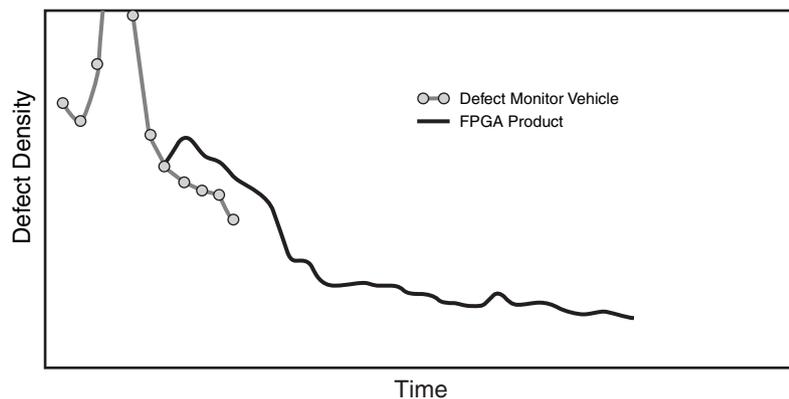
ステージ 2 では、高速ランシーバに不可欠なインダクタやキャパシタなどの **RF** コンポーネント、および **FPGA** 素子のセル / アレイ ベースの構造を検証するテスト ビークルを作成します。

ステージ 3 では、回路レベルの **FPGA** ブロック (ブロック **RAM** やコンフィギュレーションなど) とハード **IP** モジュールをテスト ビークルに追加します。これらのテストでは、寄生素子が回路性能に与える影響など、個々の **FPGA** ブロックのマクロレベルの機能と性能を評価します。このほか、**ESD** の影響を製品開発の初期に特性評価するためのテスト回路もあります。これらテスト ビークルからの実験データを長期にわたって継続的に収集し、検証することによってデバイス モデルと実際のシリコンの相関関係を求めます。こうして、性能と消費電力の両方を最適化した **FPGA** が得られます。

ステージ 4 では、ステージ 3 までのすべてのテスト ビークルの主な要素に加え、代表的な製品回路のテスト機能を追加します。たとえば、RAM のテストでは FPGA の製品レイアウトに伴うランダム欠陥のデバッグを行います。それ以外にも機能と性能を特性評価し、製品の信頼性を早期段階で評価できるようにします。

これらステージの大半を通じ、ザイリンクスは特許技術のベンチマーク テスト回路を用意しており、FPGA 専用開発された回路 IP をモニタリングすることによって、プロセス フィーチャーを検出、デバッグ、最適化し、性能と消費電力のバランスを微調整しています。これらモニタ回路からは、ファウンドリ パートナが FPGA 製品のテープアウト前に製造上の潜在的な問題を見つけて解決していく上で役立つ貴重な洞察を得ることができます。この結果、短期間で歩留まりが向上し、歩留まりの予測精度も改善されます。ザイリンクスの独自技術を利用したこれらの回路によって不具合の正確な位置がわかるため、問題の診断と解決に要する時間が大幅に短縮されます。

ザイリンクスの特許技術であるこのベンチマーク テスト回路と統計解析を組み合わせると、主要なプロセスにおいてマージンの限界を示す弱点が容易に特定できます。その他のテスト回路は、プロセスとデザイン コーナーの相互作用を特定できるように全体的な視野に立って設計されており、フロントエンド (トランジスタ レベル) とバックエンド (配線 / 絶縁膜) の両方で PVT (プロセス、電圧、温度) の変動全体にわたる性能と消費電力が早期段階で解析可能となります。さらに、代表的な製品回路を FPGA デバイス内に追加し、テスト ビークル回路から得られた結果をさらにデバッグして実際の FPGA デバイスとの相関を求めます (図 6 参照)。



WP312_06_021710

図 6：欠陥密度の時間推移

ザイリンクスのテクノロジー開発プロセスは高速アナログ コンポーネントにも大きな重点を置いていません。テスト ビークルには、キャパシタやインダクタなどの基本的な構成素子だけでなく、マルチ PLL オシレータやその他の回路もトランシーバの不可欠な要素として特性評価されています。オシレータはトランシーバの中心部であり、周波数の安定性と位相ノイズに関する特性評価を早期の段階で包括的に行う必要があります。このほか、エッジレートや反射損失などの特性評価もトランシーバ関連のテスト回路を用いて行われます。テスト ビークルでは複数の回路をそれぞれ近くに配置し、バックエンドのメタル層もすべて使用して潜在的な結合効果や隣接するオシレータとの干渉を洗い出します。ここで重要なのは、回路を近くに配置するという点です。これは、実際の FPGA デバイスに複数の回路とバックエンドのすべてのメタル層がある場合と、オシレータとバックエンドのメタル層がそれぞれ 1 つしかない場合では特性がまったく異なるためです。このデータを活用することにより、テクノロジー開発の早期段階で問題を解決し、28nm FPGA の量産準備を短期間で完了することができます。

ザイリンクスは 2007 年から 28nm プロセス テクノロジーの開発を進めており、この課程で複数のテスト ビークルを使用して次世代 FPGA を短期間で確実に市場投入できるよう取り組んできました。

まとめ

半導体業界では消費電力が重要な問題となっていますが、FPGA 業界では特にこれが大きな関心事となっています。28nm FPGA の開発にあたり、ザイリンクスは新しいアプローチで消費電力の削減を図り、実用的性能の向上を実現しました。

28nm FPGA では、高性能かつ低消費電力のプロセス、革新的アーキテクチャ、そしてデザイン開発ツールを組み合わせた全体的なアプローチをとることによって、前世代の FPGA に比べて次のような成果を達成しています。

- スタティック消費電力とダイナミック消費電力の増加傾向を抑制し、総消費電力を 50% 削減
- システムの性能を 50% 向上
- 集積度を 2 倍に向上

この結果、ザイリンクスの 28nm FPGA 製品はシステムアーキテクトやロジック設計者に画期的な変化をもたらすこととなります。すなわち、低消費電力が求められるアプリケーション (HDTV、産業用制御機器、車載インフォテインメントなど) や広帯域幅が求められる超ハイエンドアプリケーション (通信ギア、高性能コンピューティング、ソフトウェア無線、ビデオ処理など) を含め、幅広い用途に FPGA が活用できるようになるのです。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2010 年 2 月 19 日	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the "Information") is provided "AS-IS" with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.