



WP324 (v1.0) 2007 年 11 月 28 日

低コスト FPGA を使用した 高速ブロードキャスト映像 接続のソリューション (3G)

著者 : Bob Feng (ザイリンクス社)、
Mark Sauerwald (National Semiconductor 社)

ザイリンクスの Spartan™-3E/Spartan-3A FPGA、National Semiconductor 社の PHY、そしてザイリンクスの映像処理スタックを使用すると、低コストで柔軟にマルチレート ブロードキャストイングに対応できます。

はじめに

近年の高速映像アプリケーション設計者は、デジタル IP の要件とアナログ物理インターフェイスの要件を共に満たすという大きな課題に直面しています。デジタルコンポーネントとアナログコンポーネントでは要件が異なるため、通常 1 つの ASSP チップ上で両方をサポートするには、品質またはコストのいずれかを犠牲にしなければなりません。また、エリアを無駄にせず適切な IP と物理インターフェイスを使用したり、複数規格の要件を満たすことは非常に困難です。

そこで、ザイリンクスと National Semiconductor 社が共同開発した新しいチップセットを使用することで、デジタル世界とアナログ世界の長所を生かしたインテグレイテッドソリューションが誕生しました。映像処理 IP スタックなどのデジタル部分は Spartan-3E または Spartan-3A FPGA シリコンで実行され、アナログ部分は、低ジッタという最高品質信号を誇る National Semiconductor 社製 SDI PHY で実行されます。これにより、オーディオ/ビデオブロードキャストシステム開発者は、初期段階のインターフェイス接続に労力を費やす必要がなく、専門の映像コンテンツ処理機能に集中できます。

SDI 映像規格

シリアル デジタル インターフェイス (SDI)(SMPTE 259M) は、単一同軸ケーブルで未圧縮の標準精細 (SD) 映像信号の送信に広く適用されているブロードキャスト産業規格です。通常、SDI は映像フォーマット 480i60 (60Hz で 480i) を可能にするため、データレートは 270Mbps をサポートします。

高精細 SDI (HD-SDI) (SMPTE 292M) は、高精細フォーマット 720p60 および 1080i60 を可能にするため、最大データレートは 1.485Gbps をサポートします。

3G-SDI (標準的な 3 Gigabit SDI)(SMPTE 424M) は、シリアル デジタル スループットをさらに最大 2.97Gbps までサポートするため、最高画像解像度である 1080p60 が可能になります。

National Semiconductor 社製 PHY

National Semiconductor 社は、SDI アプリケーションの物理層送信をサポートする完全な製品ポートフォリオを提供しています。同社の SDI シリアライザおよびデシリアライザの新ファミリには、270Mbps の標準精細 (SD) SMPTE 259M、1.485Gbps の高精細 (HD) SMPTE 292M、および 2.97Gbps の 3Gbps (3G-SDI) SMPTE 424M をサポートするスピードグレード オプションがあります。表 1 に、PHY 製品情報の詳細を示します。

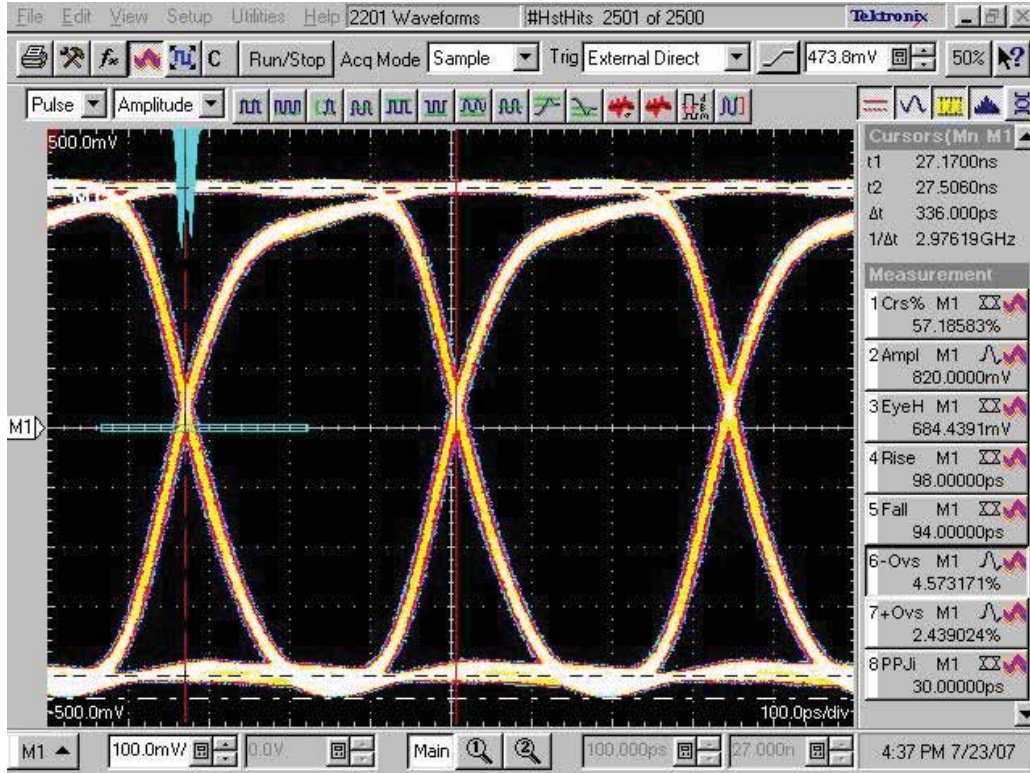
表 1 : National Semiconductor 社製 PHY ファミリ

製品 ID	説明	最大データレート	サポートされるデータレート	サポートされる SMPTE 規格
LMH0340	シリアライザ およびドライバ	3G	2.97G 1.485G 270M	424M 292M 259M
LMH0341	リクロッキング デシリアライザ	3G	2.97G 1.485G 270M	424M 292M 259M
LMH0040	シリアライザ およびドライバ	HD	1.485G 270M	292M 259M
LMH0041	リクロッキング デシリアライザ	HD	1.485G 270M	292M 259M
LMH0050	シリアライザ	HD	1.485G 270M	292M 259M
LMH0051	デシリアライザ	HD	1.485G 270M	292M 259M
LMH0070	シリアライザ およびドライバ	SD	270M	259M
LMH0071	リクロッキング デシリアライザ	SD	270M	259M

National Semiconductor 社の LMH034x ファミリは、次のような優れたアナログ性能が特徴です。

- 非常に低い出力ジッタ : HD と 3G のデータレートでは 50ps ([図 1](#) を参照)
- 優れた入力ジッタの耐性 : 最小 0.6UI ([図 2](#) を参照)
- シリアル クロック リファレンスおよびデータ リカバリ用に高精度 PLL を内蔵
- LMH0340 トランスミッタに ケーブルドライバを内蔵
- リクロックされたシリアル ループ スルー機能およびドライバを内蔵
- 低消費電力
 - ◆ Tx : 435 mW
 - ◆ Rx : 590 mW
- 外部 VCO またはクロックは不要

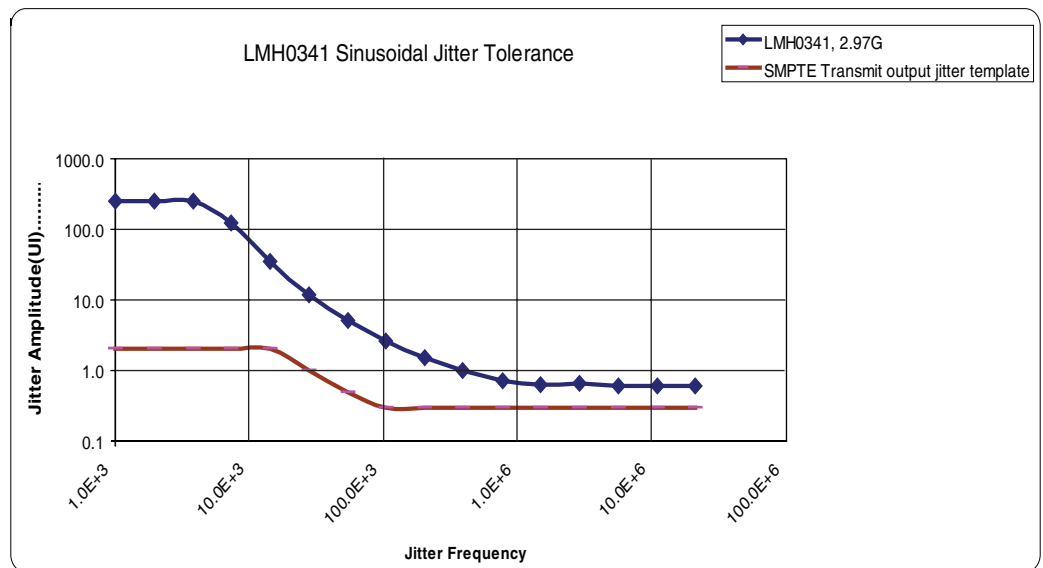
図 1 および図 2 に、低い出カジッタおよび入カジッタ耐性を示します。



Equipment: Tektronix CSA8000 sampling scope with 20 GHz sampling heads
 Input Signal: PRBS 2¹⁵ -1
 Data Rate: 2.97 Gbps

WP324_01_112807

図 1 : LMH0340 3Gbps 出カジッタ : HD および 3G データ レートで 30ps



Data Rate: 2.97 Gbps
 Equipment: Agilent J-BERT

WP324_02_112807

図 2 : LMH0341 最小入力ジッタ耐性 : 0.6UI

National Semiconductor 社の LMH ファミリは、最先端のアナログ性能を備えた上に、PHY デバイスとホスト FPGA 間の平行バスが従来の 20 ビットのシングルエンド インターフェイスから 5 チャンネルの電圧作動信号 (LVDS) インターフェイスへと削減されています。このように狭い差動バスを使用することによって EMI が削減し、またインターフェイス上のトレース数を削減したり、ホスト FPGA で使用するピン数を削減することによってボード レイアウトが単純化します。さらに同社の個別 PHY は外付け VCO やジッタを制御する PLL が不要です。図 3 および図 4 に、LVDS インターフェイスを使用して簡素化された構造を示します。

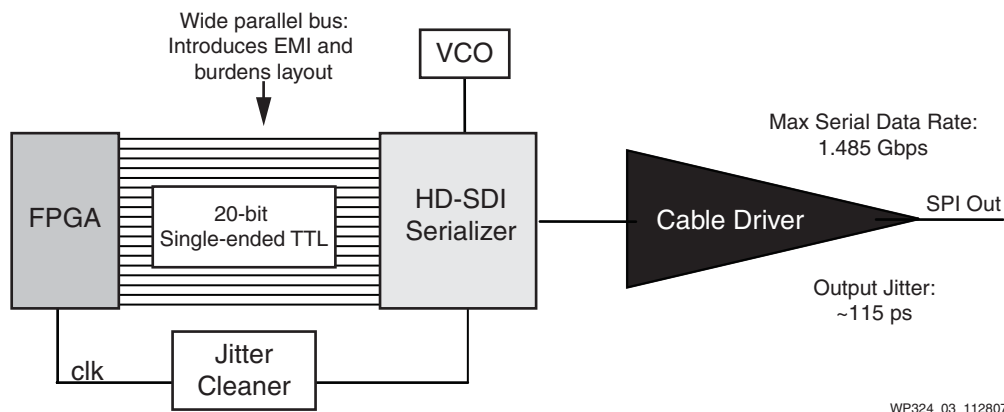


図 3 : 以前 : 幅の広い平行バスを使用した場合の SDI 構造

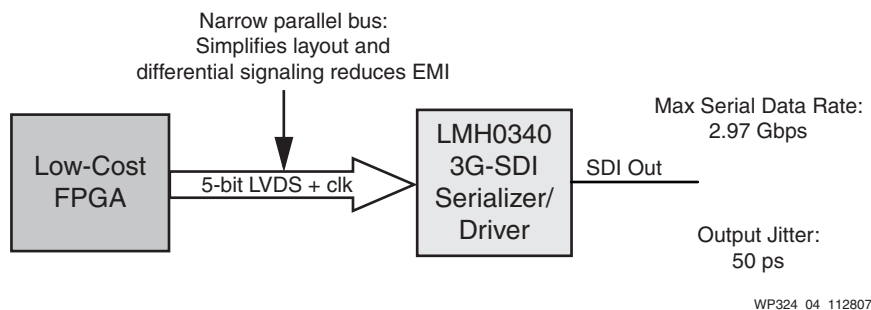


図 4 : 以前 : 幅の狭い平行バスを使用した場合の SDI 構造

National Semiconductor 社のソリューションとザイリンクス社の Spartan ソリューションを組み合わせることにより、低コスト FPGA がプロフェッショナル映像アプリケーション向けの SD、HD および 3Gbps データ レートをサポートする高性能ブロードキャスト市場で使用できるようになりました。

映像アプリケーション用の Spartan-3E および Spartan-3A FPGA 機能

Spartan-3E および Spartan-3A FPGA ファミリは、次に示すように高性能かつ高集積 (ロジックおよび I/O) で柔軟性があり、低コストな特徴を持っている映像アプリケーションのさまざまな分野に適しています。

- システム ゲート数 50,000 ~ 160 万個
- 666Mbps 以上の LVDS 差動 I/O ドライバ、直接チップ間通信用にレシーバで終端を内蔵
- 300MHz 以上で動作する DDR (ダブルデータ レート) I/O レジスタ (実効レートは 600Mbps 以上)

- 200MHz 以上で動作する 18Kb デュアルポート ブロック RAM (FIFO およびデータバッファリング用)
- 200MHz 以上で動作する専用 18x18 乗算器 (高速デジタル信号処理用)
- デジタルクロックマネージャ (DCM)
 - ◆ クロックのスキュー調整
 - ◆ 周波数合成
 - ◆ 高精度位相シフト
 - ◆ 広い周波数範囲 (5MHz ~ 300MHz 強)
- 開発段階またはフィールドで容易にデザインを変更したり、1つのソリューションで複数規格をサポートできる完全なプログラム機能
- 映像アプリケーションの主要機能を迅速にインプリメントできるソフトウェアおよび IP
- 容易に設計をスタートできるデザイン例やリファレンスボード

FPGA を使用した場合、業界規格へ準拠しながら競合製品との差別化を図ることが可能です。この作業は、ASSP ソリューションを使用するには非常に困難であり、ASIC を使用するとコストがかかります。柔軟性のあるプログラマブルソリューションは市場投入を加速化し、またフィールドでアップデート可能なため、長期間の市場滞在が可能です。デザインの規格やバージョンが多数存在すると市場での安定性に欠けるため、伝送方式、MPEG プロファイル、画像フォーマット、カラー修正などにデザインが柔軟に対応できることが不可欠です。

Spartan-3 Generation FPGA の詳細は、次のリンク ページを参照してください。

japan.xilinx.com/products/silicon_solutions/fpgas/spartan_series/index.htm

ソフト SerDes と映像処理 IP スタックの接続

National Semiconductor 社の PHY が SDI 物理インターフェイスをサポートする一方で、FPGA は映像処理 IP スタックで次に示す全デジタル機能をサポートする重要な役割を果たします。

- 20:5/5:20 LVDS ソフト シリアル化およびデシリアル化 (SerDes)
- SMPTE スクランブル / デスクランブル
- Video フレーム化 / デフレーム化
- CRC およびライン番号挿入
- ラスタライズ
- ANC 挿入
- 映像規格の検出およびフライホイール

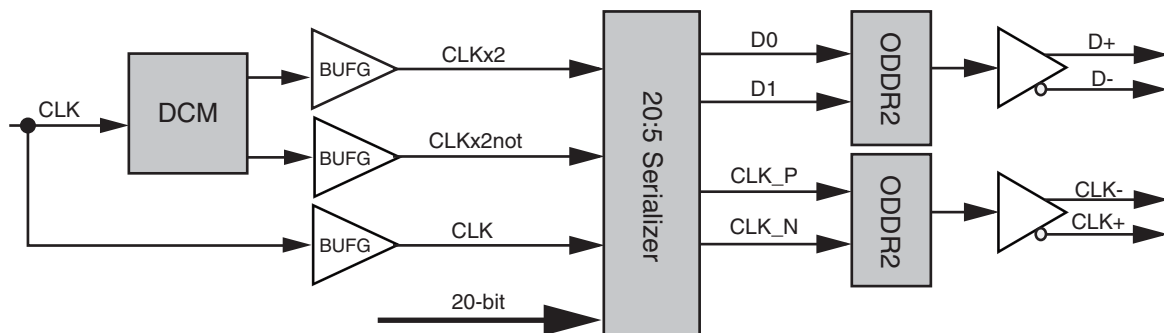
FPGA デザインは、2つの周波数ドメイン (ソフト SerDes およびピクセル処理) に分割されています (表 2 を参照)。

表 2: FPGA デザイン周波数ドメイン

規格	ソフト SerDes	ピクセル処理
SD-SDI	27MHz	27MHz
HD-SDI	148.5MHz	74.25MHz
3G-SDI	297MHz	148.5MHz

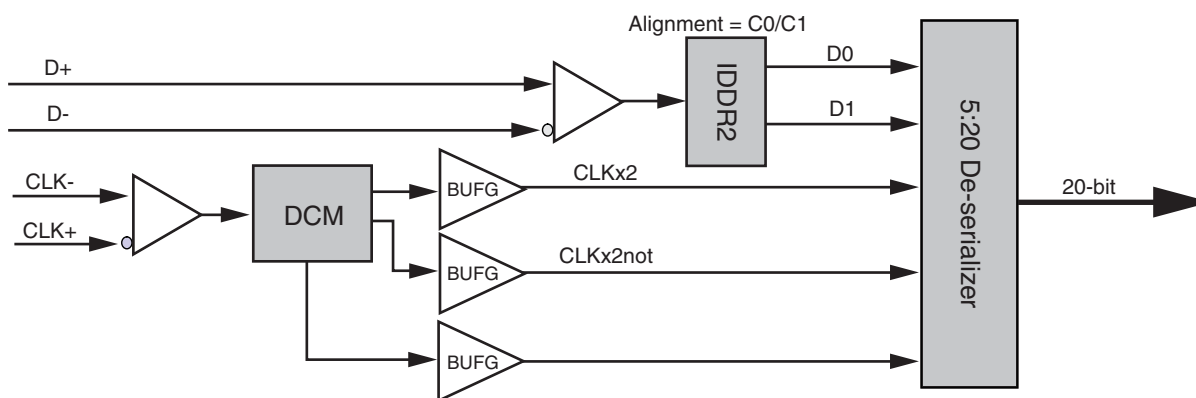
通常、ソフト SerDes で使用されるクロック周波数は、シリアル化のビット レートの半分です。これは、DDR 手法を駆使することで達成できます。一方、ピクセル処理で使用されるクロック周波数は、関連する映像送信フォーマットによって異なります (例: 720p60 の場合は 74.25MHz、1080p60 の場合は 148.5MHz)。

ソフト SerDes には、すべての差動チャンネルで 594Mbps を実現するため最大周波数 297MHz が必要になるため、タイミング クロージャの課題は、主にソフト SerDes で生じます。ザイリンクスの Spartan アプリケーションチームは、2007 年 5 月からソフト SerDes のリファレンス デザイン ベータ版の提供を開始しました。その後、ザイリンクスおよび National Semiconductor 社によるさらなる検証が行われました。これらの 3 つすべてのデータ レートが、ザイリンクスで開発された一連の BERT テストに合格しました。図 5 および図 6 に、基本的な SerDes 構造を示します。



WP324_05_112807

図 5 : Spartan-3E FPGA の基本的なソフト SerDes 構造 : 20:5 トランスミッタ

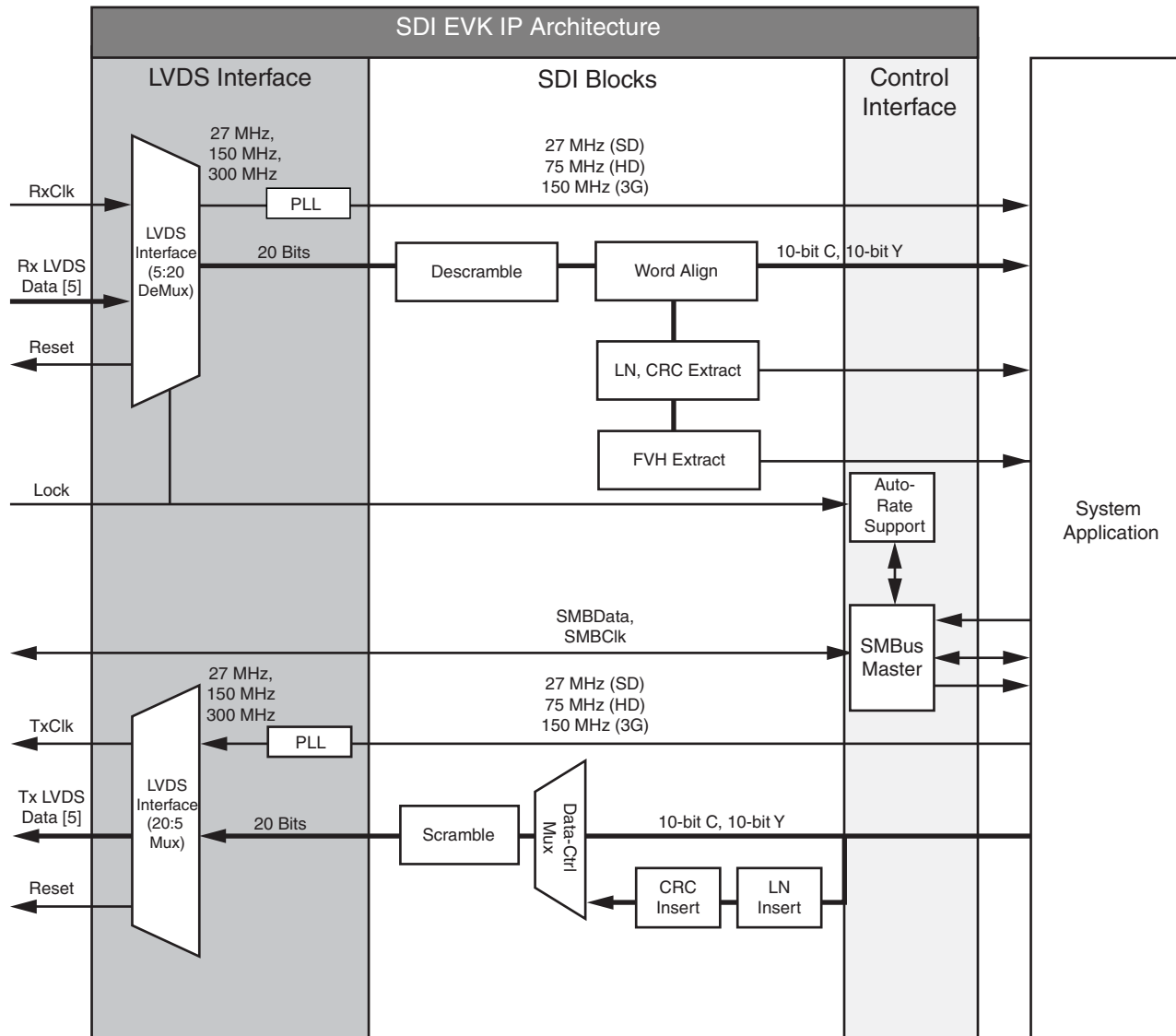


WP324_06_112807

図 6 : Spartan-3E FPGA の基本的なソフト SerDes 構造 : 5:20 レシーバ

ザイリンクスは、これまでも Virtex™ ファミリ FPGA で SDI インターフェイスをサポートしてきた豊富な経験があります。ザイリンクス Virtex アプリケーションチームが作成したリファレンス デザインブック ([XAPP514](#): 『ブロードキャスト用オーディオ/ビデオ コネクティビティ ソリューション』) では、SDI、HD-SDI、DVB-ASI、および SDTV/HDTV テスト パターン生成、さらにはエンベデッド オーディオなどを含む映像処理スタックのすべてについて詳しく説明しています。ザイリンクスおよび National Semiconductor 社は、積極的にこのような効果的なりファレンス デザインを Spartan-3E や Spartan-3A FPGA へ移植しました。図 7 に、内部評

評価ボードをベースにしてデモンストレーション用に移植されたファレンス ブロックの接続を示します。



WP324_07_112807

図 7 : 移植されたリファレンス ブロック (XAPP514 より)

図 8 に、ボードで生成された SMPTE 75% カラー バー画面を示します。この IP の詳細は、[XAPP514](#):『ブロードキャスト用オーディオ/ビデオ コネクティビティ ソリューション』を参照してください。

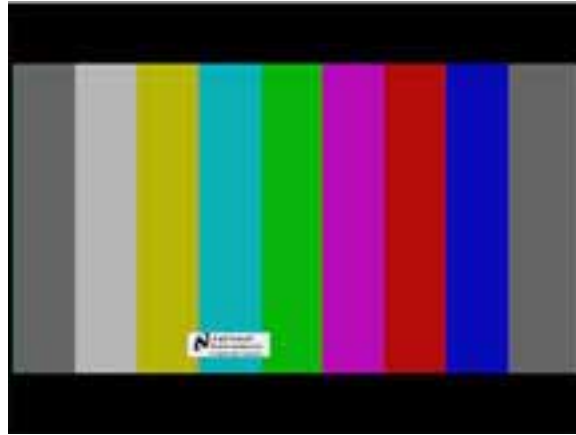


図 8 : HDTV カラー バー画面

XAPP514 に記載されている多くのデザインは、後に追加された Spartan-3 ジェネレーションや Virtex-5 FPGA で使用するために再ターゲットおよび変更されています。新しいデザインでは、オーディオを映像ストリームに埋め込んだり外したりするデザイン、デュアルリンク HD-SDI、3G-SDI レベル A および B、そして規格間の変換もサポートされる予定です。最新文書は、japan.xilinx.com から入手してください。

ターゲット アプリケーション

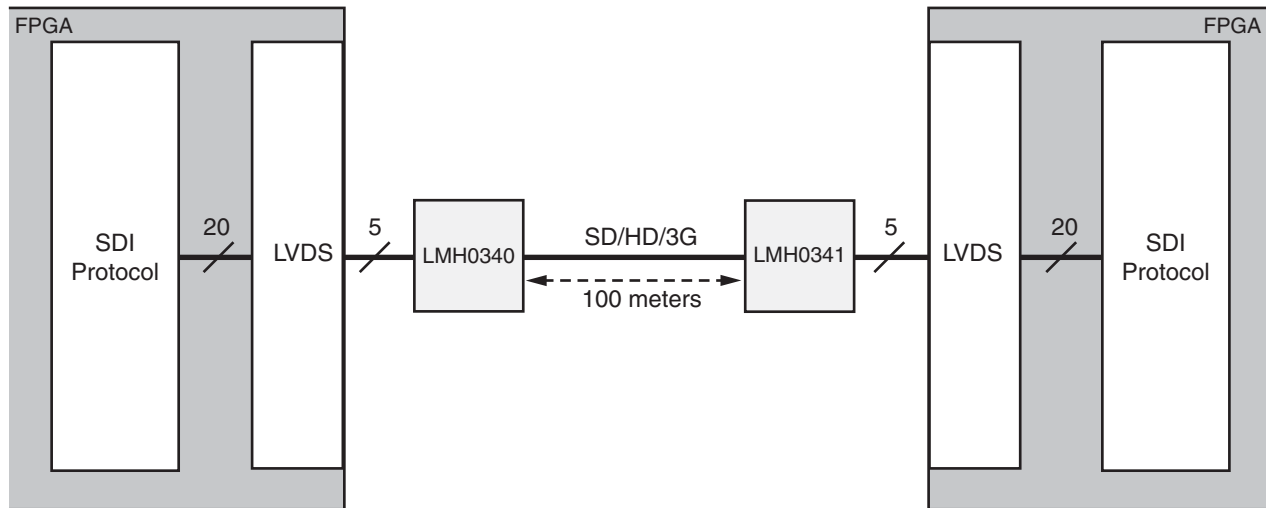
ザイリンクスの低コスト Spartan-3 ジェネレーション FPGA は、コンシューマおよびプロフェッショナル映像アプリケーションの幅広い分野で使用されています。たとえば、Spartan-3E FPGA を使用した JVC プロフェッショナルブロードキャスト HDV カメラ/レコーダーなどがあります(このソリューションの詳細は、[プレスリリース](#)を参照)。

デジタルロジック用の Spartan FPGA とアナログインターフェイス用の National Semiconductor 社製 PHY を組み合わせることによって、プロフェッショナルビデオ、ブロードキャスト、およびデジタルシネマにおける高性能アプリケーションの新たな可能性が生まれました。適用可能な製品には、ハイビジョンビデオカメラ、デジタルビデオレコーダ、映像エディタ、およびディスプレイ モニタなどが含まれます。

まとめ

検証済みの National Semiconductor 社製 SD/HD/3G-SDI トランシーバと組み合わせたザイリンクスの Spartan-3E および Spartan-3A FPGA と XAPP514 で示す映像処理 IP を使用することで、ブロードキャスト映像アプリケーションで増加し続ける

データ スループット要件に対して低コストのソリューションが提供できます。図 9 に、このソリューションを使用したアプリケーション ブロックの例を示します。



WP324_09_112807

図 10 : 標準的なアプリケーションのブロック図

完全なハードウェア ソリューションはすでに利用可能です。完全版 SDI 評価キットは、2008 年の第 1 四半期内にザイリンクス販売代理店 Avnet 社から提供される予定です。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	変更内容
2007/11/28	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the "Information") is provided "AS-IS" with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

この日本語訳 (参考のみ) は、<http://japan.xilinx.com/legal.htm> を参照してください。