



WP368 (v1.1) 2016 年 4 月 18 日

ISE Design Suite 14.7 を使用して Spartan-6 FPGA デザインの生産性を 新たなレベルへ向上

著者 : Darren Zacher

ザイリンクスの [ISE® Design Suite v14.7](#) および [無償の ISE WebPACK v14.7](#) ツールは、消費電力削減、生産性、パフォーマンスという FPGA デザインにおける 3 つの重要な領域に革新をもたらす、Spartan®-6 FPGA に適した量産対応のツールスイートです。

このホワイト ペーパーでは、これらの 3 つのカテゴリにおける主な成果と進歩の概要を、その目的と影響を説明しながら示します。

© Copyright 2010–2016 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。AMBA、AMBA Designer、ARM、ARM1176JZ-S、Cortex、PrimeCell は EU およびその他の各国の ARM 社の登録商標です。MATLAB is a registered trademark of The MathWorks, Inc. すべてのその他の商標は、それぞれの保有者に帰属します。

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

ハイライト

消費電力の最適化

ISE Design Suite v14.7 は、クロックゲーティングと呼ばれる（よく知られているにもかかわらず、利用されることが少ない）電力最適化の設計手法を基盤として、FPGA デザイン用の自動化されたインテリジェント クロックゲーティング テクノロジーを備えています。この機能により、ISE v14.7 ツールは、不要なロジック アクティビティを自動的に無効にし、ダイナミック消費電力を最大 30% 削減します。

生産性

ISE v14.7 ツールは、PlanAhead を使用したデザイン保持機能によって優れた設計生産性を実現します。この機能は、デザイン内でタイミングが重視される部分をほかから区切り、配置配線を固定します。これにより、タイミングの再現および維持が可能になります。また ISE v14.7 ツールは、AMBA[®] (Advanced Microcontroller Bus Architecture) プロトコルの IP コア、インターコネク、ツールをサポートしています。ザイリンクスと ARM[®] 社は、AMBA バージョン 4 オープン規格インターフェイス仕様を共同開発しました。この仕様は、プラグ アンド プレイ IP の開発し展開するためにザイリンクスおよびエコシステム パートナーに広く採用され、設計生産性の向上に貢献しています。

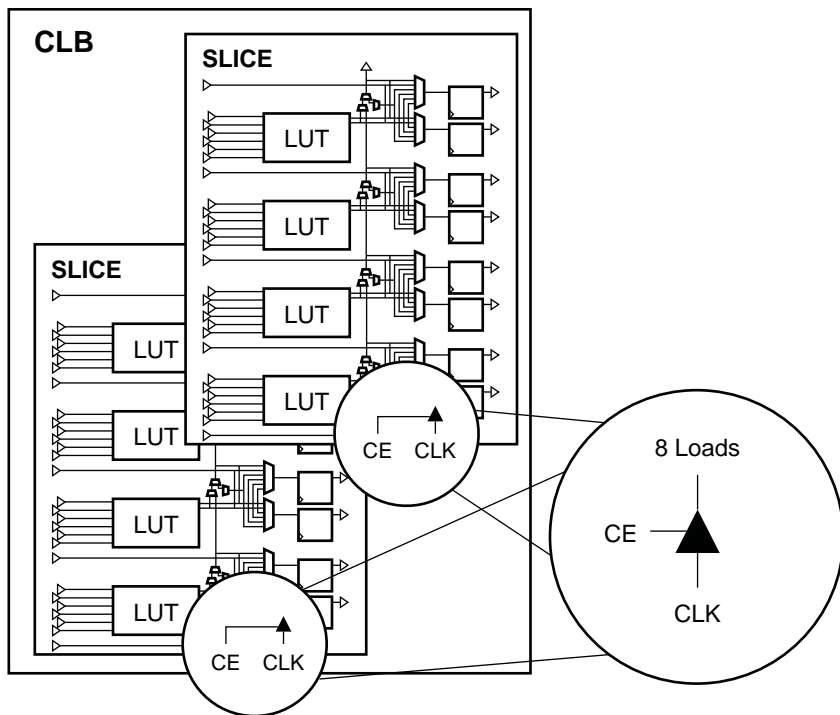
パフォーマンス

ISE v14.7 ツールは、フルに最適化された配置配線アルゴリズムと合成アルゴリズムで量産 Spartan-6 デバイスおよび IP コアをサポートし、QoR (結果の品質) の向上と、合成およびインプリメンテーションの実行時間の大幅な短縮を実現します。ISE v14.7 ツールの SmartExplorer は、合成段階でのデザインストラテジの検討を可能にし、タイミング クロージャを迅速化します。

消費電力の最適化

従来のデザインや IP デザインでは消費電力が最適化されていない場合が多くあります。ダイナミック消費電力の削減に使用されるクロックゲーティングなど、消費電力削減手法の重要性は広く理解されていますが、設計者がそれらを手作業で適用する時間的余裕はまずありません。ISE v14.7 ツールは、RTL レベルで見落とされるかまたは省略されていた消費電力最適化手法を、合成後に自動的に実装できる簡単なソリューションを提供します。

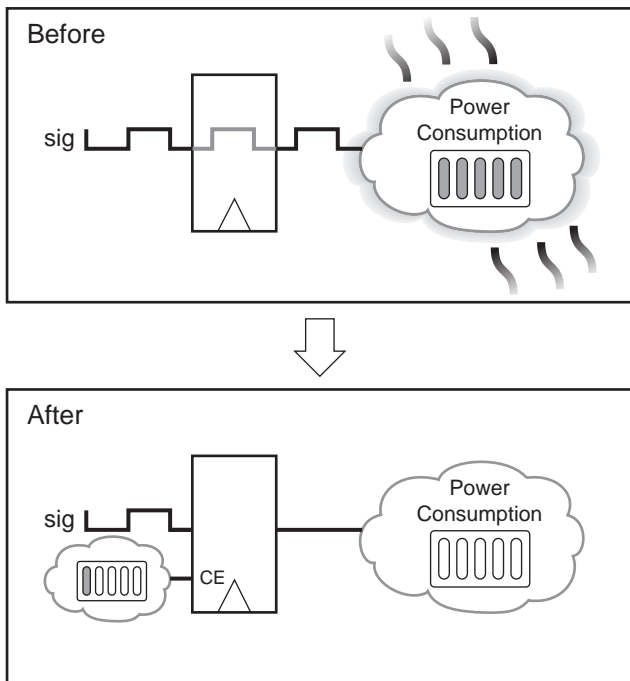
ISE v14.7 ツールは、独自のアルゴリズムにより、ダイナミック消費電力の非効率の主な原因になっている不要なロジック アクティビティを自動的に特定し、無効にできます。これらのアルゴリズムは、Spartan-6 FPGA 内の豊富なクロック イネーブル (CE) を利用します。各 CE は、FPGA ロジックの基本クラスター (スライス) に接続され、少数のレジスタ (8 個のみ) を制御するので、消費電力の最適化に理想的です。図 1 を参照してください。



WP368_01_041310

図 1: CE はソース側でクロックを無効にする

ISE v14.7 ソフトウェアは、デザイン内の順次エレメントの徹底した分析に基づいて、最終的なロジックを変化させない不要な遷移を検出し、次に図 2 に示すように、ゲーティング信号を作成して CE に接続し、これらの不要な遷移を取り消します。



WP368_02_041310

図 2: インテリジェント クロック ゲーティングによるアクティビティ ファクターの削減

細粒度のインテリジェント クロック ゲーティングを使用して、FPGA 内の不要なスイッチングを抑制することにより、ダイナミック消費電力を最大 30% 削減できます。

ISE v14.7 ツールは、配置配線アルゴリズムに統合された、自動化されたインテリジェント クロック ゲーティングによる最適化機能を提供します。これらの最適化機能は、デザインの既存のロジックや処理を変更せず、クロック配置も変更しません。作成される追加ロジックは以前のロジックから分離され、元のデザインに追加される LUT の比率はわずかです (平均 2%)。したがって、ほとんどの場合、これらの最適化機能はタイミングに影響を与えません。

通常の場合、Xilinx Power Estimator (XPE) または Xilinx Power Analyzer (XPA) を使用して、デザインのダイナミック消費電力を見積もることができます。概算値が電力バジェットを超えた場合、非常に簡単に、インテリジェント クロック ゲーティングによる最適化をデザインに自動的に適用できます。その後、XPA で予想される省電力効果がどの程度であるかを計算できます。

詳細は、『高度なクロック ゲーティングによるスイッチング電力の削減』([WP370](#)) を参照してください。

生産性

デザイン保持

複雑なモジュールで構成される FPGA デザインでは、モジュールのデザイン自体は変更していないにもかかわらず、タイミングクロージャの維持が困難になることがあります。その結果、デザインのほかの部分を変更に再びタイミングを満たすには、長い時間をかけて繰り返し作業が必要な場合があります。

この問題は、ISE v14.7 ツールのデザイン保持フローによって解決されます。このフローでは、タイミングクロージャの達成後にその配置配線に固定するパーティションを 1 つまたは複数設定できます。これにより、タイミングクロージャ段階に必要なインプリメンテーションの反復回数を大幅に減らすことができます。しかも、デザイン保持機能は、変更されていないモジュールに対してはまったく同一のインプリメンテーションを使用するため、変更のないモジュールを完全に検証する必要がなくなります。

RTL デザイン段階で階層を適切に定義することは、デザイン保持機能を適用したときの成功の度合を左右します。パーティションは HDL デザインの論理階層に従って作成する必要があります。パーティション用に適切な階層を作成するための一般的な規則として、次が挙げられます。

- 最適化、インプリメンテーション、検証が必要なロジックは、同じ階層レベルに置く
- まとめてパックする必要があるロジックは、同じ階層レベルに置く
- モジュールの入力と出力にはレジスタを付ける
- パーティションへの入力に定数を使わない
- 使用しない入力または出力をパーティション内に置かない

RTL デザイン段階でデザイン保持フローを考慮に入れなかった場合でも、デザインは通常は互いに独立した IP コアを使用しているため、このフローを使用するメリットはあります。

デザイン保持フローを使用して再現可能な結果を達成する方法については、『再現可能な結果を活用したデザインの保持』([WP362](#)) を参照してください。設計段階全体を通して予測可能な結果を維持する方法については、『再現可能な結果の維持』([WP361](#)) を参照してください。

AXI4 : プラグ アンド プレイ IP の活用

ISE v14.7 ツールには設計生産性の面で多くの利点がありますが、中でも AMBA Advanced eXtensible Interface (AXI) は最も広範囲にわたる利益をもたらします。この IP インターフェイスは、ARM 社とザイリンクスの共同開発の成果であり、プラグ アンド プレイ IP の実現に向けたザイリンクスの戦略的構想の一環をなしています。このインターフェイスは、3 つのターゲット ドメイン (エンベデッド、DSP、ロジック/コネクティビティの各ドメイン) すべての要件を満たすフレームワークを提供します。プラグ アンド プレイ IP により、各種のインターフェイス規格に準拠した IP コアに対処するためのデザインオーバーヘッドが不要になるとともに、拡大を続ける IP カタログを提供する、信頼できる IP エコシステムの急速な成長を可能にします。

AXI4 インターフェイス規格は、高性能なポイント ツー ポイント チャネル アーキテクチャを基盤にしており、チャネルトラフィック密度を最小限に抑え、Multiple Outstanding (複数の未処理) メモリ マップド トランザクションのサポートによってデータスループットを最大限に高めます。また、高速シリアル I/O 用の効率的なデータ転送を可能にするストリーミング インターフェイスを提供します。AXI4 は、レジスタ スライスを使用した接続のパイプライン処理と、バースト ベースの長いトランザクションのサポートにより、高い F_{MAX} とスループットを達成します。

幅広く採用されている IP インターフェイス規格

AMBA 4.0 AXI インターフェイスは、ザイリンクスと ARM 社が共同開発した規格です。AXI は、柔軟性の向上と IP コアの再利用を目的として設計された、ロイヤルティフリーの業界標準規格インターフェイスです。AXI 規格は AMBA 仕様で公式に定義されています。AMBA 仕様は <http://www.arm.com/products/system-ip/amba/amba-open-specifications.php> に掲載されています。

- AMBA 4.0 の 1 つのコンポーネントである AXI4 仕様もオープン規格です。AXI4 では、バースト長を拡張するなど前世代の AXI を機能強化しています。
- AXI4-Lite は、ペリフェラル IP または IP コア内の制御レジスタ用の、軽量な非バースト標準インターフェイスの仕様です。
- AXI4-Stream は、軽量で高性能なストリーミング インターフェイスの仕様です。このインターフェイスは、AXI の書き込みデータ チャネルに使用されるデータ転送プロトコルを基礎にして、簡単なフロー制御プロトコルによってアドレスの概念なしでデータを転送します。

AXI4 は、最大 256 データ サイクルのバースト トランザクション、QoS (サービス品質) とユーザー シグナリング、広範囲にわたるトランザクション属性とデバイス タイプの定義をサポートします。これらのコンポーネントを使用した標準的なシステム アーキテクチャを図 3 に示します。

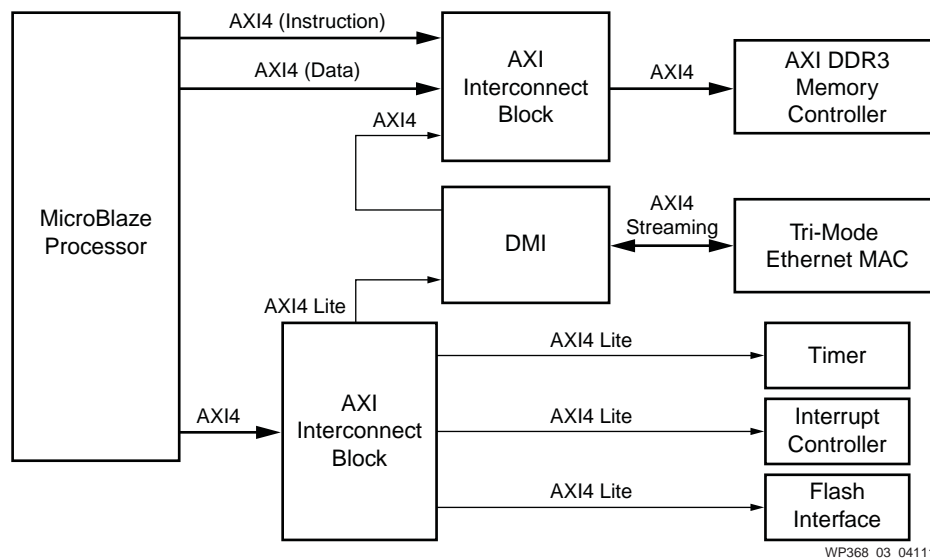


図 3: 3 種類の AXI4 インターフェイスをすべて使用した標準的なシステム アーキテクチャ

AXI をオープン規格の IP インターフェイスとして採用することで、次のような多くの重要な利点が得られます。

- AXI は、マルチプロセッサ動作、消費電力制御、セキュリティを実現する機能を提供します。ユーザー定義の側帯波信号を使用して、さらに機能を追加できます。
- AXI は ARM 社によって厳密に仕様が定義され、既に多くのユーザーによって広く理解され、使用されています。
- AXI は業界標準規格のインターフェイスであり、バス ファンクション モデル、ブック、検証用 IP やほかのサポート アイテムの存続可能なエコシステムによってサポートされています。このオープンな業界標準規格のインターフェイスにより、相互運用性を確保できます。
- AXI ではインターフェイスがインターコネクトから非常に効果的に分離されており、デザインの再利用、デザインの柔軟性、TTM (市場投入時間) の面で大きな利点があります。
- AXI によって IP コアを統一できます。すべての IP コアがほかの IP コアと通信する必要があるわけではなく、ザイリンクスのすべての IP コアが AXI インターフェイスに移行するわけでもありませんが、AXI インターフェイスを介してほかの IP コアと通信する IP コアについては、標準的なインターフェイスと非常に柔軟なインターコネクトを組み合わせることで相互運用性を確保できます。
- AXI は多くのサードパーティが参加する形で厳密に定義された単一のインターフェイスであり、既存の多くの IP インターフェイスよりもはるかに簡単に使用できます。
- AXI は非常に広範囲にわたる機能とパラメーター (データ インターフェイス幅など) をサポートしているため、スケーラビリティに優れています。AXI は、パイプライン処理、幅変換、非同期インターフェイスを簡単に実現できるシグナリング デザインが可能です。また、ポイント ツー ポイント、スイッチ、バス、階層型などの各種のトポロジをサポートしています。

これまでのことを要約すると、AXI4 は、設計者がシステムのタイミング、エリア、パフォーマンスを素早く簡単に調整できる、高度なプロトコル機能を備えています。AXI4 は、オープンな業界標準仕様として、デザインの再利用、相互運用性、一般的な使いやすさが向上しています。

Embedded Configuration Wizard

エンベデッド デザインのパフォーマンス、エリア、またはスループットの最適化作業を劇的に簡略化する MicroBlaze™ Processor Configuration Wizard (図 4) により、生産性が大きく向上します。このウィザードはツールの初心者と使用に慣れているユーザーのいずれにも役に立ち、MicroBlaze プロセッサ コンフィギュレーションの適切なセットアップを素早く作成し、検討できます。

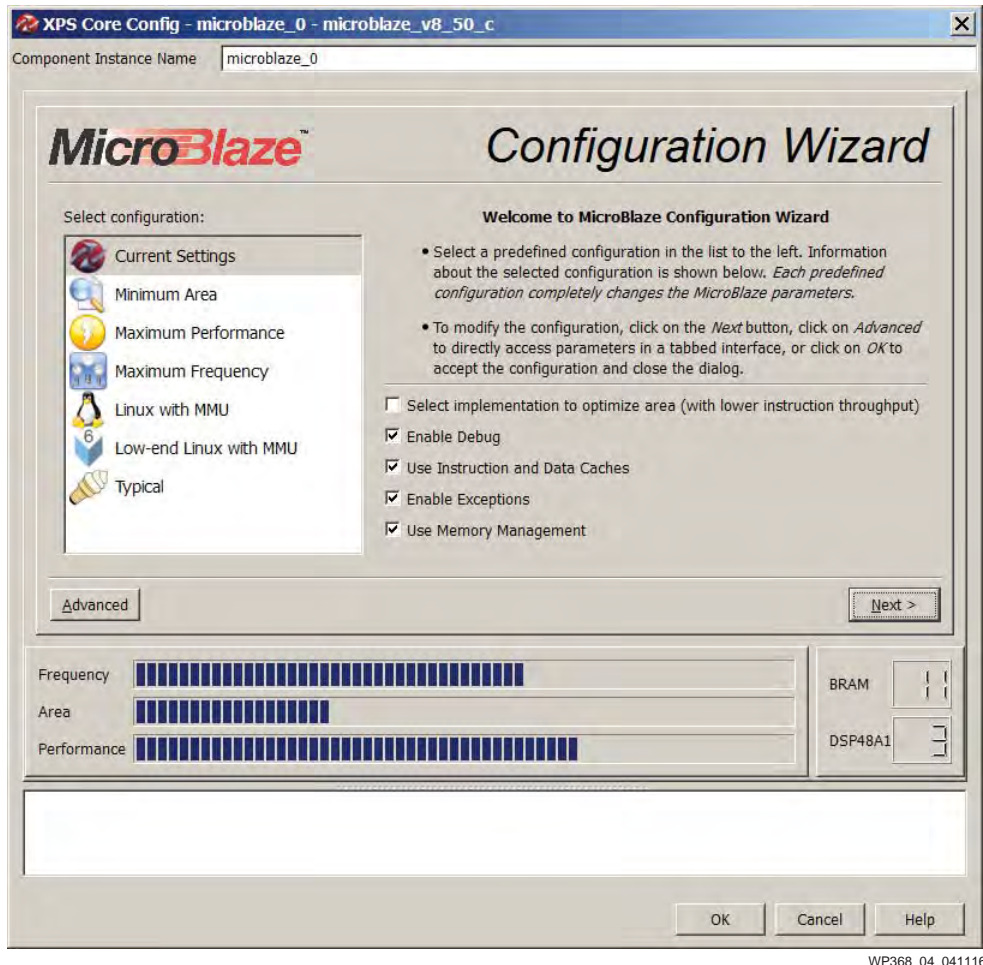


図 4 : MicroBlaze Processor Configuration Wizard

パフォーマンス

SmartXplorer により、複数のデザインストラテジを並行して実行できるため、タイミングクロージャを迅速に達成できます。SmartXplorer は、Xilinx Synthesis Technology (XST) と Synopsys 社の Synplify ツールをサポートしています。したがって、図 5 に示すように、複数のインプリメンテーションストラテジを実行する前に合成ツール内で複数のストラテジを実行し、最善の合成済みネットリストを選んでインプリメンテーションを実行できます。

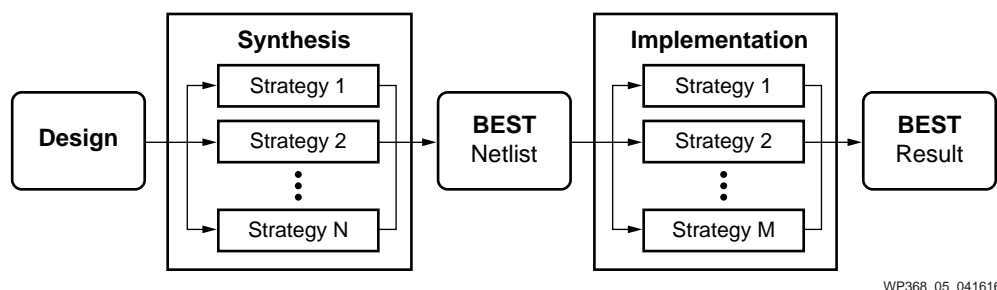


図 5 : SmartXplorer を使用して合成フェーズでデザインの検討を開始

Spartan-6 FPGA の量産レベルのスピード仕様では、Spartan-6 FPGA のロジックパフォーマンス (QoR) が平均で 5% 向上します。

ISE DESIGN SUITE のその他の先進機能

ChipScope アナライザーによるデバッグ

ChipScope™ アナライザーは、連続トリガーモード (反復トリガーモードとも呼ばれる) をサポートします。このモードでは、直前のトリガーイベント、キャプチャ、アップロード、および表示のシーケンスの後、トリガーが自動的に再設定されます。この機能にはオプションの自動データエクスポートが含まれ、各トリガー/キャプチャ/アップロード/表示シーケンスの後にキャプチャされた情報が失われることを防ぎます。これにより、トリガーを毎回手作業で設定しなくても、繰り返しイベントを視覚的に監視できるため、長い時間間隔で (たとえば、1 週間後に) 発生する可能性のあるまばらな複数のイベントを簡単にキャプチャできます。

また、MATLAB® ソフトウェアなどの外部アプリケーションがデータをインポートしてさらに処理できるように、反復トリガー実行モードを使用してデータを自動的にキャプチャし、エクスポートできます。

ISE シミュレータ (ISim) によるシミュレーション

ISim は、Xilinx Platform Studio (XPS) および Project Navigator でのエンベデッドデザインフローで使用できます。ISim は、デザインメモリを自動的に検出し、メモリエディター内で表示/編集用にリストする機能など、各種の生産性向上機能を備えています。

ISim 独自の機能であるメモリエディターは、デザインを再コンパイルせずにグラフィカルな手法で値またはパターンを強制的に信号に適用し、what-if シナリオを検討する機能を提供します。メモリエディターの波形ビューアに表示される時間の単位と精度は、ズーム係数の調整によって自動的に調整することも、ユーザーが選択した値に固定することも可能です。

波形ビューアは、波形のコンフィギュレーションに信号、分周器、仮想バス、マーカーを追加する手段を提供します。その結果は Tcl (Tool Command Language) コマンドを使用して保存できます。メモリエディターは、波形ビューアから HDL ソースへの直接のナビゲーションが可能です。

まとめ

ザイリンクスの [ISE](#) および [無償の ISE WebPACK](#) ツールスイートは、Spartan-6 FPGA の優れた QoR (結果の品質) を実現すると共に、生産性向上を可能にする重要なイノベーションを備えています。インテリジェント クロックゲーティングは、ダイナミック消費電力を最大 30% 削減します。デザイン保持機能は、タイミングクロージャおよびデザインの再現性の達成と維持を非常に容易にします。また、AXI4 により、エコシステムによってサポートされる大規模なザイリンクス FPGA 用プラグアンドプレイ IP ライブラリの作成が可能になります。これにより、メモリマップ方式とデータストリーミング方式の両方で新規および既存の IP コアに簡単にアクセスできます。

ザイリンクスの ISE ツールは、消費電力効率の向上、生産性の向上、パフォーマンスの向上という Spartan-6 FPGA デザインにおける最も重要な 3 つの基準を満たす比類なき価値を提供します。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年4月18日	1.1	最新のデザインスイートの情報に更新。図 4 を更新。
2010年5月3日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

ザイリンクスの製品は、フェイルセーフとして設計されたり意図されたりはならず、また、フェイルセーフの動作を要求するアプリケーション(具体的には、(I)エアバッグの展開、(II)車のコントロール(フェイルセーフまたは余剰性の機能(余剰性を実行するためのザイリンクスの装置にソフトウェアを使用することは含まれません)および操作者がミスをした際の警告信号がある場合を除きます)、(III)死亡や身体傷害を導く使用、に関するアプリケーション)を使用するために設計されたり意図されたりしていません。顧客は、そのようなアプリケーションにザイリンクスの製品を使用する場合のリスクと責任を単独で負います。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある[フィードバック送信]ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。