



WP370 (v1.3) 2011 年 3 月 1 日

高度なクロック ゲーティングによる スイッチング電力の削減

著者 : Frederic Rivoallon

ザイリンクスは、業界初の自動化された優れたクロック ゲーティング ソリューションを開発し、Virtex®-6、Spartan®-6、Kintex™-7、および Virtex-7 FPGA デザインのダイナミック消費電力を最大 30% 削減することに成功しました。

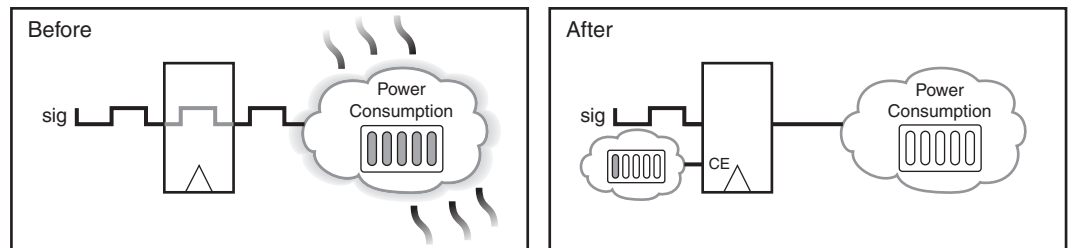
ザイリンクスが提供する高度なクロック ゲーティング による最適化機能は、デザイン全体に対して自動的に実行されます。新たなツールあるいは設計フローの追加は不要で、既存ロジックやクロックも変更されないため、デザインの動作が変わることはありません。また、ほとんどの場合、タイミングもそのまま維持されます。

高度なクロック ゲーティングの概要

クロック ゲーティングは、不要なスイッチング動作を除いて電力を最適化するという ASIC デザインや FPGA デザインにおいて広く用いられている技術です。通常、この機能を使用するには、不要な順次動作要素 (例: レジスタ) を取り除くため、設計者が RTL コードに多少のロジックを追加する必要があります。この方法によってダイナミック電力の大幅な削減が期待されますが、これらの最適化を手動で実行するには、非常に負担の大きな作業を伴います。

- デザインで不要なアクティビティを最低限にするには、デザインについて詳細な知識が必要となり、通常は RTL コードに数々の変更を加える必要があります。
- ほとんどの ASIC および FPGA デザインには、新規/既存 IP やサードパーティ IP の回路が混在しているのが今日の状況です。実際には、クロック ゲーティングの最適化オプションが利用されるのは新規デザインに対してのみです。設計者が既存 IP デザインに対して、これらの最適化オプションを使用することはほとんどありません。これは既存の RTL コードの設計や動作について十分な知識を持たないため、効果のあるクロック ゲーティングによる最適化を手動で行うには多大な労力が伴うためです。
- 通常、クロック ゲーティングによる最適化を適用するには、ツールや設計手順の追加が必要となり、複雑なタイミング解析が必要な新しいクロック グループを作成しなければならない場合があります (ASIC での最適化によく用いられる)。したがって、クロック ゲーティングによる電力効率の向上が十分に大きく、この機能の適用がデザインに欠かせない場合でなければ、デザインがさらに複雑になり、設計時間が増加することによる負担が大きく、リスクにもなり得ます。

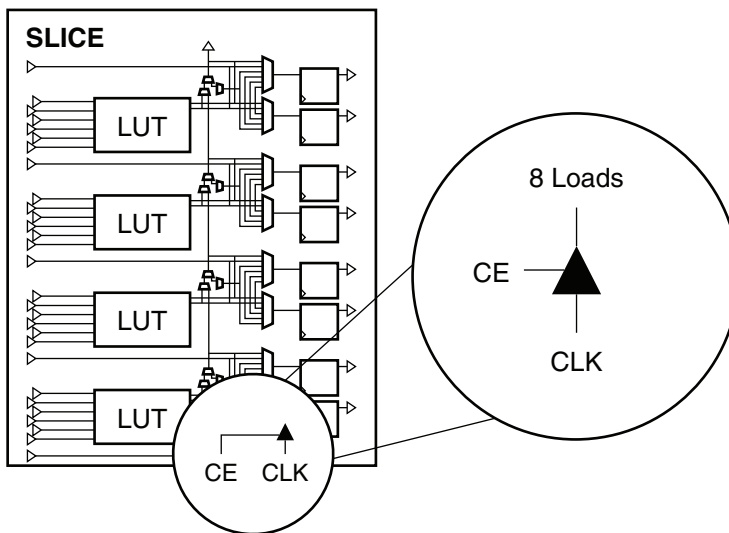
ザイリックス ソフトウェアに標準 FPGA デザイン フローの配置配線にリンクする自動機能があり、これはデザイン全体 (既存の IP およびサードパーティ IP ブロックを含む) に対して解析を実行する革新的なアルゴリズムを使用しています。ソフトウェアが論理式の解析から各クロック サイクルの結果に影響を与えないソース レジスタを検出し、ロジック内の豊富なクロック イネーブル (CE) を使用して、図 1 のように不要なスイッチング アクティビティを抑えるための高精度なクロック ゲーティング、つまりロジック ゲーティング信号を作成します。



WP370_01_062610

図 1: 高度なクロック ゲーティング機能による大幅なスイッチング電力の削減

各 CE は、FPGA ロジックの基本単位であるスライスに接続しているため、電力最適化に理想的な信号です。CE は少ない数のレジスタ (8 個のみ) を制御しているため、デザインの大部分で使用されるバスの最小サイズに合う粒度レベルを提供することが可能です (図 2 参照)。



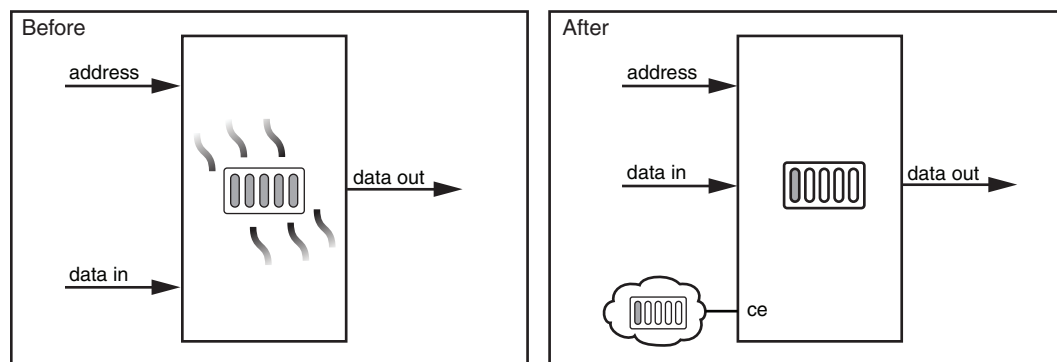
WP370_02_041910

図 2: スライスのクロック イネーブル信号

このような最適化によって、既存ロジックやクロック配置が変更されることはなく、新しいクロックが作成されることもありません。最適化後のデザインは元のデザインと論理的に等価であり、構成される追加ロジックは元のロジックと分離されるため、わずか 2% 程度の LUT が追加されるのみです。したがって、元のロジックパスにロジックレベルは追加されないため、タイミングに影響を及ぼすことはほとんどありません。これらの最適化機能は ISE ソフトウェアのバージョン 12.1 で最初に導入され、当時は Virtex-6 FPGA のみをサポートしていました。その後、ISE 12.3 で Spartan-6 FPGA のサポートが追加され、ISE 13.1 では、Kintex-7 と Virtex-7 FPGA のサポートも追加されました。

その他の最適化機能

高度なクロック ゲーティングによる最適化機能は、専用ブロック RAM (シングルまたはデュアルポート) の消費電力も削減します。これらのブロックには、アレイ イネーブル、ライト イネーブル、および出力レジスタのクロック イネーブルなどのイネーブル信号があります。電力削減の大半は、アレイ イネーブルを使用することによって実現されます (図 3 参照)。



WP370_04_062610

図 3: ブロック RAM イネーブルを使用した高度なクロック ゲーティングによる最適化機能の活用

たとえば、2:1マルチプレクサが接続されているブロック RAM の場合、最適化によって書き込みイネーブル (**weR**) とセレクト (**preselectR**) を使用するOR ファンクションが LUT にインプリメントされ、それらがブロック RAM の ENARDEN へと接続されます。この OR ファンクションによって、ブロックでデータ書き込みが実行されていない場合やブロックの出力が使用されない場合 (例 : マルチプレクサで選択されていないときなど) に、ブロック RAM の消費電力が抑えられます。ブロック RAM の書き込みイネーブルのトグル レートが 50% であると仮定した場合、最適化によって削減されるダイナミック電力は 26% です。Verilog コードの例を次に示します。

```

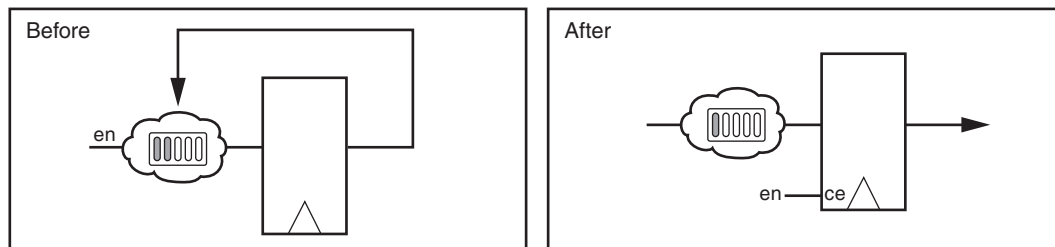
module ram_mux ( input          select, clk, we,
                 input [7:0]  bypass,
                 input [10:0] addr,
                 input [7:0]  data_in,
                 output reg [7:0] result_out );

    reg          preselectR, selectR, weR;
    reg [7:0]    data_out, mem [2047:0];

    always @(posedge clk)
    begin
        // RAM block 2048x8 (inferred)
        if (weR) mem[addr] = data_in;
        data_out <= mem[addr];
        // Registering inputs
        weR <= we;
        preselectR <= select;
        selectR <= preselectR;
        // Mux: RAM output and input data
        result_out <= selectR ? data_out : bypass;
    end
endmodule // ram_mux

```

ISEv12.x およびそれ以降のソフトウェアバージョンでは、ロジックとしてインプリメントされたクロック イネーブル信号を検出し、専用の CE に置き換えることで図 4 のように最適化できます。



WP370_05_062610

図 4 : 専用 CE 信号として再配線して電力を削減

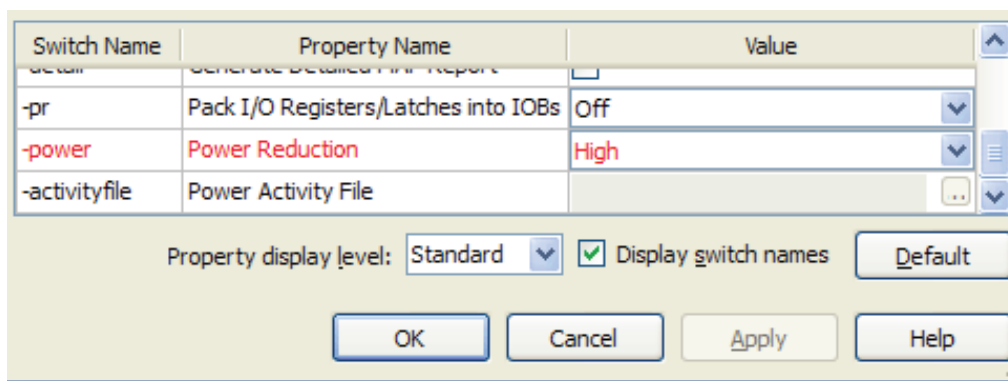
デザイン インプリメンテーション フローの高度なクロック ゲーティング

ISE Design Suite (v12.x およびそれ以降) では、デザイン合成後に実行されるクロック ゲーティングの最適化ソフトウェアがデザイン インプリメンテーション フローに統合されています。デザインのインプリメンテーションは、主に次の 4 つの手順で実行されます。

1. 変換プロセスで、ネットリストと制約を 1 つのザイリンクス デザイン ファイルに結合します。
2. 物理的制約およびタイミング制約に従って、デザイン エレメントを FPGA スライスヘパックおよび配置します。
3. タイミング制約に従ってデザインを配線します。
4. プログラミング ファイルを生成し、デバイスヘダウンロードするためのビットストリーム ファイルを作成します。

変換プロセスでは、NGD (ザイリンクス専用の Native Generic Database) ファイルを作成するために、さまざまなデザイン ツールからの IP、ネットリスト、およびブロック (すべての RTL コード) すべての情報がデザイン データベース ビルダ (NGDBuild) に送られます。-power オプションを選択すると (図 5 参照)、MAP プロセスでロジック解析が実行されて、配置前に最適化ロジックが作成され、適用されます。

これによって、デザイン全体に対して自動的に電力最適化が適用され、設計者が追加した新規コードやサードパーティ IP、既存のデザイン ブロックから不要なスイッチング アクティビティが削除されます。その後、MAP プロセスは NGD ファイルで DRC (デザインルール チェック) を実行し、ザイリンクス FPGA にロジック デザインを配置します。マップ完了後は、配置配線で使用される NCD (Native Circuit Description) ファイルが出力されます。



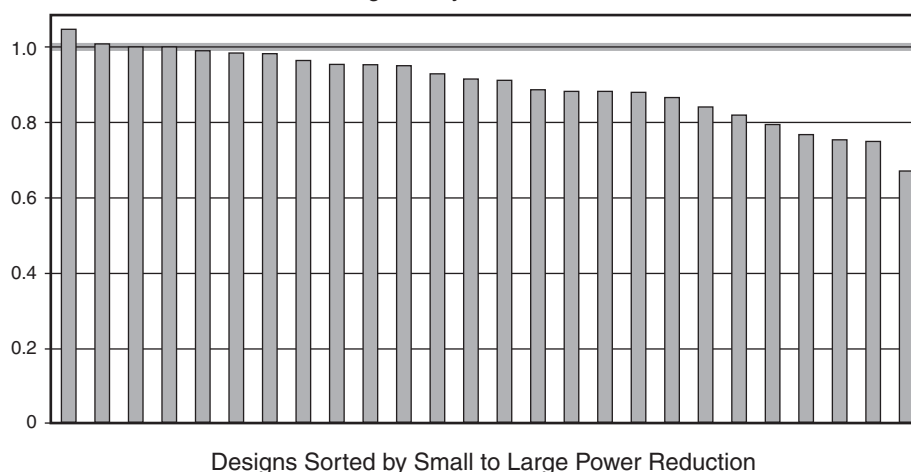
WP370_03_041810

図 5: ISE ソフトウェアでクロック ゲーティングによる最適化を有効にする設定

ベンチマーク結果

高度なクロック ゲーティング機能の効果はデザインによって異なり、高い効果が得られるデザインもあれば、あまり効果がないデザインもあります。実際のカスタムデザインに基づいて統計を取ったところ、多くのデザインで最大 30% のダイナミック電力が削減されることが証明されました (図 6 参照)。

ISE 12.3 Software Ratio: Intelligent Clock Gating/Default
11% Average on Dynamic Power Reduction



WP370_06_092310

図 6： ダイナミック電力の削減

カスタマ デザインのほかに、このクロック ゲーティングは Virtex-6 FPGA コネクティビティ キットのテスト デザインにも使用されています。このデザインには、電力消費率が高い暗号化/復号化モジュールが含まれているため、41% のダイナミック電力削減が見られました。このデザインは、キットに含まれている Virtex-6 XC6VLX240T FPGA にインプリメントされており、その中には PCIe® ブロック、DMA ユニット、XAUI モジュール、暗号化/復号化ブロックが含まれます。最適化により、これらの処理能力を低下させずに、すべてのリンク (PCIe および XAUI を含む) のシステム バンド幅をそのまま維持しながら、V_{CCINT} で消費されるダイナミック電力を 6.41 ワットから 3.75 ワットへ削減しました。

まとめ

FPGA デザインのダイナミック電力は、ISE Design Suite の高度なクロック ゲーティングによる最適化によって簡単に削減できます。ASIC デザインで使用される従来のクロック ゲーティングによる最適化にはデザインの詳細知識が必要となるため、実際は既存 IP ブロックやサードパーティ IP ブロックの最適化は不可能です。また、新規ゲートクロックやロジックの変更部分を補うために、新しいツールやフローの追加、そして複雑なタイミング解析が必要となります。

それとは対照的に、ザイリンクスのクロック ゲーティングによる最適化は、デザイン全体に対して自動で実行され、デフォルトのフローと比較した場合に新しいツールやフローの追加はありません。また、既存ロジックやクロックを変更することもないため、元のデザイン動作やタイミングをそのまま維持できます。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2010/05/03	1.0	初版リリース
2010/07/23	1.1	「その他の最適化機能」セクション、 図 3 、および 図 4 の追加。
2010/10/05	1.2	Spartan-6 FPGA の説明を追加。「その他の最適化機能」セクションの内容を変更。 図 6 を追加。
2011/03/01	1.3	Kintex-7 および Virtex-7 FPGA の説明を追加。ISE バージョン情報を追加。「高度なクロックゲーティングの概要」セクションの内容を変更。

Notice of Disclaimer

The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

本資料は英語版 (v1.3) を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。