



WP374 (v1.1) 2011 年 7 月 6 日

ISE Design Suite を使用した ザイリンクス FPGA のパーシャル リコンフィギュレーション

著者 : David Dye

システムが複雑化し、設計の効率化が求められるに伴い、FPGA が重要となってきました。ザイリンクスの FPGA は、オンサイトで再プログラムできるという柔軟性を備えている一方、低コスト、省ボード スペース、そして低消費電力化へのニーズが高まる今日では、ますます効果的なデザイン ソリューションが求められています。

ザイリンクスのパーシャル リコンフィギュレーションによって、変更が不要なデバイス部分にあるアプリケーションは動作を継続しながら特定部分のみを再プログラムできるため、FPGA 本来の柔軟性がさらに高められます。パーシャル リコンフィギュレーションでは、次の 3 つの基本的なニーズを満たすことができます。

- コストおよびボード スペースの削減
- フィールドでのデザインの変更
- 消費電力の削減

コストおよびボード スペースの削減

パーシャル リコンフィギュレーションは、設計者が直面する次の最も一般的な 2 つの問題の解決策となります。

- 既存デバイスで、より多くのロジックを活用する
- より小サイズで低価格なデバイスに、デザインを適合させる

設計者は従来、できるだけ小規模な FPGA にデザインを適合させるために、数週間とは言わないまでも、少なくとも数日間を費やし、異なるインプリメンテーション オプション、コード変更、あるいはリエンジニアリング ソリューションを試行錯誤してきました。パーシャル リコンフィギュレーションでは、ハードウェア リソースの一部を時分割で処理することで、デザイン サイズを縮小できます。また、必要に応じて機能をロードできることも、非アクティブのロジックを削減することになり、結果としてスペースが削減されます。

このストラテジの例として、パーシャル リコンフィギュレーションをソフトウェア定義無線 (SDR) システム内で使用する場合が挙げられます。このアプリケーションでは、必要に応じてユーザーは新しい波形をアップロードして新しいチャンネルで通信を確立します。1 つのハードウェア プラットフォームで任意数の波形がサポートされるため、これらの波形専用のパーシャル ビットストリームのみが必要となります。オンザフライでの変更を可能にするパーシャル リコンフィギュレーションの特性により、あるチャンネルへのアップデートが、確立されたほかのチャンネルへのリンクを中断させることはありません。

開発中システムでの柔軟性が向上

これまでフィールドでデザインを変更する場合は、デザインの新たな配置配線とデザイン全体のコンフィギュレーション ファイルが必要で、システムの電源を停止する必要もありました。一方、パーシャル リコンフィギュレーションの場合、未変更の検証済みデザインはそのままに、変更した部分のみ配置配線を行ってその新しいパーシャル イメージをフィールドのシステムに適用します。

さらに、システム動作中に新しい機能を挿入できるため、再起動する必要もありません。したがって、システムの再設計や大規模デバイスへの移行を行わずに、同等の機能を同じスペースに配置できます。

パーシャル リコンフィギュレーションの利点が活用される別のアプリケーション例として、OTN (オプティカル トランスポート ネットワーク) ソリューションがあります。SDR と同様に、さまざまなプロトコルを使用してさらに高効率なハードウェア システムを構築できます。このアプリケーションでは、ある時点で特定のチャンネルに必要なプロトコルのみが FPGA にロードされます。展開されたシステムは、最小限のリソースで多様なトラフィックを処理できるだけでなく、全体を再設計することなく最新のプロトコルを用いてアップデートできます。

消費電力の削減

消費電力は、設計者にとって最も重要な課題となってきました。サイズやコストと同じように、ほとんどのシステムにとって消費電力は厳しい制限を持つ基準となります。FPGA デザインであってもサイズや複雑さが増加するに伴って多くの電力を消費します。適切な設計手法を用いて合成ツールやインプリメンテーション ツールを実行することでも、消費電力を抑えることができますが、パーシャル リコンフィギュレーションによって、スタティック電力およびダイナミック電力をさらに削減可能です。

スタティック電力を削減する方法の 1 つに、小型デバイスの使用があります。パーシャル リコンフィギュレーションを用いることで FPGA を本質的に時分割でき、デザインの一部を個別に実行させることができます。デザイン全体が常に必要とされるわけではないため、使用するデバイスが小さくあるいは少なくなります。

パーシャル リコンフィギュレーションによって、スタティック電力だけでなく動作電力も削減できる可能性があります。たとえば、多くのデザインは非常に高速で動作しなければなりません、その最高性能が必要とされている時間の割合はとても低いものです。電力を抑えるため、高性能なデザインではな

く、パーシャル リコンフィギュレーションを使用して低電力バージョンに置き換えることが可能です。その後、必要なときに高性能デザインに戻すことができます。

また、この原理は I/O 規格に対しても適用可能で、消費電力の高いインターフェイスが随時必要とされない場合に有効です。LVDS は直流動作であるため、動作率に関わらず消費電力の高いインターフェイスです。ここでパーシャル リコンフィギュレーションを用いて、最高速が必要のないときには LVDS から LVC MOS のような消費電力の低い I/O 規格に変更できます。そして、再び高速伝送が要求されたときに LVDS に戻すことが可能です。

その他の利点

パーシャル リコンフィギュレーションは、単一 FPGA 上でハードウェアの動作中に時分割で処理させることができるため、その他にも多くの利点があります。

- 必要に応じて、アプリケーションで使用可能なアルゴリズムまたはプロトコルを選択できるリアルタイムの柔軟性を提供します。
- デザイン セキュリティの新技术を導入できます。
- FPGA のフォールト トolerance (耐故障性) が向上します。
- コンフィギュレーション可能な演算処理を加速させます。
- ビットストリームの保存要件を削減します。

図 1 に、パーシャル リコンフィギュレーションの利点を図示します。

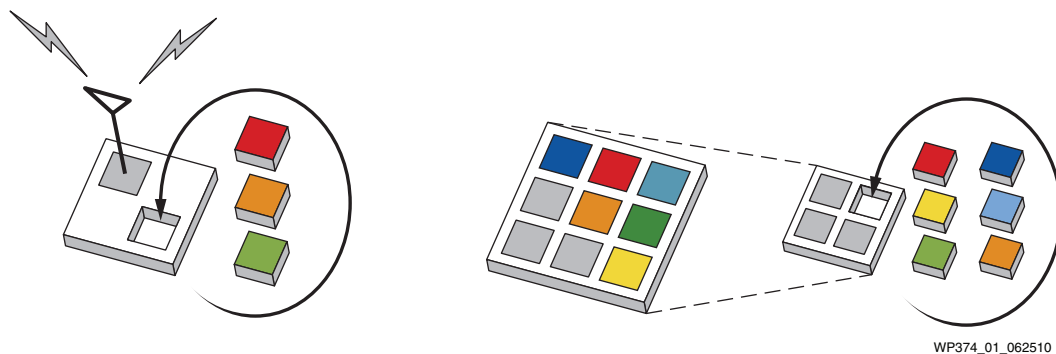


図 1: パーシャル リコンフィギュレーションによる機能変更およびサイズ縮小

ISE® 12 ソフトウェアでは、Virtex-4、Virtex-5、および Virtex-6 デバイスをターゲットとしたデザインのパーシャル リコンフィギュレーションをサポートしています。ISE 13 は、これらのデバイスに加えて 7 シリーズ デバイスのデザインにも対応しています。ザイリンクス ソリューションとして、パーシャル リコンフィギュレーションをサポートするソフトウェアは、4 世代目を数えます。この過去 10 年間でソフトウェアは大きく改善されており、現在のパーシャル リコンフィギュレーションは十分に実績のある設計オプションだと言えます。

パーシャル リコンフィギュレーションのサポート

Virtex および 7 シリーズのアーキテクチャは当初から、ダイナミック パーシャル リコンフィギュレーションをサポートするよう開発がすすめられてきました。これには、ザイリンクスのエクステンシブル プロセッシング プラットフォームである Zynq™ EPP が含まれています。各世代シリコンでは、この機能の性能と精度は着実に強化され、パーシャル リコンフィギュレーション 技術がカスタマーでどのように活用されているかについて多くの情報を集め、検証を重ねています。たとえば、Virtex-6 および 7 シリーズのアーキテクチャでは、ビルトイン AES 機能によって暗号化したパーシャル リコンフィギュレーションをサポートしています。

Virtex および 7 シリーズのアーキテクチャでは、内部および外部のコンフィギュレーション ポートを使用するリコンフィギュレーションをサポートしており、デザインをアーキテクチャにマッピングする際には高い柔軟性を発揮します。これらのデバイスは「グリッチ フリー」テクノロジー、つまりユーザー デザインの一部の機能がリコンフィギュレーションされる場合でも、固定部分 (特に配線リソース) はリコンフィギュレーション可能な領域にオーバーラップされても、リコンフィギュレーション動作の影響を受けないという特性があります。リコンフィギュレーション可能な領域内の固定配線および変更されないロジックは、まったく同じプログラミング情報で上書きされるため、機能的な障害が生じることはありません。

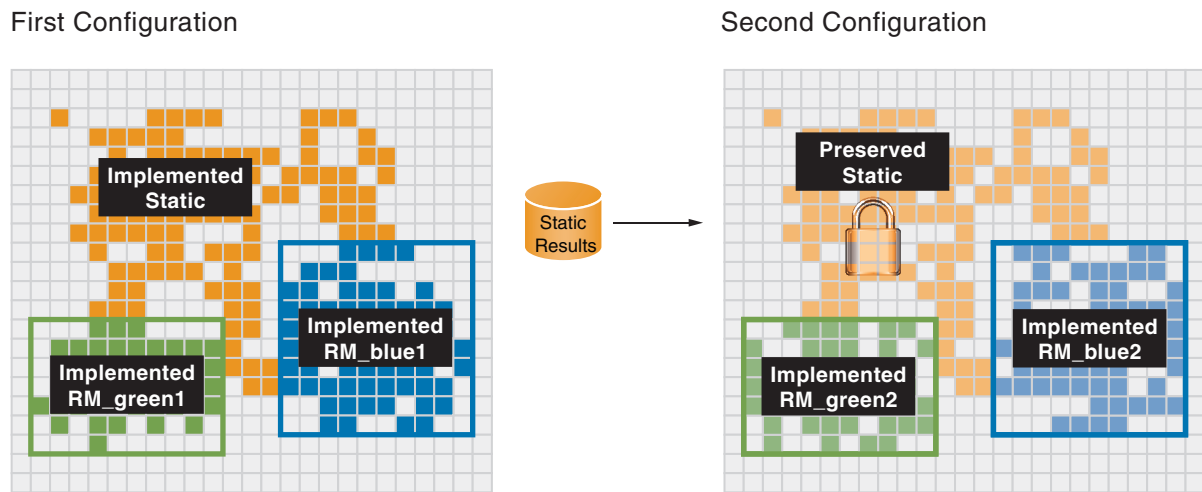
ISE ソフトウェアでパーシャル リコンフィギュレーション デザインが可能

パーシャル リコンフィギュレーション可能な FPGA デザインをインプリメントすることは、共通のロジックを共有する通常のデザインを複数インプリメントすることと同じです。設計者は、リコンフィギュレーションする FPGA 領域を特定し、その領域の物理的サイズと使用リソースの種類を指定します。次に、その領域を占有するモジュールの変更内容を記述します。ブロック RAM、DSP ブロック、I/O を含むほぼすべての FPGA リソースがリコンフィギュレーション可能です。グローバル クロック マネージメント ブロックなどのリコンフィギュレーション対象外のリソースの場合、ユーザーは DRP (ダイナミック リコンフィギュレーション ポート) を使用してその特性をオンザフライで変更できます。ISE ソフトウェアでは、リコンフィギュラブルな機能の構築に使用されるリソースが、指定された領域内に確実に含まれるように管理されるため、リコンフィギュレーションされない機能に障害が生じることはありません。

ISE ソフトウェアでは、PlanAhead™ デザイン ツールがこのようなデザイン構築に関するタスクすべてを管理します。固定 (リコンフィギュレーションされない) ロジックおよびデザインのリコンフィギュレーション可能な変更部分の情報を含む複数のネットリストがロードされた後、設計者は、これらを使用して全体的な FPGA デザイン イメージを作成します。フロアプラン、制約入力、およびデザイン ルールチェック (DRC) は、PlanAhead ソフトウェア環境から実行できます。配置配線ツールを使用して複数回実行し、フル デザイン イメージやパーシャル デザイン イメージのためのビットストリームを生成します。つまり、複数回実行した各コンフィギュレーション結果によって、1 つの FPGA デザインが完成します。

パーティション (ISE 8.2i ソフトウェアから利用可能な技術で、それ以降の ISE でさらに機能が充実) は、複数デザインのそれぞれに対して、共通のロジックや配線が確実に同一になるように管理する機能です。すべての要件を満たすデザイン コンフィギュレーションが完成した場合に、そのインプリメンテーション結果を再利用して別のコンフィギュレーションを作成できます。すべてのコンフィギュレーションがインプリメントされた後、検証プログラムが全バージョン間の一貫性を検証します。このようなチェック機能により、パーシャル ビットストリームを動作中の FPGA へロードする際の安全な環境が提供されます。

図 2 に、パーシャル リコンフィギュレーションの設計フローを示します。



WP374_02_062910

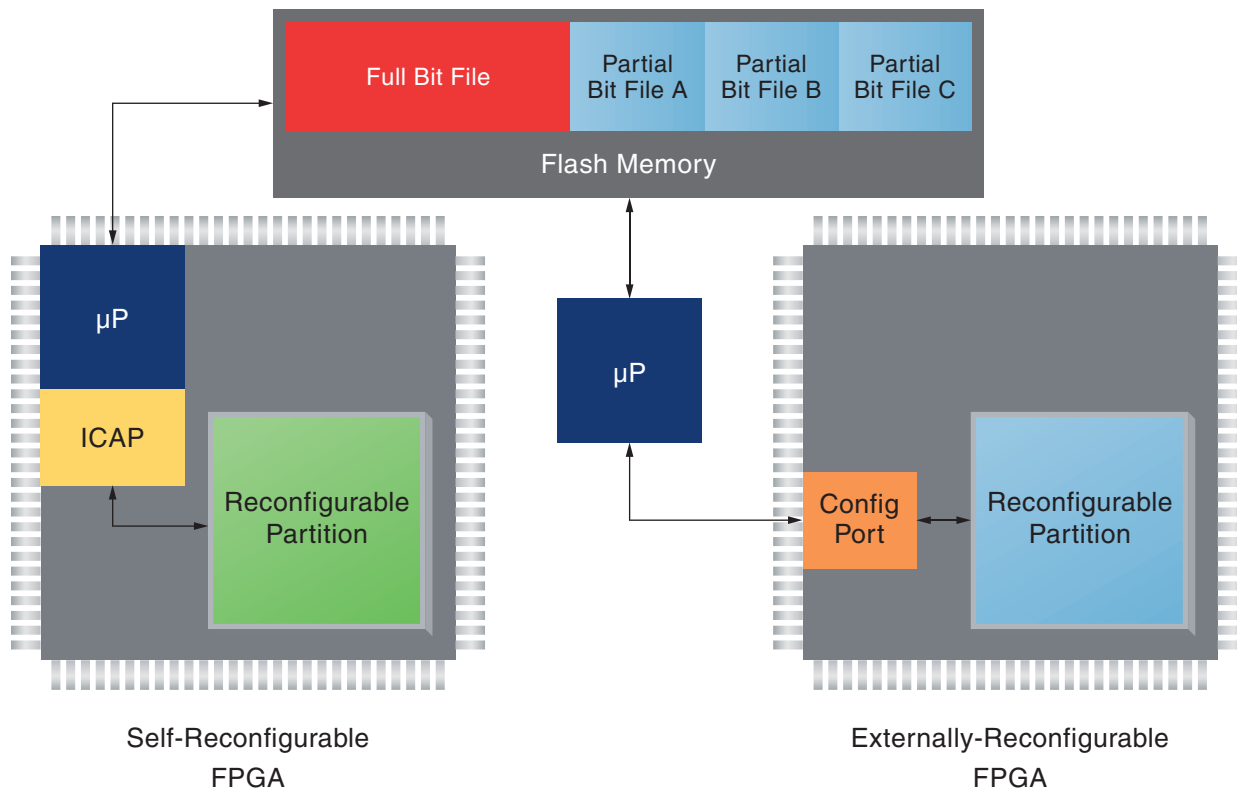
図 2: パーシャル リコンフィギュレーションの設計フロー

これらの複数のデザイン イメージが配置配線された後は、従来どおりのタイミング解析、シミュレーション、および検証テクニックで結果を解析できます。各コンフィギュレーションがすべての要件を満たしていることを確認後、設計者は複数の階層構造のシミュレーションネットリストを作成し、それらをそのまま検証、あるいはシミュレータへロードしてデバイス動作中に使用されるモジュールのさまざまな組み合わせをエミュレート可能です。

ダイナミック デバイス リコンフィギュレーションの管理

FPGA のコンフィギュレーションは、通常どおり、電源投入時にフル デザイン イメージをロードして開始します。コンフィギュレーションが完了して動作可能な状態になると、設計者は随時パーシャルビットファイルを使用してあらかじめ指定した領域を変更できます。この際、定義されていない部分は動作を継続できるため、停止する必要はありません。

パーシャルビットストリームをロードするためのコンフィギュレーションポートは、スレーブ SelectMAP、スレーブシリアル、JTAG、または内部コンフィギュレーションアクセスポート (ICAP、SelectMAP 用の内部インターフェイス) から選択できます。ICAP は、PCIe インターフェイスを介してリコンフィギュレーションする際に、PCIe® 用インテグレイテッドブロックと共に使用可能です。7 シリーズアーキテクチャではこれらに、BPI および SPI インターフェイスが追加されています。通常、パーシャルビットストリームはフラッシュメモリに格納され、マイクロプロセッサ、またはFPGA にプログラムされているルーチンによって管理されます。システム設計者は、多様なテクニックを使用してリコンフィギュレーションの開始やパーシャルコンフィギュレーションイメージの受け渡しを管理します。その中の2つの方法を図3に示します。



WP374_03_062910

図 3： パーシャルビット ファイルの受け渡しを管理する 2 つの方法

図 3 の左側に示す自動リコンフィギュレーション可能な FPGA デザインは、小型マイクロプロセッサを使用してフラッシュ メモリからパーシャルビットファイルを読み出し、そのデータを内部コンフィギュレーション アクセス ポート (ICAP) に送信するという一般的なアプリケーションを用いています。多くの場合、簡単なステート マシンがパーシャルビットファイルをフラッシュ メモリから抽出し、そのデータを ICAP に送出できるため、マイクロプロセッサは不要になります。マイクロプロセッサをすでに実装しているシステムの場合、外部プロセッサを使用してパーシャルビットファイルをフラッシュ メモリから読み出し、そのデータを FPGA の標準コンフィギュレーション ポートへ送信するのが簡単なソリューションです (図 3 に外部からリコンフィギュレーション可能な FPGA を示す)。

パーシャルビットストリームには、パーシャルリコンフィギュレーションに必要な全コンフィギュレーション コマンドとデータが含まれています。1 つの FPGA コンフィギュレーション エンジンで、フルコンフィギュレーションとダイナミックパーシャルリコンフィギュレーションの両方を管理しているため、同じプログラミング メカニズムでまったく同じ種類のプログラミング情報が処理されます。FPGA へパーシャルビットストリームをロードする際に、リコンフィギュラブル モジュールの物理的なロケーション情報を入力する必要はありません。パーシャルビットストリーム内にはコンフィギュレーション フレームのアドレス情報が含まれており、誤った FPGA ロケーションにロードされることはありません。

パーシャルリコンフィギュレーションに利用できる機能はほかにもあります。Virtex-6 および 7 シリーズ デバイスの複号化専用機能を使用し、暗号化されたビットストリームは ICAP へ受け渡すことができます。暗号化された Virtex-5 パーシャルビットストリームのソリューションは、アプリケーション ノート [XAPP887](#) 『PRC/EPRC：パーシャルリコンフィギュレーションのデータ インテグリティおよびセキュリティ コントローラー』を参照してください。このアプリケーション ノートでは、パーシャルビットストリームがアクティブな FPGA へロードされる前にその整合性をチェックするメカニズムが説明されています。CRC 計算をビットストリームに挿入し、コンフィギュレーション ポートへの送

信前にそのデータを検証することでビットストリームの整合性が確認されています。設計者は、これらのソリューションをさまざまな形でデザインに応用できます。

PCIe のアプリケーション

PCI Express 仕様では、電源供給の安定後 100ms 以内に各ポートでリンク トレーニングが確立するように定められています。これは、新しい世代の FPGA ごとにコンフィギュレーション メモリのサイズが増加するため、難しいタスクとなります。この課題に取り組む革新的なアプローチとして、パーシャル リコンフィギュレーションを活用して大規模な FPGA で PCIe 仕様ベースのシステムの全体的なコンフィギュレーションを 2 つの手順に分けることができます。

1. PCIe システム リンクのコンフィギュレーション (第 1 段階)
2. ユーザー アプリケーションのリコンフィギュレーション (第 2 段階)

基本的なリセットがリリースされる前に、FPGA の PCIe 用インテグレイテッド ブロックおよび関連するロジックのみを第 1 段階実行中に 100ms ウィンドウ内でコンフィギュレーションできます。その後パーシャル リコンフィギュレーションを用いて、ホストは FPGA の残り部分をコンフィギュレーションし、その時点でアクティブな PCIe システム リンクを介してユーザー アプリケーションを適用します (図 4 参照)。さらにホストは、従来のフル リコンフィギュレーションのようなホストへの接続切断なしに、PCIe バスによってユーザー アプリケーションを更新できます。

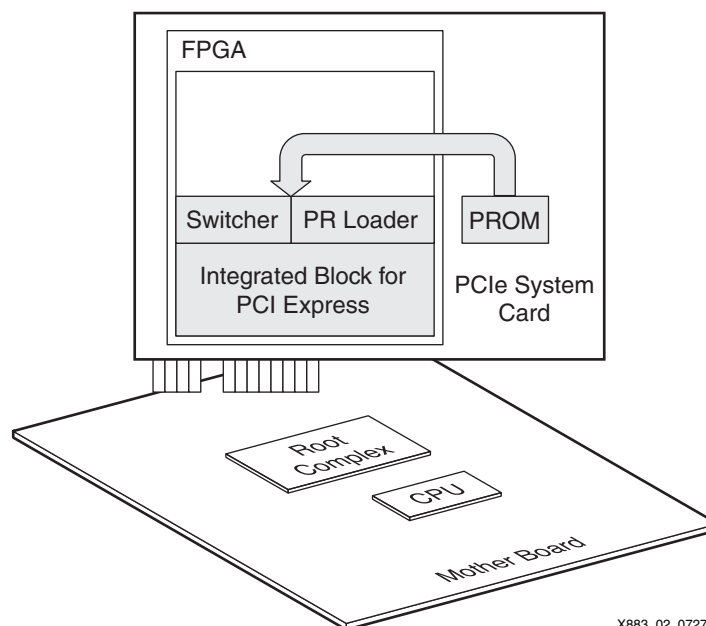


図 4： パーシャル リコンフィギュレーションを用いた PCIe システムの高速コンフィギュレーション

これにより、PCIe システムのコンフィギュレーション時間が短縮されるだけではありません。ビットストリームへのアクセスはホストのみが可能で、その暗号化が改善されるため、ユーザー アプリケーションのセキュリティも強化されます。さらに、外部コンフィギュレーション コンポーネントのコストとボード スペースが節約されるため、システム コストの削減にもつながります。Virtex-6 FPGA 向けに開発されたこのソリューションは、アプリケーション ノート [XAPP883](#) 『パーシャル リコンフィギュレーションを使用した PCI Express テクノロジの高速コンフィギュレーション』で説明されています。

まとめ

パーシャル リコンフィギュレーションは、柔軟性の高いザイリンクス FPGA をさらに有効にする非常に強力なソリューションです。また、サイズ、重量、消費電力、およびコストの削減が可能になるため、従来の設計手法では達成できない効率的な FPGA デザインが可能になります。

ザイリンクス パーシャル リコンフィギュレーションのソリューションは、<http://japan.xilinx.com/tools/partial-reconfiguration> を参照してください。このページには、パーシャル リコンフィギュレーションに関連するすべてのユーザー ガイド、チュートリアル、アプリケーション ノートへのリンクが記載されています。PlanAhead ソフトウェア フローのビデオ デモは、<https://xilinx.webex.com/xilinx/lsr.php?AT=pb&SP=EC&rID=42731112&rKey=ce8d9518cc1fda63> から閲覧可能です。

改訂履歴

次の表に、この資料の改訂履歴を示します。

日付	バージョン	内容
2010/07/23	1.0	初版リリース
2011/07/06	1.1	7 シリーズのアーキテクチャおよびデバイスの説明を追加。「PCIe のアプリケーション」を追加。「まとめ」を更新。

Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。