



WP375 (v1.0) 2010 年 9 月 10 日

FPGA を用いた 高性能コンピューティング

著者 : Prasanna Sundararajan

四半世紀以上にわたり、プログラマブル システム デザインのプラットフォームといえばザイリンクスの FPGA が選ばれてきました。ザイリンクス FPGA はそれが持つ本質的な柔軟性から、試作用途あるいは ASIC に代わる、システムの柔軟性を格段に高める代替製品としてプログラマブル ソリューションに採用されてきたのです。

シリコン、ソフトウェア、IP が進歩したことで、ザイリンクス FPGA が高性能エンベデッド コンピュータやサーバー上のアプリケーションの高速化にも最適のソリューションであることが実証されました。

このホワイト ペーパーでは、FPGA を高性能コンピューティング (HPC) システムに適用した各種の使用モデルを紹介します。

概要

2000年代初頭まで、HPCアプリケーションの処理システムには、汎用のシングルコアCPUに基づくシステムが使用されていました。これらのシステムは、安価であると同時に、ムーアの法則に従って周波数性能も向上したため、標準化されることのなかったスーパーコンピュータのアーキテクチャを次々に置き換えていきました。そして現在、HPC業界はさらに歴史的な転換を遂げようとしています。2000年代半ばから、汎用CPUベンダーは高性能化への要求に応えるために、マルチコアアーキテクチャ適用へと転換しました。周波数の増加に伴い、消費電力は現実的には許容できないレベルにまで高まるため、性能向上のために単にシングルコアプロセッサの周波数を上げていくという手法は自然消滅していくことになります。

マルチコアCPUに移行すると、アプリケーション開発者は、その性能を引き出すためにパラレルプログラミングモデルを採用せざるを得ません。最新のマルチコアアーキテクチャを使用する場合でさえ、HPCのエンドユーザーが期待する性能向上が得られるかどうか明らかではありません。データ処理あるいは演算処理に重点を置いたアプリケーションの場合はなおさらです。このため、CPUだけのシステムに代わり、コプロセッサとしてハードウェアアクセラレータを使用することで性能を強化されたシステムが普及しはじめています。このような状況から、グラフィック処理ユニット(GPU)、FPGA、その他のアクセラレータ技術が、HPCをかつてない性能レベルへと引き上げるための役割を担う可能性が出てきました。

高性能コンピューティング：システムの種類

HPC市場に出回るシステムは、大規模な演算処理サーバーファームから、機器に内蔵されたコンピュータまで幅広い分野に広がっています。議論を整理するために、このホワイトペーパーではシステムを次の2つのグループに分類します。

- 高性能サーバー
- 高性能エンベデッドコンピュータ

高性能サーバー

通常、高性能サーバーという分類には、科学者、エンジニア、アナリストなどがアプリケーションのシミュレーションやモデル化に使用するシステムや、大量のデータを分析する際に使用するシステムが含まれます。代表例として、サーバーファームや大型のスーパーコンピュータなどがあります。表1は、各種の業界におけるアプリケーションをまとめたものです。

表1：高性能サーバーの代表的アプリケーション

業界	アプリケーションの例
政府系研究機関	気象のモデル化、放射性廃棄物のシミュレーション、戦争のシミュレーション、疾病のモデル化および研究、航空機や宇宙船のモデル化
防衛	脅威の監視に使用する映像、音声、データの検索および分析、パターン比較、標的識別のための画像分析
金融サービス	資産のオプション評価やリスク分析
地球科学および地球工学	地震のモデル化や分析、貯留層のシミュレーション
生命科学	遺伝子のコード化および比較、医薬品のモデル化および発見

これらのアプリケーションでは演算処理およびデータが重視され、演算処理能力およびメモリ帯域幅の向上に対する要求は絶えることがありません。演算処理能力が強化されれば、より複雑なアルゴリズムを使用できるようになり、ひいてはより精度の高い結果が得られることになります。たとえば、脅威となりうる活動を識別するために、インターネット上の音声やデータをキャプチャし「要注意パターン」と一致するかどうかを分析するアルゴリズムを改善できます。金融分野では、より正確なモデルに基づいたモンテカルロシミュレーションを適用することで、資産や投資のリスク分析精度が向上します。

高性能エンベデッド コンピュータ

高性能エンベデッド コンピュータとは、機器や電化製品に内蔵され、演算処理およびデータを重視した特定の処理を実行するコンピュータです。表 2 は、エンベデッド コンピュータが適用されたアプリケーションや機器を業界別にまとめたものです。

表 2：高性能エンベデッド コンピュータの代表的アプリケーション

業界	アプリケーションおよび機器
防衛	レーダーのビーム形成
航空機搭載用電子機器	ペイロード内の画像圧縮および分析
通信	ネットワーク ルーターの暗号化
医療画像	CT および MRI スキャナの画像レンダリング
金融サービス	取引ソリューション向けの低レイテンシ、高スループットのデータ処理

従来、これらのシステムの多くはカスタム IC を用いた独自のボードによって実装され、性能要件を満たすために高速のデータ処理、I/O、メモリに対応できるように設計されていました。現在、業界ではこれらのアプリケーションに COTS (Commercial Off-The-Shelf) のプラグイン カードやサーバー プラットフォームを適用する傾向が強まりつつあります。COTS プラットフォームは大量生産されるため、たいていは独自デザインよりも安価になります。さらに、COTS プラットフォームはカスタム システムと違ってそのままの形ですぐに使用できるため、システム開発に要する時間も短縮されます。

FPGA による演算処理

現在 FPGA は、高性能サーバーおよび高性能エンベデッド コンピュータの両分野において、アプリケーションの高速化に幅広く適用されています。HPC 関係者にとっての FPGA の魅力とは、すぐに適用できること、そして高性能で高い集積度を備えていることです。1980 年代半ばに発明されて以来、FPGA はカスタムのコンピューティング機器上で動作する高性能アプリケーションの処理速度の向上に貢献してきました。

ただし、かつての FPGA は比較的成本が高かったことから、その適用は HPC アプリケーションの中でも一部に限られていました。しかし、その後のプロセス技術の発展によって、数百万トランジスタを集積化したチップの製造が可能になりました [参照 1][参照 2]。アーキテクチャが強化され、ロジックセル数やスピードが向上したことで、FPGA ロジックの演算処理性能も高まりました。たとえば、ここ 10 年間で一般的な FPGA のクロック周波数は 1 世代あたり平均 25% 向上し、ロジックの演算処理性能 (クロック周波数の増加 × ロジックセル数の増加) は 92 倍も向上しています。それと同時にコストは 90% 削減されています (図 1 参照)。このような技術の発展に伴い、より低コストながら演算処理効率が向上したシングルチップによる大規模計算が実用化されました。図 1 は、FPGA の集積度、スピード、価格低下の時間推移を示したものです。

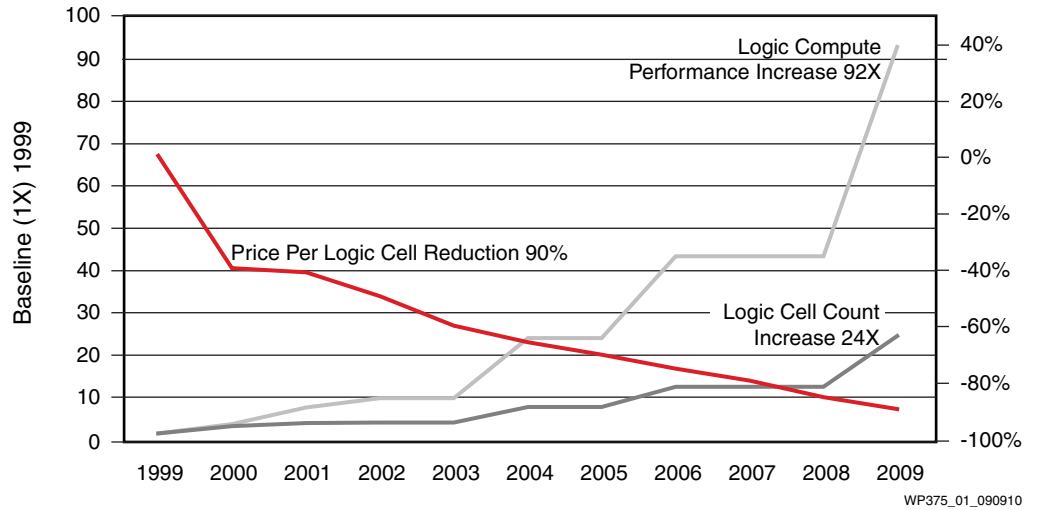


図 1 : FPGA 技術の歴史的発展

FPGA アーキテクチャがもたらす大規模な並列化

FPGA はコンフィギャブル ロジック ブロック (CLB)、デジタル信号処理 (DSP) ブロック、ブロック RAM、入出力ブロック (IOB) などの大規模なアレイによって構成されます。プロセッサの論理演算ユニット (ALU) に相当する CLB や DSP は、加算、乗算、減算、比較などの算術および論理演算を実行するようにプログラムできます。ALU のアーキテクチャは固定されており、さまざまな演算を実行できるように汎用性を持たせて設計されています。これに対して CLB には、アプリケーションが必要としている演算だけをプログラムできるため、演算処理効率が向上します。

図 2 に、FPGA の一般的なアーキテクチャ レイアウトを示します。

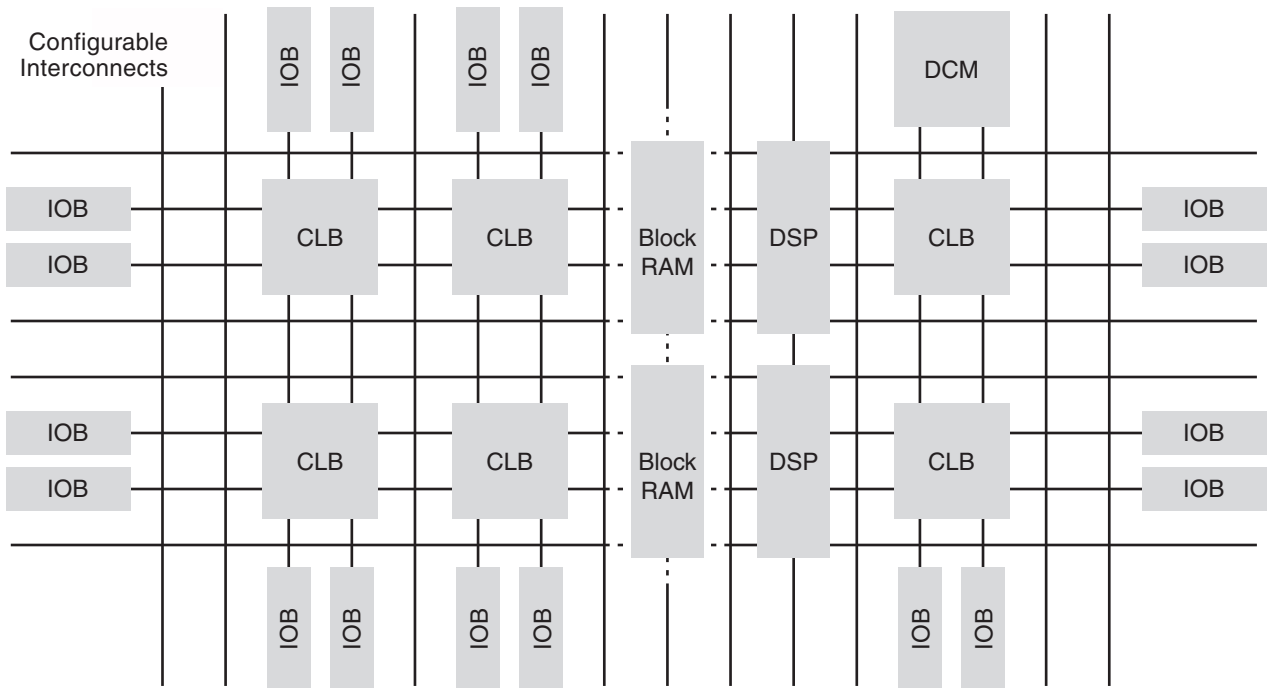


図 2 : FPGA の上位ブロック図

使用する演算子の種類によって、CLB や DSP は整数、浮動小数点、ビット演算を実行でき、演算結果は CLB、DSP、ブロック RAM 内のレジスタに格納されます。FPGA 内のこれらのブロックは、柔軟なコンフィギャブルインターコネクティブによって接続できるため、1 つの演算子の出力は、次の演算子の入力として使用可能です。これは FPGA のアーキテクチャがデータ フロー エンジンのデザインに適していることを意味します。

また、FPGA アーキテクチャが提供する柔軟性は、特定アプリケーション向け ALU の大規模アレイを構築して、命令およびデータの両レベルで並列化を実現しようとする場合にも役立ちます。FPGA では演算子間を流れるデータがリアルタイム処理されるため、プロセッサのキャッシュミスのような非効率性は発生しません。これらの演算子はポイント ツー ポイントの専用インターコネクティブによって接続されるため、効率的にパイプライン化して演算させることができます。

次は、FPGA アーキテクチャによる並列化の効果を HPC 関連のパラメータで示した例です。

- 特定アプリケーション向け ALU のオペランドおよび演算結果を移動する内部帯域幅はテラバイト / 秒 (TB/s) レベル
- 整数型演算のスループットは、1 兆命令 / 秒 (TOPS) レベル
- 浮動小数点型演算のスループットは、ギガフロップス (GFLOPS) レベル

メモリ インターフェイス

図 2 に示すように、FPGA アーキテクチャの IOB は、演算処理システムのコンポーネントとさまざまなインターフェイスを構成する機能があります。特に、メモリやプロセッサの各種インターフェイス規格に対応した設計がなされています。たとえば、FPGA は複数の DDR3 メモリ コントローラをサポートできます。最大集積度の FPGA の場合、最大 6 個もの DDR3 コントローラに対応可能です。FPGA に接続されるメモリ コントローラの数が多ければ多いほど、外部メモリに対する帯域幅は大きくなります。また、DDR3 インターフェイスのほかにも、DDR、DDR2、RLDRAM、QDR SRAM メモリとのインターフェイスをサポートします [参照 3][参照 4]。

プロセッサ インターフェイス / プロトコルおよびインソケット アクセラレータ

FPGA アーキテクチャは PCIe® Gen1/Gen2/Gen3、Intel 社の FSB (Front Side Bus)、QPI (QuickPath Interconnect) などのプロトコルによるインターフェイスおよび実行をサポートしています。FPGA で動作する演算処理アプリケーションは、これらのプロセッサ インターフェイスおよびプロトコルがサポートされていることにより、プロセッサと相互に通信し、アプリケーションの高速化に必要なデータにアクセスできるのです。

近年の新しい展開としては、インソケット FPGA アクセラレータの登場があげられます。FSB や QPI プロトコルを FPGA 上で実行できるようになり、マルチプロセッサ サーバー上の 1 つまたは複数のプロセッサを FPGA で置き換えられるようになりました。これによって、アプリケーションの一部をインソケット FPGA アクセラレータによって高速化できます。インソケット アクセラレータでは、PCIe ベースのアクセラレータに比べて、データとプロセッサ メモリ空間の一貫性を保つ能力が向上しています。たとえば、GPU アクセラレータはいずれも PCIe を使用していますが、データとプロセッサ メモリ空間を整合させておくことができません。このユニークな機能を提供するのが FPGA インソケット アクセラレータです。このアクセラレータは、高速化が可能なアプリケーションの種類はもとより、アクセラレータ システムのプログラミング モデルに対しても重要な役割を果たします [参照 5]。

ストレージとイーサネット ネットワークの融合によって、データ センターでは 40G や 100G イーサネットの導入が進んでいます。従来、データは PCIe のネットワーク インターフェイス カード (NIC) を介してプロセッサのメモリ空間に供給されてきました。しかし、PCIe (x8, Gen3) とイーサネット 40G および 100G プロトコルでは帯域幅が一致しません。この帯域幅の不一致のために、PCIe (x8, Gen3) の NIC はイーサネットの 40G および 100G プロトコルをサポートできません。このような状況から、ネットワーク システムに QPI プロトコルを適用する機会が生まれました。QPI は、HPC に追加する形でネットワークおよびストレージに導入されます。

世代ごとの性能倍増

ザイリンクスの FPGA は世代ごとにデバイス集積度を倍増させています。FPGA とプロセッサのピーク性能の見積もりから、FPGA の性能倍増の効果を示すことができます [参照 6]、[参照 7]。容量の倍増は、FPGA の演算処理能力増大に直接寄与します。図 3 は、FPGA の単精度と倍精度の予想ピーク性能を、過去 3 世代にわたりマルチコアの AMD Opteron と比較したものです。ここで注目すべき傾向は、世代ごとに存在する性能ギャップが 2009 年の時点ではさらに広がり、FPGA がプロセッサを大きく引き離れたという点です。

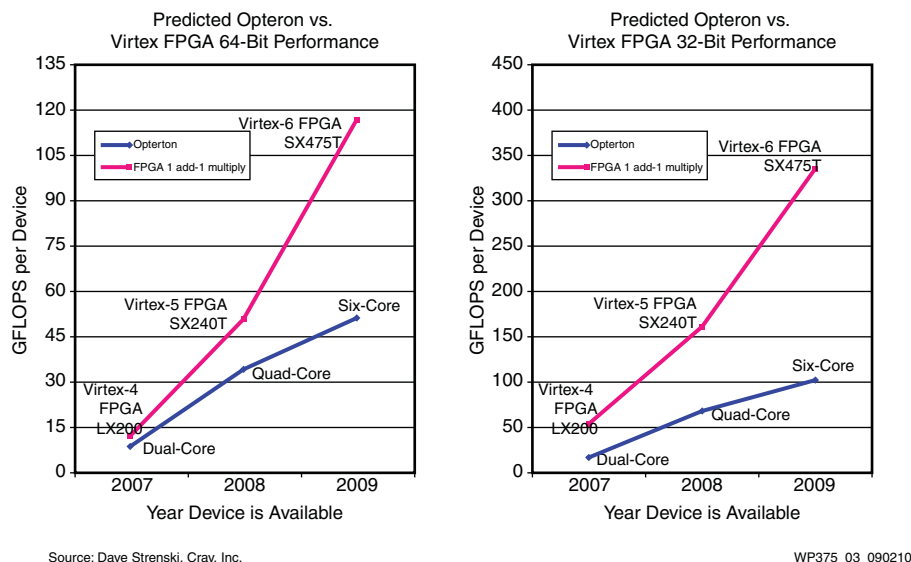


図 3 : FPGA とマルチコア CPU の単精度および倍精度性能

Intel 社および AMD 社が 2010 年に発表した CPU に比べて、1 個の Virtex®-6 FPGA は 1 個の CPU に匹敵する性能を達成しています。Dell Enterprise 社のテクノロジスト Jeff Layton 博士の記事によれば、1 個の Intel Nehalem-EX CPU、および 1 個の AMD Magny-Cours CPU による倍精度演算のピーク性能は、それぞれ 72.25 GFLOPS と 110.25 GFLOPS です。これに対して、Virtex-6 SX475T FPGA の性能は 116 GFLOPS 前後と見積もられています [参照 8]。

FPGA の性能対電力効率

マルチコア CPU や GPU の消費電力が数百ワットであるのに対し、FPGA は通常数十ワットの電力しか消費しません。FPGA がこれだけ低消費電力であることのおもな理由の 1 つが動作周波数です。FPGA 上のアプリケーションが通常 100 ~ 300MHz で動作する一方で、高性能プロセッサ上では、アプリケーションが 2 ~ 3GHz で動作します。

アプリケーションを並列して動作させる能力と、CPU や GPU よりも低消費電力であることが相まって、FPGA の性能対消費電力の特性が向上します。たとえば、アプリケーションがマルチコアの 4 分の 1 の消費電力で 10 倍のスピードを達成した場合、FPGA の性能対消費電力の効率は 40 倍向上することになります。

ザイリンクス FPGA のパワーを引き出す

Virtex シリーズ FPGA は、さまざまな高性能アプリケーションの高速化に必要な機能と演算処理能力を提供します。これらのデバイスの 1 つである Virtex-6 SX475T FPGA のピーク性能を表 3 に示します。

表 3 : Virtex-6 SX475T デバイスのピーク性能見積り (1)

パラメータ	ピーク性能
I/O 帯域幅 (GB/s)	28
メモリ帯域幅 (GB/s)	34
倍精度演算 (GFLOPS)	160 ⁽¹⁾
単精度演算 (GFLOPS)	450 ⁽¹⁾
演算 (32 ビット GOPS)	5,579

メモ:

- 前提: 4 個の DDR3 を 1,066Mb/s で動作させ、GOPS の値は 32 個の LUT によって実装した 32 ビット加算器によるものです。また、I/O 帯域幅の値は、64B/66B エンコーディングを実装したトランシーバによるものです。
- 浮動小数点の見積りは、Dave Strenski 氏 (Cray, Inc.) によるものです。

ピーク性能の値は、シリコンアーキテクチャ全体の能力を評価する場合には役立ちますが、実世界のアプリケーションにおける高速化の測定の方が、FPGA によって実際に達成可能な性能向上をより明確に示します。表 4 は、Virtex FPGA を使用したさまざまなアプリケーションにおける高速化の結果です。

表 4 : Virtex FPGA による高速化のメリット (1)

アルゴリズム / アプリケーション	FPGA	CPU	プロセッサに対する高速化
暗号化技術: DES	Virtex-6	Intel Quad Core i7 (2.67GHz 動作)	101X
暗号キーのリカバリ: NTLM	Virtex-6	Intel Quad Core i7 920 (2.67GHz 動作)	20X
地震の画像化: たたみ込み	Virtex-5	8 コア Xeon (2.66GHz 動作)	240X
プロテオミクス: InsPecT/MS-alignment	Virtex-5	2 コア Xeon (2.13GHz 動作)	100X
金融オプション評価: 求積法	Virtex-4	Pentium-4 (3.6GHz 動作)	33X
密な線形方程式: LU 因数分解	Virtex-5	Xeon Woodcrest (3GHz 動作)	140X
疎な繰り返し方程式: 共役勾配	Virtex-5	Xeon Woodcrest (3GHz 動作)	82X

メモ:

- データ出典: Pico Computing、Maxeler Technologies、Convey Computer、Imperial College、Accellogic [参照 9]

次は、FPGA システムによってアプリケーションがどのくらい高速化されるかを決定する主要因を示したものです。

- FPGA の適切な個数や十分な集積度、メモリ容量、メモリ帯域幅、I/O 帯域幅 (CPU と FPGA 間および FPGA 間) などを満たすアクセラレータプラットフォームの選択
- CPU と FPGA サブシステム間のデータ転送レイテンシを考慮した上で、FPGA で実行する部分の適切なコード分割
- FPGA 上で動作するアプリケーションの演算、I/O、メモリの各帯域幅間のバランス

FPGA HPC プラットフォームと迅速な導入

HPC アプリケーションの特性にかかわらず、HPC プラットフォームがサポートしなければならない FPGA のインフラストラクチャ機能があります。これにはプロセッサへのインターフェイス、オンボードメモリ、ボード上の複数の FPGA を相互接続する（インターコネクト）メカニズム、その他が含まれます。たとえば、ローカル オンボードメモリと通信する HPC アプリケーションの場合、必要なメモリコントローラに合わせて FPGA をコンフィギュレーションする必要があります。この工程をさらに簡素化するために、ザイリンクスは COTS の HPC システムやボードベンダーと協力して、プラットフォームのインフラストラクチャ要素が既にコンフィギュレーションされているデザインを提供しています。これらのインフラストラクチャデザインを使用することで、HPC ユーザーは独自のプラットフォームインフラストラクチャ要素の開発にエンジニアリングリソースを費やすことなく、アプリケーションの開発に専念できます。

FPGA の使用モデル

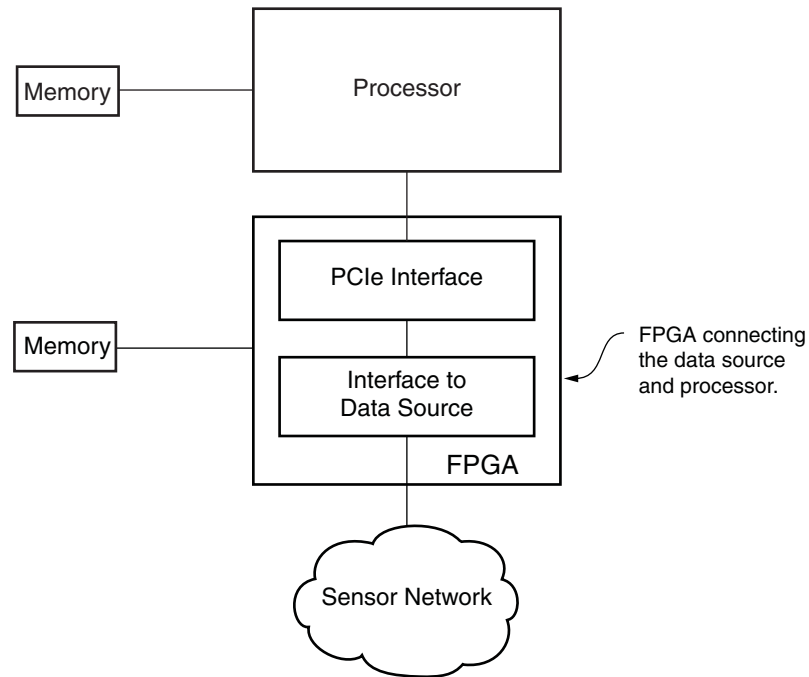
FPGA は、高性能コンピューティングにさまざまな方法で適用されています。

- **コネクティビティの使用モデル**：異なるインターフェイスロジックやサブシステムを接続するブリッジやスイッチに使用
- **固定機能のハードウェア高速化の使用モデル**：高スループットのデータ処理に使用
- **ソフトウェア高速化の使用モデル**：CPU 上で実行中のソフトウェアアプリケーション負荷の一部を FPGA で実行

コネクティビティの使用モデル

FPGA は、演算処理システムのコネクティビティと集積化において実績を積んできました。ロジックやコネクティビティの規格およびプロトコルが異なるシステム要素どうしを接続するために FPGA が使用されます。このような FPGA 使用モデルのアプリケーション例として、プロセッサ、センサーネットワーク、メモリ、各種バックプレーン規格とのインターフェイスがあります。これらのシステムを設計するチームには、たいてい従来の FPGA デザイン手法に詳しい電気技術者が含まれます。

図 4 に、センサーネットワークとプロセッサ間のブリッジに FPGA を適用する方法を示します。FPGA は、数ギガビットの転送速度を持つ内蔵トランシーバによって、高速のインターコネクトによるインターフェイスを提供できます。



WP375_04_090310

図 4：コネクティビティ使用モデル例のブロック図

また、I/O ブロックは、HSTL、LVDS、その他の複数電圧、複数規格の並列処理コネクティビティ技術をサポートできるように設計されています。ザイリンクスの FPGA に搭載された数ギガビットの転送速度を備えたトランシーバは、高速のシリアルコネクティビティをサポートします。これらの I/O 機能は FPGA に複数のプロトコル規格を実装できるという柔軟性をもたらします。サポートする規格として、PCIe (Gen 1/Gen2/Gen3)、PCI、Intel FSB、高速シリアル I/O、XAUI、Intel QPI などがあります。FPGA の I/O ブロックは、SRAM、DRAM、RLDRAM などの各種メモリとの間にインターフェイスを構築できるように設計されています。

また、1 つの FPGA デザインで複数のメモリコントローラをインプリメント可能です。アプリケーションの要件に応じてメモリコントローラのデータレートやバス幅もカスタマイズできます。たとえば、高メモリ帯域幅を必要とするサーバーの場合、ザイリンクス FPGA 上に 1,066Mb/s で動作する DDR3 コントローラを複数個インプリメントできます。また、低レイテンシのメモリアクセスが必要な HPC システムではザイリンクス FPGA 上に SRAM 用のメモリコントローラをインプリメントします。異なる種類のメモリやプロセッサインターフェイスプロトコルとのインターフェイスを構成する機能を備えていることから、FPGA は、異なるコネクティビティ規格をインプリメントするサブシステム間のデータ転送ブリッジに適しています。

表 5 は、この使用モデルをサポートする、ザイリンクスおよびその関連ベンダーによるソリューション要素の一覧です。

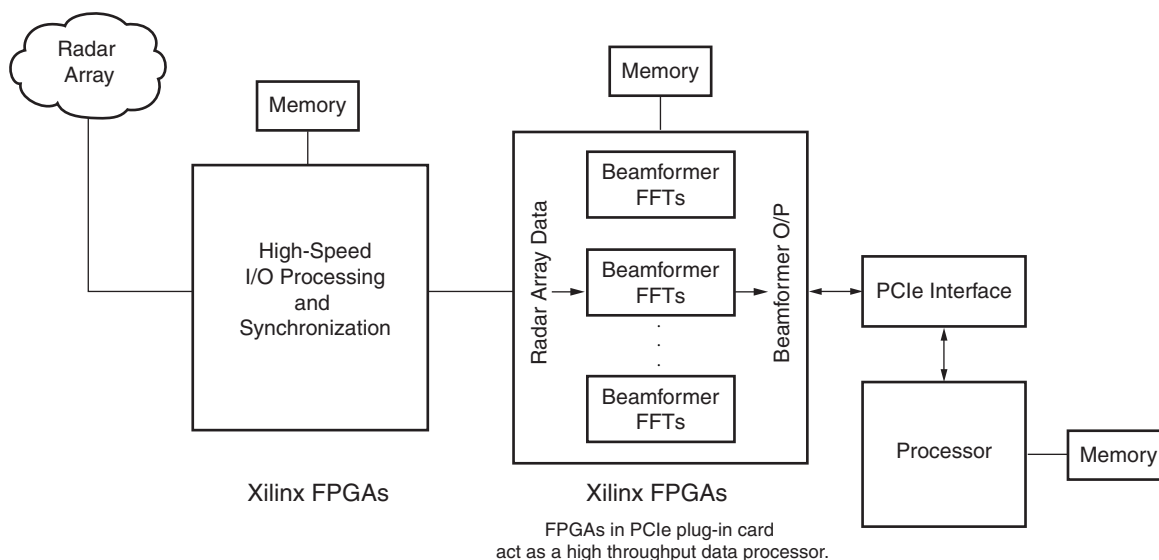
表 5: コネクティビティ使用モデルのソリューション要素

ソリューション	具体的な IP ブロック名	提供元
システム インターフェイス	PCIe (x8, Gen1)	Xilinx
	PCIe (x8, Gen2)	Xilinx, Northwest Logic, PLDA
	FSB	Xilinx/Nallatech
	Aurora	Xilinx
	XAUI	Xilinx
	高速シリアル I/O	Xilinx
メモリ インターフェイス	DDR3, 1,066Mb/s	Xilinx
	DDR2, 800Mb/s	Xilinx
	DDR, 400Mb/s	Xilinx
	QDR II/QDR II+ SRAM	Xilinx
	RLDRAM	Xilinx

固定機能のハードウェア高速化の使用モデル

固定機能のハードウェア高速化の使用モデルでは、各種アプリケーションの固定された機能またはタスクを高速化するために FPGA が適用されます。高速のインターコネクによるインターフェイスを持ち、大量のデータを処理する能力を備えた FPGA は、高スループット、低レイテンシのデータ処理が求められるアプリケーションに最適です。

通常、特定の固定機能を FPGA によって高速化するには、複数の演算カーネルを並列実行します。図 5 に、高スループット レーダー アレイのブロック図を示します。アプリケーションの中で演算処理とデータが多用される部分の 1 つにビーム形成アルゴリズムがあります。これは固定機能アクセラレータシステムにおける FPGA の能力を示した一例です。この例では、レーダー システムは高速の I/O 処理システムへのインターフェイスとして 10 ギガビット イーサネットを使用しています。1 個または複数の DDR3 コントローラが FPGA サブシステム上の計算結果をバッファリングします。プロセッサとのインターフェイスは PCIe Gen2 です。



WP375_05_090310

図 5: 高スループット処理システム例のブロック図

一般に受け入れられている経験則によれば、1bit/s の TCP/IP 送受信には 1Hz の CPU 処理が必要とされています [参照 10]、[参照 11]。別の言い方をすれば、10Gb/s のネットワークトラフィックには、各コアが 2.5GHz で動作する 4 コアのプロセッサが必要であるということです。たとえば、Virtex-6 FPGA の場合、10Gb/s のネットワークトラフィックは、MAC および NIC インターフェイスを備えた TCP/IP オフロード エンジン (TOE) 1 個で処理できます。通常、TOE、NIC、PCIe DMA エンジン、Virtex-6 の最大のデバイスの 15 ~ 20% を使用します。したがって、デバイス面積のおよそ 80 ~ 85% はほかのシステム機能の高速化に使用できることになります。

適応ビーム形成アルゴリズムのインプリメンテーションでは、適応重み付けの計算が FPGA によって高速化されます。その内容については、IEEE の『ASIC and FPGA DSP Implementation』というコースで紹介されています [参照 12]。8 チャネル x 8 ビームをインプリメントするのに必要となるリソースの見積りを表 6 に示します。

表 6 : 8 チャネル x 8 ビーム インプリメンテーションの適応重み付け計算に必要なリソース見積り

リソース	8 チャネル x 8 ビーム インプリメンテーション
DSP48E	352
ブロック RAM	123
LUT	31,000

適応ビーム形成アルゴリズムの FPGA インプリメンテーション例には、2 つの適応重み付け計算機能と、ビーム形成機能が含まれます。表 6 のリソース見積りによれば、TOE 機能と DDR3 コントローラのほかに、これらの機能をインプリメントする場合でも、Virtex-6 FPGA (例: XCV6SX315T) 上には十分なリソースがあることがわかります。前述の IEEE のコースでは [参照 12]、適応重み付け計算機能 1 つのスループットが FPGA 上では約 90GOPS であるのに対し、Pentium-4 3.6GHz プロセッサ上では 1GOPS に満たないとしています。適応重み付け計算を 2 つのインスタンスで並列実行すれば、Virtex-6 FPGA インプリメンテーションによる速度は 180GOPS 前後になります。

FPGA による固定機能高速化の恩恵を既に受けているその他のアプリケーションには、セキュリティシステム、低レイテンシの取引プラットフォーム、画像処理、分析システムなどがあります。高スループットのデータ処理能力と数十ワットという低消費電力を同時に実現する FPGA によって、設計者はさまざまなエンベデッドコンピュータのサイズ、重量、電力の制約を満たすことができます。

ザイリンクスは固定機能アクセラレータ システムのデザイン開発時間を短縮する、エンベデッド開発ツールへの要求が高まりつつあることを認識しています。表 7 は、ザイリンクスおよび関連ベンダーが提供する IP とツールの一覧です。高水準言語ツールに対する BDTi の評価結果の詳細は、[参照 13] に掲載されています。

表 7：固定機能のハードウェア高速化のためのソリューション要素

固定機能の高速化のためのソリューション要素	提供元
暗号化	Helion Technology
TCP/IP オフロード	IPBlaze
FFT、DSP フィルタ	Xilinx
浮動小数点	Xilinx
DSP コア	Xilinx
パーシャル リコンフィギュレーション	Xilinx
低レイテンシの取引システム、画像処理、数学ライブラリ	Impulse Accelerated Technologies
COTS プラットフォーム	Annapolis Micro Systems、Nallatech、Mercury Computer Systems、Curtiss Wright、Alpha Data、Pico Computing
開発ツール (例：高水準言語合成およびグラフィカル開発環境) ⁽¹⁾	National Instruments、The MathWorks、Xilinx、AutoESL Design Technologies ⁽¹⁾

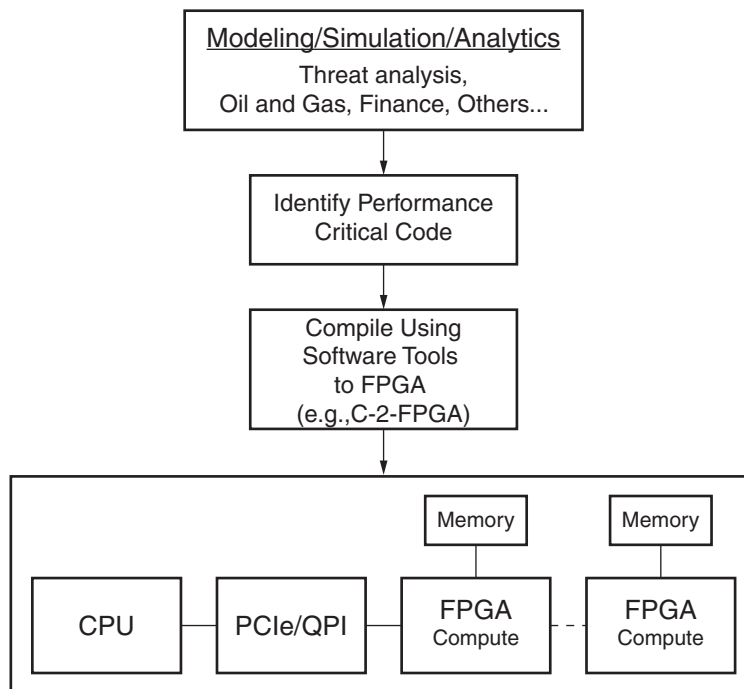
メモ：

1. BDTi 認定済み

ソフトウェア高速化の使用モデル

ソフトウェア高速化の使用モデルは、高性能サーバーに FPGA を適用し、複数のソフトウェア アプリケーション機能の性能を高速化する必要がある顧客のニーズに応えます。このようなソフトウェア アプリケーションの例には、兵器シミュレーション、放射性廃棄物シミュレーション、脅威分析、石油およびガス貯留層シミュレーション、遺伝子比較、株式やポートフォリオのリスク評価などがあります。通常は複数の FPGA デバイスを 1U サーバーのような標準フォームファクタのコンピュータに実装し、PCIe プラグイン カードまたはインソケット FSB/QPI アクセラレータを使用します。

アプリケーションの開発チームは、多くの場合 FPGA の使用経験がほとんどまたはまったくないソフトウェア エンジニアのグループです。アプリケーション開発プロセスは、ソフトウェア コードの作成と、業界標準のソフトウェア ライブラリを組み込む作業からなります。図 6 にソフトウェア システム アーキテクチャ使用モデルのブロック図を示します。



WP375_06_090210

図 6：ソフトウェア高速化の使用モデル例のブロック図

この使用モデルに分類されるユーザーは、常に演算処理能力の向上を求めています。FPGA が提供する高速化によって、より複雑な計算を実行するアルゴリズムが使用可能となり、より正確なモデル化と結果が得られます。また、データセンターの冷却および電力コストに対する懸念が増している現在、電力効率のよいサーバー構築の必要性が高まっています。FPGA は高い電力効率を実現しつつ、アプリケーションを高速化するための重要な技術です [参照 14][参照 15]。

ザイリンクスは、この市場への FPGA 導入を推進するには、ソフトウェア ツールと十分に統合されたシステムを提供する必要があることを認識しています。そのため、ザイリンクスは、Maxeler Technologies 社や Convey Computer 社などのベンダーを通してソリューションを提供しています。これらのベンダーは、FPGA によってソフトウェア アプリケーションを高速化する、FPGA ベースの HPC サーバーやコンピュータを供給します。

まとめ

ザイリンクスの FPGA は数々のプログラマブル システムで継続的に採用されています。技術や機能の進化によって、ザイリンクス FPGA は HPC アプリケーションに最適のデバイスになりました。HPC 市場内で FPGA を実装しているシステムには、複数機能の高性能サーバーやクラスターあるいは固定機能の高性能エンベデッド コンピュータなどがあります。FPGA アーキテクチャが提供する大規模な並列化によって、多くの HPC アプリケーションの性能は、スタンドアロンの CPU に比べて 1 桁から 2 桁も向上します。

FPGA のシリコンの観点から見ると、この大幅な性能向上はアーキテクチャの強化とチップ集積度の増大によるもので、これがアプリケーションの著しい高速化に直接寄与しています。FPGA ベースの HPC システムでは、動作時の低消費電力と、きわめて高い性能 / 電力比を同時に実現できます。プログラマブル システムのデザイン プラットフォームとして長年支持されてきた FPGA は、HPC アプリケーションの処理およびインターフェイスの困難な要求に応える高価値で息の長いソリューションに急激に変貌しつつあります。ザイリンクスは、お客様が HPC システムに迅速に FPGA を適用できるように、関連ベンダーと積極的に協力して HPC ソリューションのさまざまな要素を提供しています。

参考資料

1. [DS150](http://japan.xilinx.com/support/documentation/data_sheets/j_ds150.pdf): 『Virtex-6 ファミリー概要』、
http://japan.xilinx.com/support/documentation/data_sheets/j_ds150.pdf
2. [DS100](http://japan.xilinx.com/support/documentation/data_sheets/j_ds100.pdf): 『Virtex-5 ファミリー概要』、
http://japan.xilinx.com/support/documentation/data_sheets/j_ds100.pdf
3. [UG086](http://japan.xilinx.com/support/documentation/ip_documentation/ug086.pdf): 『メモリ インターフェイス ソリューション ユーザー ガイド』、
http://japan.xilinx.com/support/documentation/ip_documentation/ug086.pdf
4. [DS186](http://japan.xilinx.com/support/documentation/ip_documentation/j_ds186.pdf): 『Virtex-6 FPGA メモリ インターフェイス ソリューション データシート』、
http://japan.xilinx.com/support/documentation/ip_documentation/j_ds186.pdf
5. [Intel Xeon FSB FPGA Accelerator Module](http://www.nallatech.com/Intel-Xeon-FSB-Socket-Fillers/fsb-development-systems.html)、
<http://www.nallatech.com/Intel-Xeon-FSB-Socket-Fillers/fsb-development-systems.html>
6. [FPGA Floating Point Performance—A Pencil and Paper Evaluation](http://www.hpcwire.com/features/FPGA_Floating_Point_Performance.html)、
http://www.hpcwire.com/features/FPGA_Floating_Point_Performance.html
7. [Revaluating FPGAs for 64-bit Floating-Point Calculations](http://www.hpcwire.com/features/Revaluating_FPGAs_for_64-bit_Floating-Point_Calculations.html)、 Dave Strenski (Cray, Inc.)、 Jim Simkins、 Richard Walke、 Ralph Wittig (Xilinx, Inc.) 著
http://www.hpcwire.com/features/Revaluating_FPGAs_for_64-bit_Floating-Point_Calculations.html
8. [PetaFLOPS for the Common Man- Pt 3 In the next few yrs what could PetaFLOPS Systems Look Like](http://www.delltechcenter.com/page/PetaFLOPS+for+the+Common+Man-+Pt+3+In+the+next+few+yrs+what+could+PetaFLOPS+Systems+Look+Like)、 Jeff Layton, Ph.D. (Dell Enterprise HPC テクノロジスト) 著
<http://www.delltechcenter.com/page/PetaFLOPS+for+the+Common+Man-+Pt+3+In+the+next+few+yrs+what+could+PetaFLOPS+Systems+Look+Like>
9. Juan Gonzalez、 Rafael C Núñez 著、 『LAPACKrc: Fast linear algebra kernels/solvers for FPGA accelerators』、 *SciDAC 2009 Journal of Physics: Conference Series 180 (2009) 012042*.
10. [TCP Offload Engine](http://en.wikipedia.org/wiki/TCP_Offload_Engine)、
http://en.wikipedia.org/wiki/TCP_Offload_Engine
11. A. P. Foong ほか著、 『TCP Performance Re-Visited』 *Proceedings of the 2003 IEEE International Symposium on Performance Analysis of Systems and Software*
12. H. Nguyen 著、 『ASIC and FPGA DSP Implementation』、 *IEEE Current Topics in Digital Signal Processing course*. Woburn, MA. 2008 年 4 月 22 日
13. [High-Level Synthesis Tools for Xilinx FPGAs](http://www.bdti.com/articles/Xilinx_hlstep.pdf)、 http://www.bdti.com/articles/Xilinx_hlstep.pdf
14. [Convey Computer Announces Record-Breaking Smith-Waterman Acceleration of 172x](http://www.marketwatch.com/story/convey-computer-announces-record-breaking-smith-waterman-acceleration-of-172x-2010-05-24)、
<http://www.marketwatch.com/story/convey-computer-announces-record-breaking-smith-waterman-acceleration-of-172x-2010-05-24>
15. R. Dimond ほか著、 『MAXware: acceleration in HPC』、 *IEEE HOT CHIPS 20*, Stanford, USA, 2008 年 8 月

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2010/09/10	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

CRITICAL APPLICATIONS DISCLAIMER

XILINX PRODUCTS (INCLUDING HARDWARE, SOFTWARE AND/OR IP CORES) ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS IN LIFE-SUPPORT OR SAFETY DEVICES OR SYSTEMS, CLASS III MEDICAL DEVICES, NUCLEAR FACILITIES, APPLICATIONS RELATED TO THE DEPLOYMENT OF AIRBAGS, OR ANY OTHER APPLICATIONS THAT COULD LEAD TO DEATH, PERSONAL INJURY OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE (INDIVIDUALLY AND COLLECTIVELY, “CRITICAL APPLICATIONS”). FURTHERMORE, XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED FOR USE IN ANY APPLICATIONS THAT AFFECT CONTROL OF A VEHICLE OR AIRCRAFT, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR. CUSTOMER AGREES, PRIOR TO USING OR DISTRIBUTING ANY SYSTEMS THAT INCORPORATE XILINX PRODUCTS, TO THOROUGHLY TEST THE SAME FOR SAFETY PURPOSES. TO THE MAXIMUM EXTENT PERMITTED BY APPLICABLE LAW, CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN CRITICAL APPLICATIONS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。