



WP379 (v1.0) 2010 年 10 月 5 日

プラグアンドプレイ IP への道を開く AXI4 インターコネクト

著者 : Navanee Sundaramoorthy、Navneet Rao、Tom Hill

この 10 年間で、FPGA デザインの多くがその規模と複雑性を増し、これに伴って設計に要する時間とリソースも増大していることは設計上の大きな負荷となっています。このため、デザインには IP の利用や再利用が不可欠となりました。しかし、社内外のソースから入手した多数の IP ブロックを統合することは時として膨大な作業となり、設計期間を縮めるところか延ばしてしまうことも少なくありません。デザインに一層多くの機能が盛り込まれるようになった現在、信頼できるソースから実績のある最新の IP を入手できるかどうかは、デザインが成功するかを左右する重要な鍵となっています。

このようなデザインを実現可能とする 2 つの重要な要素が、プラグアンドプレイ IP の構築、および業界内の連携 (エコシステム) の拡大であり、これらを飛躍的に進展させたのが、AMBA[®]4 (Advanced Microcontroller Bus Architecture) AXI4 インターコネクト規格の発表と、ザイリンクス ISE[®] Design Suite 12.3 による同規格のサポートです。

共通インターコネク規格の利点

AXI4 仕様は、オンチップ システム デザインにおけるインターコネク技術を前進させる大きな一歩です。2010 年 3 月に発表された AMBA 4 および AXI4 仕様は、業界のために、業界によって策定されました。その作成には、ザイリンクスをはじめとする、業界トップクラスの OEM、EDA、半導体ベンダーなど 35 社が参画しました。その成果が FPGA および ASIC に適したインターコネク アーキテクチャです。

この仕様には、次のような利点があります。

- 生産性の向上：さまざまなソースから入手した IP の統合に、複数のレガシー インターフェイスまたはカスタム インターフェイスが不要となりました。すべての IP のインターコネクが共通であることから、設計者はデザイン内の IP ブロックを簡単に削除、追加、置換できます。また、AXI4 インターコネクを IP レポジトリ、セキュリティ強化、デザイン ツールなどと組み合わせて使用することで、プラグアンドプレイ FPGA デザインの価値が完全に引き出され、生産性が著しく向上します。
- 柔軟性の向上：AXI4 仕様は、幅広いシステム要件に対応しています。この仕様は本質的に拡張性に優れているため、 F_{MAX} を可能な限り高めたり、スループットの最大化、レイテンシの短縮、エリアの縮小、あるいは、これらの属性がまとめて改善されるようにデザインを最適化できます。この柔軟性を活用することで、顧客企業は高い競争力を持つ、最適化された製品を構築して市場に投入できるようになります。
- IP 可用性の向上：AXI4 仕様は、ザイリンクスおよび ARM 両社の IP エコシステムを促進し、ザイリンクスの FPGA や Extensible Processing Platform で使用する IP の効率的な開発を可能とします。詳細は、japan.xilinx.com/technology/roadmap/index.htm を参照してください。このようにエコシステムが強化されることで、ザイリンクス ユーザーは、特定の市場を専門とするエンジニアが作成した IP や、検証およびテスト用 IP などを含む各種 IP をより多くのソースから入手できるようになります。

AXI4 インターコネク

次世代 AMBA 仕様 (AMBA 4) の一部として発表された AXI4 仕様は、現在の FPGA や ASIC デザインに見られるさまざまな IP インターコネク要件に対応する 3 つのインターコネク プロトコルで構成されています。

- AXI4 : 1 バーストあたり最大 256 データ ビートに対応する、従来型の単一アドレス バースト インターコネクです。データ幅はシステムによって異なります。
- AXI4-Lite : エリア効率を重視した AXI4 プロトコルのサブセットで、1 トランザクションで送信するデータ ワードは 1 つのみです。
- AXI4-Stream : シグナリングを大幅に減らして、マスターからスレーブへの単方向転送を高速化した、データ ストリーミング用のインターコネクです。このインターコネクは、マルチギガビットのシリアルプロトコルおよびビデオやオーディオ向けデザインなどプロセッサ ベースではない IP に求められる、広帯域ストリーミング I/O の要件に効率的に対応します。

AXI4 仕様の詳細は、次のウェブサイトを参照してください。

japan.xilinx.com/ipcenter/axi4.htm.

実デザインに利益をもたらす AXI4 インターコネク

AXI4 インターコネクの利点（生産性、柔軟性、可用性の向上）は、エンベデッド プロセッサの有無にかかわらず、すべての FPGA デザインに共通でもたらされます。ただし、これらの利点をどのように組み合わせるかや AXI4 インターコネク適用による実測的な効果は、デザインのタイプによって異なります。

プロセッサ ベースの FPGA デザイン

あらゆるアプリケーションにおいて、電子回路システムの性能に対する要求は高まるばかりで、I/O およびメモリのスピードは桁単位で高速化されてきました。しかも、この勢いは現在も衰えを見せていません。したがって、メモリ、I/O、データ量の高性能化に対応するよう、システム帯域幅も拡張し続ける必要があります（表 1 参照）。

表 1：電子回路システム要件の動向

要件	2000 年	2010 年	将来
メモリ	DDR2 - 266Mb/s	DDR3 - 1,066Mb/s	DDR3 - 2,133Mb/s
イーサネット (Mb/s)	1Gb/s イーサネット	10Gb/s イーサネット (XAUI)	40Gb/s イーサネット
PCI/PCIe	66MHz	5Gb/s PCIe Gen2	8Gb/s PCIe Gen 3
ビデオ (解像度)	VGA	1080p60	4K ディスプレイ

エンベデッド プロセッサ デザインにとって、AXI4 インターコネクの最も顕著な利点は、性能を大幅に向上できることです。

ザイリンクスのマルチポート メモリ コントローラ (MPMC) は、エンベデッド FPGA デザインのシステム性能の向上に重要な役割を果たします。MPMC はシステムの外部メモリやさまざまなペリフェラルに対して、十分とされてきた性能レベル、つまりギガビット イーサネットや従来のビデオ インターフェイスなどに十分な帯域幅でデータを送受信します。しかし、AXI4 インターコネクへの移行によって、現在のシステム インターフェイスやメモリで必要とされ始めた、より高い帯域に対応可能な、新しいアーキテクチャの開発が可能となります。

今まで以上に効率、性能共に優れた AXI4 インターコネク ブロック、AXI4 DMA IP、およびメモリ コントローラを活用することで、MPMC が提供するエンベデッド デザインのシステム帯域幅はおおよそ 2～10 倍向上されます。

これは、FPGA ベースのエンベデッド システムが現在はもちろん、将来にわたり高性能の DSP およびコネクティビティの要件、たとえば、PCIe[®] Gen2、Gen3、10～40 ギガビット イーサネット、高品位ビデオ インターフェイスなどの要件を満たすことを意味します。さらに、AXI4 インターフェイス仕様ではデータ バス幅に拡張性があるため、AXI4 インターコネク ブロックおよびメモリ コントローラの性能を必要に応じて拡張させることが可能です。ザイリンクスが開発したエンベデッド ターゲット リファレンス デザインでは、幅広いインターコネク要件に最も効率的に対応できるよう、3 種類の AXI4 インターコネク プロトコルをすべて使用しています（図 1 参照）。

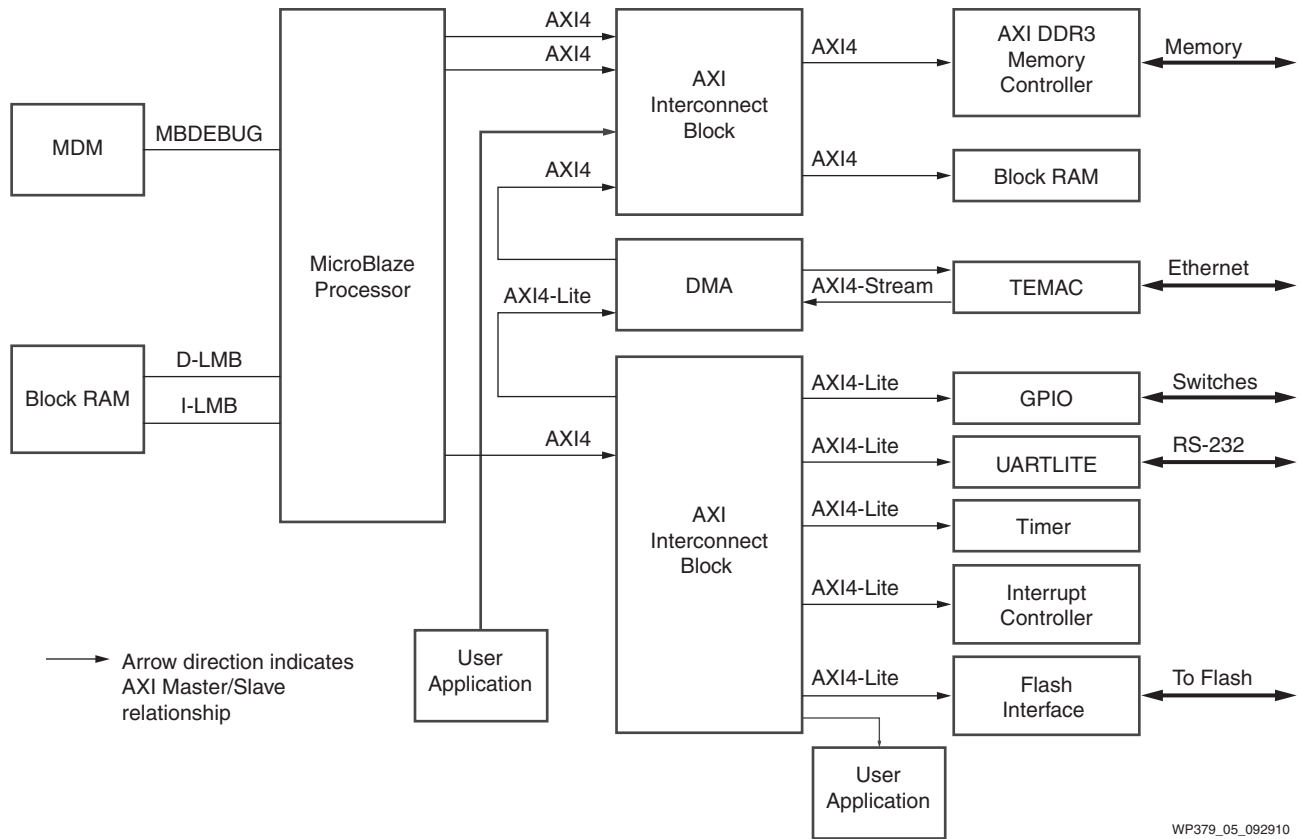


図 1: エンベデッド ターゲット リファレンス デザイン

ザイリンクスは、新しいエンベデッド ターゲット リファレンス デザインを使用して、ベンチマーク評価を行いました。この評価では、AXI4 インターコネクトブロックと DMA によって得られる性能上の優位性を実証および検証することを目的として、従来の MPMC/LocalLink DMA コンフィギュレーションと比較検討しています。ベンチマーク評価項目の 1 つに DMA によるバースト読み出し / 書き込み性能があります。これは、PCIe またはイーサネットを介して外部メモリにデータをストリーミングする場合、またはマルチギガビットシリアルトランシーバによって高速でデータを取得する場合に重要となる特性です。(1)

プロセッサ ベース デザインのベンチマーク結果

ベンチマークの結果 (図 2) から、AXI4 インターコネクトを使用すると、エンベデッド アプリケーションのシステム帯域幅が MPMC/LocalLink DMA と比較して 2 倍～ 10 倍改善されることが立証されました。これは AXI4 インターコネクトがもたらす大きな利点を示す結果と言えます。AXI4 インターコネクトを適用したシステムは、従来のバスに基づくインターコネクト技術を用いた MPMC によるシステムよりも高いクロック周波数で動作します。また、AXI4 インターコネクトが最大 256 ビットのデータ幅に対応しているのに対し、LocalLink の最大データ幅は 32 ビットです。

1. テスト装置では、Virtex®-6 XC6VLX240T FPGA (最高速グレード) を実装した ML605 ボードと、400MHz で動作する 64 ビットの DDR3 インターフェイスを使用しました。ベンチマークのバースト長は 256 データバイトです。

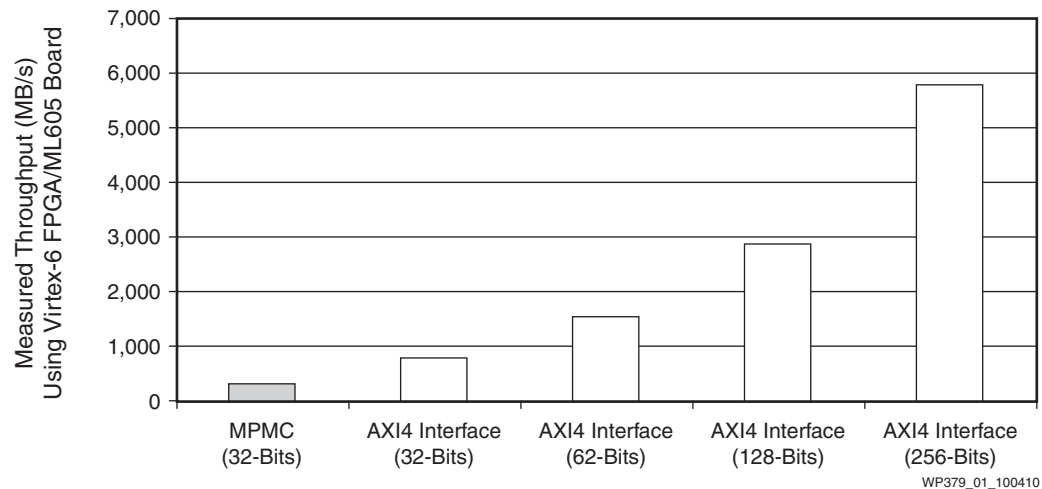


図 2 : AXI4 インターコネクと MPMC/LocalLink のシステム帯域幅

エンベデッド プロセッサを含まない FPGA デザイン

FPGA は、長年プロトコル間のブリッジング デバイスとして使用されてきました。このようなデザインにおける最重要課題は、レイテンシ、帯域幅、安定して継続可能な (ピーク) データ速度です。Spartan-6 FPGA コネクティビティ ターゲット リファレンス デザイン (図 3 参照) は、AXI4 インターコネクを使用できるようにアップグレードされた、イーサネット、メモリ コントローラ、PCIe パケット DMA などの IP ブロックによって構成されるデザイン フレームワークを提供します。図のコンフィギュレーションでは、ターゲット リファレンス デザインは PCIe とギガビット イーサネット間を接続するブリッジを提供します。ここでは、AXI4-Stream インターコネクによって、ザイリンクスの PCI Express IP ブロックが、Northwest Logic 社の PCIe パケット DMA IP ブロックに接続しています。(1)

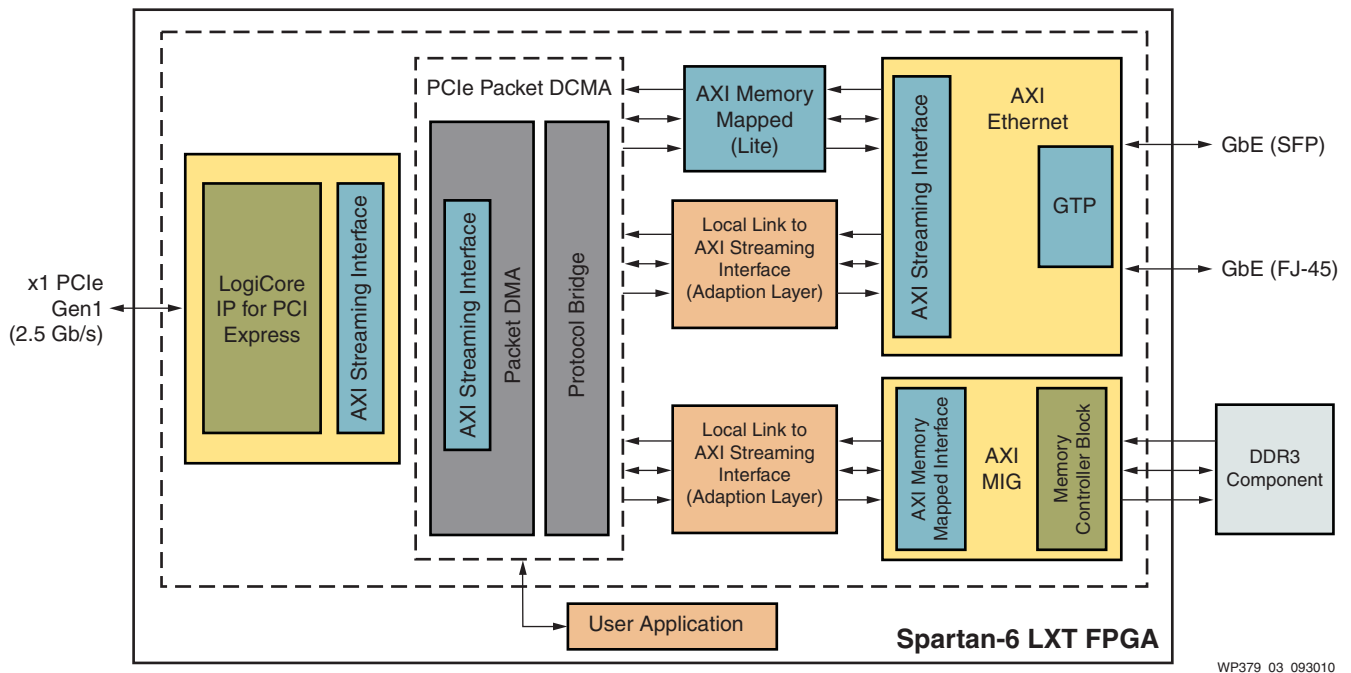


図 3 : AXI4 インターコネク IP を用いた Spartan-6 FPGA コネクティビティ ターゲット リファレンス デザイン

1. パースト転送向けの高性能インターコネク アーキテクチャの価値を評価した Northwest Logic 社は、同社 IP 内の PCIe LogiCORE ブロックの接続に AXI4-Stream を採用しました。このデザインでは、PCIe パケット DMA IP ブロックとイーサネット、メモリ コントローラ ブロックの間のアダプテーション層として機能するカスタム ロジックは少数です。

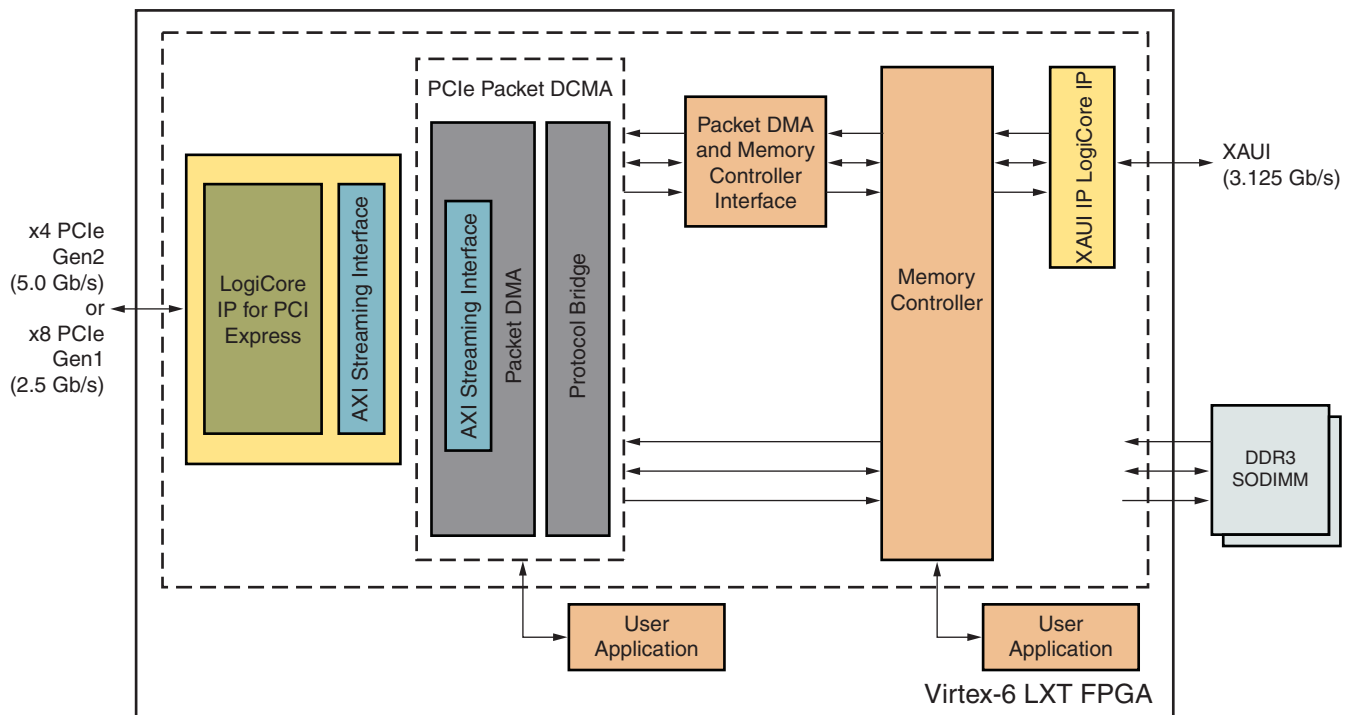
AXI4 インターコネク規格を活用してさまざまな IP ブロックを接続するこのフレームワークは、プラグアンドプレイ IP を用いた設計をサポートするもので、デザイン内のプロトコル IP ブロックを、別の代替プロトコルに簡単に交換できます (たとえば、イーサネットの IP コアを Aurora 高速シリアルチップ間インターフェイス コアに置き換えることができます)。

AXI インターコネクの導入はまた、利用可能なプラグアンドプレイ IP ブロックの数を飛躍的に増大させることにもつながります。IP のソースは現在も増加中で、たとえば、ザイリンクスの IP ポートフォリオ、ザイリンクス アライアンス プログラム (XAP) のメンバー企業が提供する IP、ARM Connected Community による FPGA に適した AXI4 準拠の IP などが利用できます。

より高い帯域幅とピーク効率に対応するよう性能要件が厳しくなった場合、AXI4 インターコネクではプロトコル制御を変更することなく、データ幅の拡張 (32 ビット、64 ビット、128 ビット、256 ビット) が可能です。

大部分の高性能コネクティビティ システムに共通する、根本的な設計課題の 1 つとして、システムで使用されている最高性能のプロトコルにも対応するメモリ インターフェイスの構築があります。複雑なシステムのメモリ帯域幅は、多くの場合 2 倍以上に超過アクセス (オーバーサブスクライブ) されるため、メモリ コントローラにはアービトレーション機能が不可欠です。

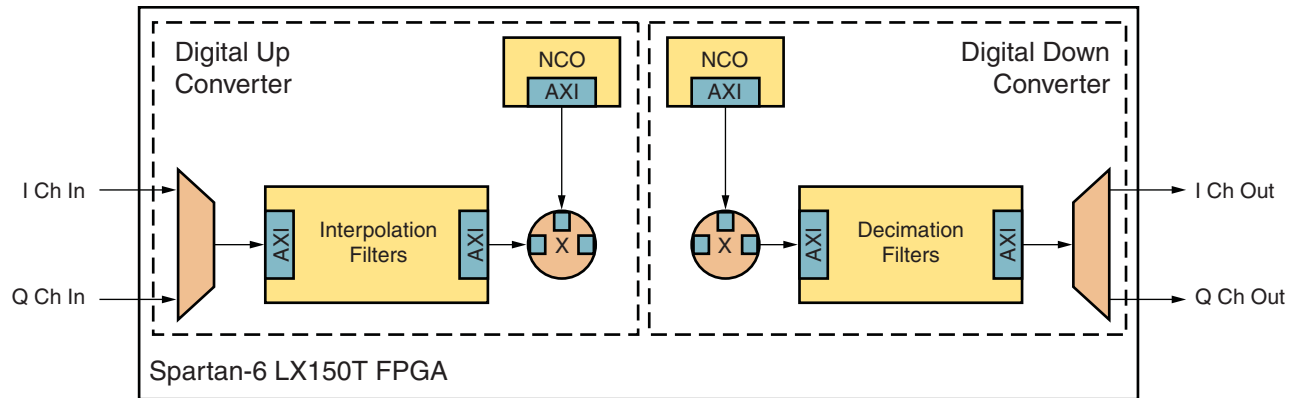
Virtex-6 FPGA コネクティビティ ターゲット リファレンス デザイン (図 4) では、50Gb/s メモリアーキテクチャに最適化された、カスタム デザインの 40Gb/s メモリ コントローラを使用しています。設計者は AXI4 インターコネクのメモリ インターフェイス ジェネレータ (MIG) を使用することで、AXI4 インターコネク ブロックのデザインを作成または変更できます。このブロックは、プロトコル変換、アービトレーション、メモリ管理などの機能を実行します。



WP379_04_100410

図 4: AXI4 インターコネクを用いた Virtex-6 FPGA コネクティビティ ターゲット リファレンス デザイン

DSP デザインには常に複雑性という問題が伴います。したがって、ほかのシステム レベルの IP ブロックとのプラグアンドプレイ互換性を持った AXI4 準拠のブロックを作成できれば、DSP システムに一般的に見られる膨大なインターフェイスを、たった 1 つの標準化されたインターコネクに集約でき、設計期間の大幅な短縮につながります。DSP ハードウェアの設計者は、この仕様を一度習得してしまえば、その他のシステム コンポーネント、たとえばメモリ コントローラ、アナログ インターフェイス、エンベデッド システム、IP などとその知識を応用できます。このため、FPGA デザインの経験豊富な DSP ハードウェア設計者は、アルゴリズムの付加価値を高めるハードウェア設計作業に専念できます。(図 5 参照)。



WP379_05_100510

図 5 : Spartan-6 FPGA DSP ターゲット リファレンス デザイン

Spartan-6 FPGA DSP ターゲット リファレンス デザインは、インターポレーションフィルタ、デシメーションフィルタ、複雑なミキシングに使用する正弦波、余弦波信号を生成する数値制御オシレータなどを含む、デジタルアップコンバータ (DUC)/ デジタルダウンコンバータ (DDC) です。このデザインは、AXI4-Stream インターコネクが、DSP 処理データパスを通る内部データフローの同期と、DSP ブロックの最上位への接続が可能であることを実証しています。

DSP デザインのコミュニティは、DSP ハードウェアブロックの生成に C/C++ や MATLAB®/Simulink® などのモデリング言語を使用する、ハイレベル設計の技法いち早く取り入れました。このデザインフローは、DSP アプリケーションの典型である、データベースを多用するアルゴリズムベースのデザインに最適であり、優れた成果を上げています。AXI4 インターコネク構造は、上述のようなハイレベル設計ツールが使用できるフレームワークを提供します。これによって、ザイリンクスやサードパーティがリファレンスデザインを通して提供してきた、既存のデザインインフラストラクチャをより簡単に再利用できます。ツールには、生成した DSP ブロックに自動的に AXI4 インターコネクを挿入する機能があるため、リファレンスデザインの統合作業は設計者にとって予測しやすく、わかりやすいものです。System Generator for DSP などのハイレベル設計ツールは、Simulink からの DSP ブロック作成および生成に対応しています。これらの DSP ブロックには、AXI4 インターコネクおよび AXI4-Stream インターコネクの両方が実装されており、最高性能と最大のスループットを実現するだけでなく、使いやすさも向上しています。

プロセッサを含まない FPGA デザインのベンチマーク結果

プロセッサを含まない高性能デザインの場合、最大の性能を引き出すと同時に IP を簡単に統合できるよう、オーバーヘッドの少ないインターフェイスを備えることが鍵となります。このようなシステムでは、多くの場合メモリの性能が重大なボトルネックです。従来は、最大の帯域幅が得られるように、ザイリンクスの MIG ネイティブインターフェイスによってメモリインターフェイスをインプリメントしてきました。そして、設計者は通常、マルチポート、アービトレーションロジックなどのモジュールを追加し、デザインを拡張する必要がありました。

MIG ネイティブインターフェイスと AXI4 インターコネクベースのシステム (図 6 参照) のベンチマーク性能を比較すると、AXI4 インターコネクは MIG ネイティブインターフェイス同等と言えるスループットを実現していることがわかります。また、DDR3 インターフェイスを介してメモリにアクセスする場合、Virtex-6 FPGA ML605 プラットフォームで、ほぼ最高のスループットを達成しています。

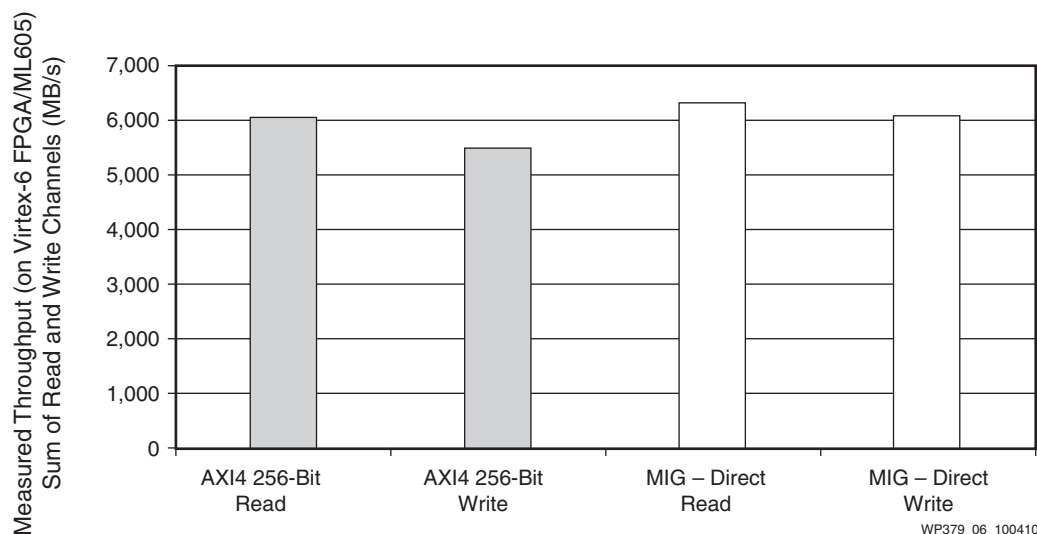


図 6: AXI4 インターコネクットを用いたプロセッサを含まないアプリケーションにおける性能比較

プロセッサを含まないアプリケーションにとって AXI4 インターコネクットの利点は同等の性能だけではありません。クロスバー スイッチ、および複数ポートや標準 AXI4 インターコネクットのサポートも大きな利点です。これらはいずれも MIG ネイティブ インターフェイスではサポートされていません (表 2 参照)。

表 2: MIG (ネイティブ) インターフェイスおよび AXI4 インターコネクットを使用した場合の機能と性能の比較

デザイン基準: 機能と性能	MIG (ネイティブ) インターフェイス	AXI4 インターコネクット
高性能メモリ インターフェイス	3	3
異なるクロック ドメインによる複数ポートのサポート		3
フルクロスバー スイッチ (アービトレーション)		3
業界標準インターフェイスに対するサポート		3

まとめ

AXI4 インターコネクットの価値には、さまざまな側面があります。まず、即座に得られる効果が、レガシー インターコネクットおよびカスタム インターコネクットのアーキテクチャに代わる、統一された IP インターコネクット規格によってもたらされる生産性の向上です。次に、AXI4 規格向けに開発された 3 つのインターコネクット プロトコル (AXI4、AXI4-Lite、AXI4-Stream インターフェイス) が提供する柔軟性によって、性能、スループット、レイテンシ、またはエリアの観点から FPGA デザインが最適化されます。最後に AXI4 インターコネクットの長期的な価値として、プラグアンドプレイ IP の構築によって、ザイリンクスのエンベデッド、コネクティビティ、DSP の各 FPGA デザインに対応するエコシステムが拡大し、強化されます。

参考資料

AXI4 IP インターコネクット規格については、次のウェブ サイトで情報が提供されています。

- ザイリンクスの AXI4 関連ページ
japan.xilinx.com/ipcenter/axi4.htm
このサイトには、AXI4 を使用したザイリンクス FPGA デザインについて包括的に説明している『ザイリンクス AXI4 リファレンス ガイド』へのリンクが含まれます。
- AXI4、AXI4-Lite、AXI4-Stream などの AMBA 4 仕様に関するページ
<http://www.arm.com/products/system-ip/amba/amba-open-specifications.php>

詳細は、ザイリンクス販売代理店までお問い合わせください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2010/10/05	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。