



WP388 (v1.0) 2011 年 3 月 1 日

## チーム デザインで生産性を向上

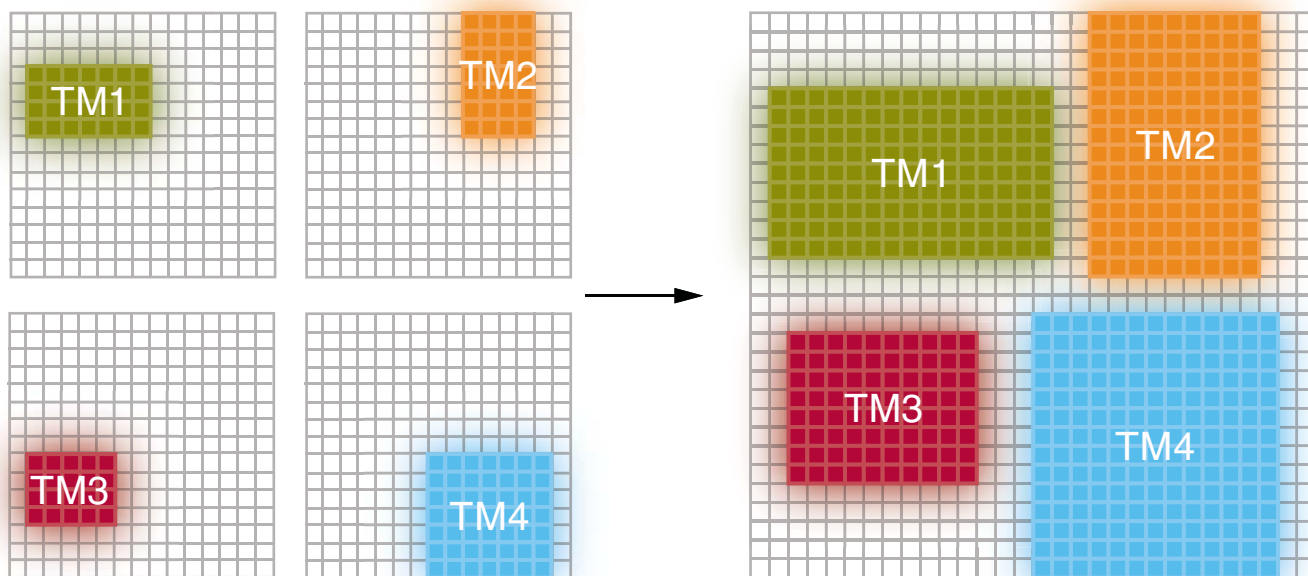
著者 : Kate Kelley

---

ザイリンクス **FPGA** は最大 200 万ものロジック セルを搭載し、その容量はこれからも拡張されます。通常、このような規模の複雑なデザインには複数の開発者が必要となり、デザイン全体を合成およびインプリメントするためのチーム リーダーも必要です。さらに、それら開発者たちが世界中に点在し、離れた場所でデザインの各部分を開発したり、場合によっては各部分を別々の会社が開発することさえあります。ISE® Design Suite 13.1 で導入されたチーム デザイン フローは、このような条件下で生じている課題を解決します。

## 概要

チーム デザイン フローは、大きく捉えると 3 つのステップで構成されています。最初が初期デザインのセットアップ、次が各チームでのインプリメンテーション、そして最後に全チームのモジュールを統合して最終的なデザインを完成させます。初期デザインのセットアップでは、チームごとの枠組みを作成し、デザインの各部分をそれぞれがインプリメントできるようにします (ただし、トップレベルデザインの状況に基づく)。設計の途中でも、各チームのインプリメンテーション結果を使用して、デザイン全体をアセンブリができます。詳細は、[図 1](#) を参照してください。



WP388\_01\_013111

図 1: チーム デザイン フロー

## 初期セットアップ

フローでは、最初のセットアップが最も重要になります。このステップには HDL デザイン ルール、デザイン パーティショニング、合成セットアップ、フロアプランニング、ハイレベル タイミング要件、チームのディレクトリ構造、初期インプリメンテーション、そして最後に各チームに必要なプロジェクトと作業空間が含まれます。通常、初期セットアップは PlanAhead™ ソフトウェアを使用して行われます。プロジェクトは、必要に応じてスクリプト ベースのフローへ移行できます。

## HDL デザイン ルール

結果の品質 (QoR) とリソース使用率の向上には、特定のデザイン ルールに従う必要があります。これらのルールの目的は、アセンブリをシンプルにするために、クリティカル タイミング パスはすべて各チームのモジュール内に含めることです。モジュール間で高い QoR が求められる場合は、これらのルールが特に重要となります。

- モジュールの入力および出力には、レジスタとモジュールの境界に組み合わせロジックを使用せずにレジスタを付ける必要があります。これによって、境界をまたいで最適化されるロジックがなくなるため、パーティション境界を超えるパスがクリティカルパスとなることを回避できます。入力と出力にレジスタを付けることができない場合は、出力にレジスタを付けることを推奨します。

- 定数を入力や出力として使用しないようにしてください。定数は合成中に境界を超えて伝搬されません。このため、モジュール内の未使用機能を無効にするために入力定数が使用される場合、リソース使用率や QoR に悪影響を与えます。未使用ロジックはフラット フローでは最適化されますが、階層フローでは最適化されません。
- インターフェイス境界はハードであるため、すべての入力および出力を使用する必要があります。未使用入力または出力が最適化によって取り除かれることはないため、パッキング エラーや高いリソース使用率を引き起こす可能性があります。

## デザイン パーティショニング

良いデザイン ガイドラインに従うだけでなく、デザイン階層を正しく判断することも重要です。デザインのパーティショニングには、次に示すガイドラインを参考にしてください。

- 最適化、インプリメント、検証を一緒に行う必要があるロジックは同じ階層に配置します。すべてのデザインには階層がありますが、最大のパフォーマンスを達成するため、そしてデザインにはフロアプランが必要であることから、FPGA デバイスでのレイアウトを念頭に置きながら階層を定義してください。階層レベルの追加が必要になる場合がありますが、2つのクリティカル モジュールを一緒に合成およびインプリメントされるようになります。
- 一緒にパッキングするロジックは同じ階層に配置します。この例としては、ブロック RAM や DSP などの大規模コンポーネントにパッキングする必要があるレジスタが挙げられます。このガイドラインは、一緒にパッキングする I/O ロジックにも同様に適用されます。
- 最適なチーム モジュール数を選択する必要があります。境界を超えた最適化は行われなため、チーム モジュール数が多過ぎるとフロアプランが困難になり、パフォーマンス低下の原因となります。チーム モジュールの最適数はデザインによって異なります。中規模デザインの場合は 4 ~ 10 個が理想的で、大規模デザインでは最大 20 個がガイドラインとなります。
- チーム モジュールは、可能であればパイプライン処理してください。モジュール間の信号にサイクルを追加すると、フロアプランが非常にシンプルになります。

## 合成セットアップ

各チーム モジュールを別々に合成し、そのチームでインプリメントする個別ネットリストを作成します。このためには、各チーム モジュールの個別合成プロジェクト ファイルを使用して下位から上位へのボトムアップの合成フローを実行します。または、ザイリンクスやサードパーティ合成ベンダーのインクリメンタル フローを使用することもできます。

## フロアプランニング

効果的なデザイン パーティショニングを行うことで、フロアプランは非常にシンプルになります。各チーム モジュールは、エリア グループ領域を使用して、FPGA の特定ロケーションへ制約される必要があります。この制約により、アセンブリ段階での配置競合が避けられます。フロアプランニングでは、以下の事項を考慮してください。

- クロック領域 : エリアグループは、できるだけクロック領域に沿って作成してください。これによってクロック プランニングがシンプルになります。特にデザイン内で多くのグローバル クロックやリージョナル クロックが使用されている場合にその効果が顕著に現れます。
- モジュール間インターフェイス : インターフェイス数が多いモジュールは、まとめて配置してください。
- ピン配置 : すべてのデバイス ポート ロケーションを定義する必要があります。
- グローバル クロックの配置 : すべてのグローバル クロック コンポーネントは、チーム メンバー全員が使用できるように特定ロケーションに移動する必要があります。

## グローバル タイミング制約

トップレベルにあるクロックすべてに制約が必要です。また、すべての I/O にもタイミング制約が必要です。マルチサイクルパスやフォルスパスなどのトップレベルのタイミング例外は、この段階で定義できます。

## ディレクトリ構造

デザインのディレクトリ構造は、各チームメンバーがファイルの位置を把握しやすいように定義する必要があります。ソースコントロールの管理方法も定義してください。

## 初期インプリメンテーション

初期インプリメンテーションでは、フロアプランの検証まで実行してください。このため、各チームのモジュールは HDL、ネットリスト、またはブラックボックスとなります。

## チームメンバープロジェクト

セットアップ完了後、各チームのプロジェクトまたは作業空間を作成します。この作業は、PlanAhead ソフトウェアで行うことができますが、コマンドラインフロー用にマニュアルでも作業可能です。

## チームメンバーの合成およびインプリメンテーション

初期セットアップ完了後、各チームは担当しているデザイン部分をほかのチームから独立して合成およびインプリメントできます (ただし、トップレベルデザインの状況に基づく)。このステップでは、次の選択肢があります。

- トップレベル ロジックをインプリメントまたはインポート : この判断はデザインに依存し、設計段階によって変わります。通常、デザインプロセスの初期段階でトップレベル デザインをインプリメントし、その後デザインの統合に伴ってインポートが必要になる場合があります。
- ほかのチームのモジュールをブラックボックスとする、または既存ロジックをインポート : 既存ロジックをインポートすると、満たされているインターフェイス タイミングが確保されます。設計プロセスの初期段階では、ブラックボックスを使用することでランタイムやメモリ要件を削減できます。

各チームは、必要に応じて担当しているブロックを繰り返しインプリメントし、結果を定期的にエクスポートしてチームリーダーがアセンブリを実行できるようにします。

## デザイン アセンブリ

デザインプロセスのさまざまな段階でデザインのできあがっている部分をアセンブリできます。この作業は、スケジュールに従って定期的に行う、あるいはチームモジュールに大きな変更が追加された場合に実行します。デザインプロセス中に定期的に行うとモジュール間のタイミング問題を早期に発見して修正できるため、最後に大きな問題に直面することがなくなります。また、定期的に行うことで、アセンブリ後にほかのチームの最新モジュールをインポートできるというメリットがあります。

アセンブリでは、統合者 (チームリーダー) が既存のチームモジュールをインポートするか、デザインが未完成の場合はブラックボックスを使用します。モジュール間の配線などのトップレベルロジックは、初期セットアップからインポート、あるいはインプリメントします。最良のタイミング結果を求める場合は、トップレベルのすべてのロジックをインプリメントしてください。インポートした場合、配置競合は発生しませんが、配線競合が発生する可能性があります。この問題は、別のモジュールで保持レベルを変更して解決できます。保持レベルのデフォルトは配置と配線両方を保持するよう設定されていますが、配置のみ保持して配線を変更可能にできます。また、より柔軟性を与える場合は、配置も変更可能に設定できます。最終手段として、すべてのモジュールを再インプリメント可能です。

## まとめ

チーム デザイン フローでは、1 つのデザインを複数の開発者が並行して進めることが可能です。このフローには次のメリットがあります。

- 1 つまたは 2 つの完成モジュールを使用して早期にインプリメンテーション結果を検証できる  
開発者は、ほかのチームのデザインが完成するまで待たずに、自分のチームが担当するデザインのみをインプリメントできます。
- タイミング関連の問題を早期に修正できる  
タイミングを満たすための作業は、そのチームの担当デザイン分をインプリメントするだけで済みます。問題をデザインのモジュールレベルに限定することで、ランタイムが短縮され問題発生総数も減少します。
- 1 つのモジュールに小さな変更を与える場合のランタイムを削減できる  
デザイン統合後は、変更したモジュールのみをインプリメントするだけで済みます。デザインのほかの部分は、そのまま保持できます。

## 関連資料

[UG748](#) : 『階層デザイン手法ガイド』

[WP362](#) : 『再現可能な結果を活用したデザインの維持』

[Synopsys FPGA Synthesis User Guide](#)

[Synopsys FPGA Synthesis Reference Manual](#)

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2011/03/01	1.0	初版リリース

## Notice of Disclaimer

The information disclosed to you hereunder (the “Information”) is provided “AS-IS” with no warranty of any kind, express or implied. Xilinx does not assume any liability arising from your use of the Information. You are responsible for obtaining any rights you may require for your use of this Information. Xilinx reserves the right to make changes, at any time, to the Information without notice and at its sole discretion. Xilinx assumes no obligation to correct any errors contained in the Information or to advise you of any corrections or updates. Xilinx expressly disclaims any liability in connection with technical support or assistance that may be provided to you in connection with the Information. XILINX MAKES NO OTHER WARRANTIES, WHETHER EXPRESS, IMPLIED, OR STATUTORY, REGARDING THE INFORMATION, INCLUDING ANY WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NONINFRINGEMENT OF THIRD-PARTY RIGHTS.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。