



WP393 (v1.0) 2011 年 6 月 14 日

7 シリーズ アーキテクチャの I/O、 メモリ インターフェイスとそれらの利点

著者 : Matt Klein

FPGA の入力/出力 (I/O) 機能は、多様な性能や機能の幅広いアプリケーションに対応するように設計する必要があります。ザイリンクスが提供する 7 シリーズ FPGA および Zynq™ エクステンシブル プロセッシング プラットフォーム (EPP) の I/O は、高速メモリ、ネットワーク、ビデオ フラットパネルとセンサーのインターフェイス、高速 ADC/DAC コネクティビティ、従来のインターフェイスなど、物理的および論理的レベルでさまざまな要件を満たすように最適化されています。さらに、高速 DDR3 デバイスへのメモリ インターフェイス構築に有用な新しいハード ブロックが追加されています。

このホワイト ペーパーでは、7 シリーズ アーキテクチャの新しい I/O 構造が、広範なアプリケーション要件に対応するために必要な性能や機能の向上をどのようにサポートしているかについて説明しています。

概要

デザインを別のデバイスへ移行する場合に I/O 構造が異なると、設計者は非常に困難な作業を強いられることがあります。7 シリーズ デバイスは、ザイリンクスの統一 I/O アーキテクチャを採用しているため、Artix™-7、Kintex™-7、Virtex®-7 FPGA および Zynq EPP デバイスすべてで同じ機能を提供します。アーキテクチャが統一されているため、製品開発および製品展開の投資コストが削減され、既存デザインの 7 シリーズ FPGA への移行も容易です。このホワイトペーパーの Zynq EPP に関する説明は、Zynq EPP の FPGA 部分について言及していることに留意してください。

7 シリーズのもう 1 つの革新的な改善点は I/O の電力効率で、以前の製品よりも高度な統合が可能になります。7 シリーズ アーキテクチャの I/O にはユーザー制御や自動制御によるさまざまな電力低減機能が追加されているため、I/O 部分の電力を最小限に抑えることで総消費電力を削減し、電力要件が厳しいアプリケーションに対応できます。

7 シリーズ FPGA の I/O は、最大 1,866Mb/s の DDR3 用のシングルエンド パフォーマンスや最大 1,600Mb/s の差動 LVDS など、最高の性能を提供するよう設計されています。しかし、I/O の特性として重要なのは性能だけではありません。さまざまなアプリケーションをサポートするには、柔軟性と多様な I/O 規格に対応して幅広い性能を実現する必要があります。これにより、7 シリーズの FPGA ファミリーや Zynq EPP を使用するアプリケーションは、同じファミリーの FPGA をターゲットにできます。

7 シリーズ FPGA および Zynq EPP における I/O 課題への取り組み

物理的な I/O の機能や構造によって、さまざまな I/O 規格、終端、および電力低減機能が提供されます。各 I/O バンクの I/O 数、およびクロッキングや新規 I/O リソースに対する I/O の配置は、FPGA ダイアグラム上の配置と同様に重要です。さらに、入力/出力の遅延やシリアライズ/デシリアライズ機能など、高度な I/O 関連の論理機能が広範なアプリケーションをサポートする鍵となります。また、Phaser (位相調整)、I/O PLL (I/O 位相ロック ループ)、I/O FIFO などの新しい機能ブロックが追加されているため、最高性能の DDR3 やその他のメモリ インターフェイスをサポートする優れたインターフェイスが実現します。図 1 に、基本的な I/O ブロックと新たに追加された I/O 関連ブロックを示します。

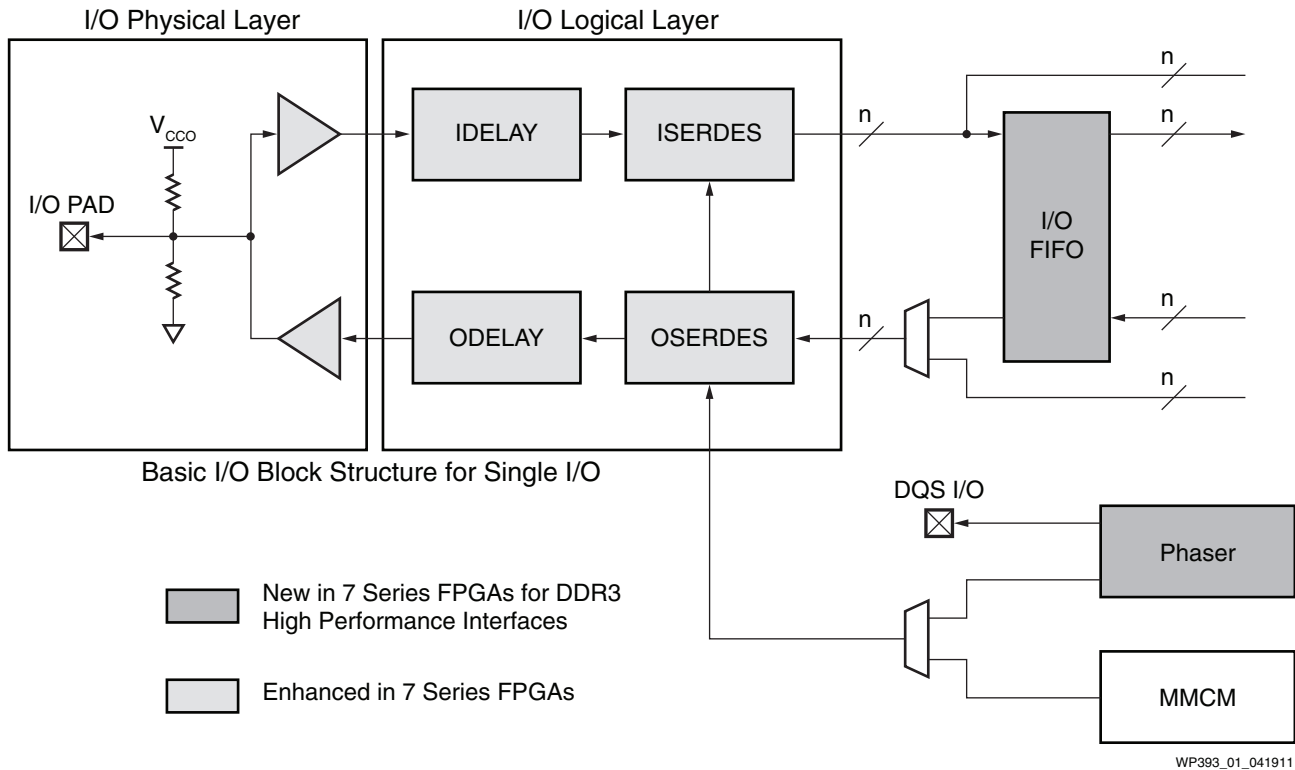


図 1: 7 シリーズ FPGA の基本的な I/O ブロックとコネクティビティ

物理レベルの I/O

物理レベルの I/O は、各種 I/O 規格 (例 : PCI33/66 に対応し、LVCMOS、LVTTTL、LVDS、SSTL、および HSTL に完全準拠) に幅広く対応するために、多様な駆動電圧 (電圧レベル)、駆動能力、および受信機能をサポートする必要があります。また、動作中にアサートや削除が可能なさまざまな入力と出力終端機能もサポートする必要があります。7 シリーズ FPGA および Zynq EPP の I/O には、このほかにもダイナミック電力、スタティック電力、ユーザー制御電力を削減する機能もあります。

7 シリーズ アーキテクチャには、2 種類の I/O があります。

- HP I/O バンクと呼ばれるバンク内にある High Performance (高性能) I/O
- HR I/O バンクと呼ばれるバンク内にある High Range (広範囲) I/O

これらの I/O は、Virtex-6 アーキテクチャをベースとしています。機能およびサポートされる電圧範囲は Virtex-6 よりも向上しています。この 2 種類の I/O は、50 個の I/O で構成される 1 つの I/O バンク全体に配置されています。デバイスによっては、HP I/O バンクのみ、HR I/O バンクのみ、またはその両方を備えたものがあります。デバイスとパッケージの組み合わせによっては、バンクにある 50 個すべての I/O が FPGA のボールに接続されない場合があります。Artix-7、Kintex-7、Virtex-7 FPGA、および Zynq EPP の製品の表に、デバイスとパッケージの組み合わせに基づいた各 I/O タイプの数を示しています。

<http://japan.xilinx.com/technology/roadmap/7-series-fpgas.htm>

http://japan.xilinx.com/publications/prod_mktg/zynq7000/Zynq-7000-hardware-designer-product-table.pdf

HP I/O バンクおよび HR I/O バンク

HP I/O バンクは、最高 1,866Mb/s の DDR3 インターフェイスや最高 1,600Mb/s の LVDS インターフェイス、そしてその他のチップ間インターフェイスをサポートする高性能アプリケーション向けに最適化されています。HP I/O バンクの I/O は、最大 1.8V までのインターフェイス規格と互換性があり、最も要件の厳しい最高性能インターフェイスに対応します。

HR I/O バンクは、最大 3.3V までの幅広い I/O 規格をサポートします。この I/O バンクは、最高 1,066Mb/s の DDR3 インターフェイスを可能にすると同時に、広範なアプリケーションで利用できるように最適化されています。また、最高 1,055Mb/s の LVDS インターフェイスにも対応しています。このバンクの I/O は、新しいインターフェイスと従来のインターフェイスの両方で使用可能です。

7 シリーズ FPGA は、HR および HP の両バンクを次のような組み合わせで搭載しています。

- Artix-7 デバイスは 3.3V HR I/O バンクのみを搭載しています。
- Kintex-7 デバイスは 3.3V HR と 1.8V HP の両バンクを搭載していますが、HR バンクの数が多いデバイスがあります。
- Virtex-7 FPGA は 3.3V HR と 1.8V HP の両バンクを搭載していますが、1.8V HP バンクの数が多いデバイスがあります。

表 1 に、HP および HR I/O バンクがサポートする機能の概要を示します。これらのバンクの性能やその他の電氣的要件の詳細は、各デバイス ファミリのデータシートを参照してください。

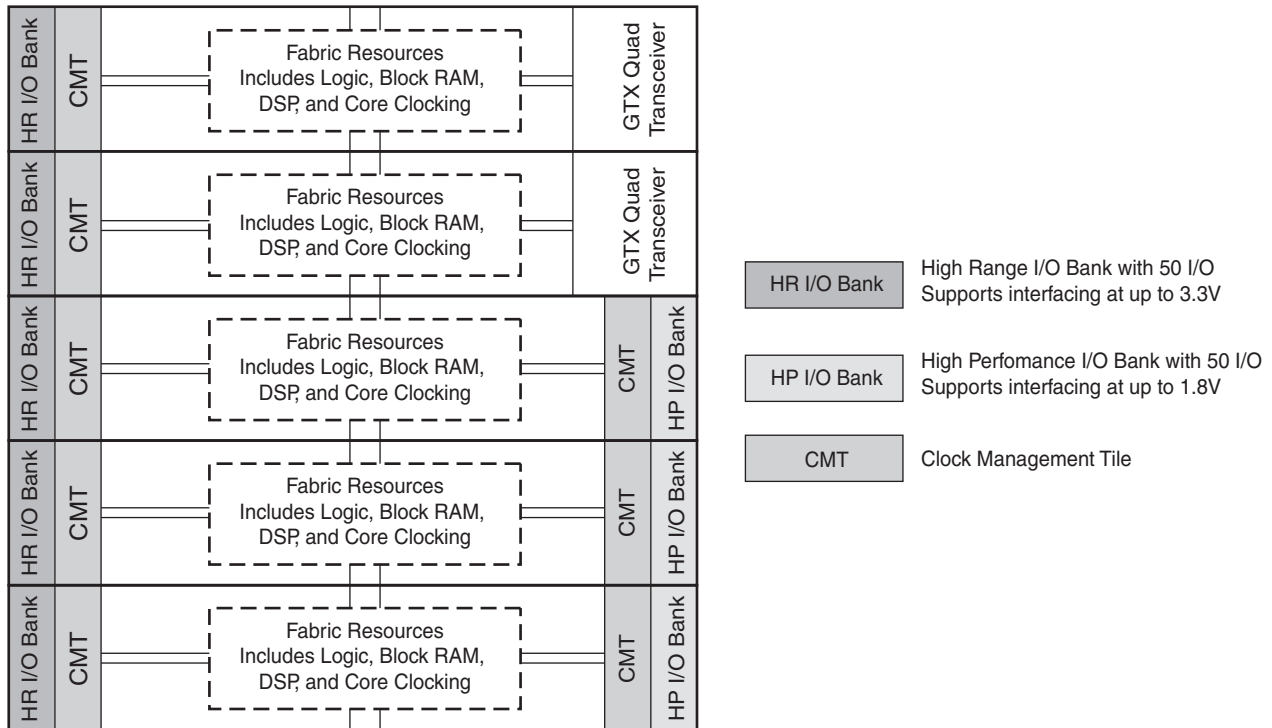
表 1: HR および HP I/O バンクがサポートする機能

機能	HP I/O バンク	HR I/O バンク
3.3V I/O 規格 ⁽¹⁾	N/A	サポート
2.5V I/O 規格 ⁽¹⁾	N/A ⁽²⁾	サポート
1.8V I/O 規格 ⁽¹⁾	サポート	サポート
1.5V I/O 規格 ⁽¹⁾	サポート	サポート
1.35V I/O 規格 ⁽¹⁾	サポート	サポート
1.2V I/O 規格 ⁽¹⁾	サポート	サポート
VCCAUX_IO 電源レール	サポート	N/A
デジタル制御インピーダンス (DCI)	サポート	N/A
調整されていないオンダイ終端 (ODT)	N/A	サポート
IDELAY	サポート	サポート
ODELAY	サポート	N/A
ISERDES	サポート	サポート
OSERDES	サポート	サポート

メモ:

1. すべての I/O 規格および駆動能力が HP および HR I/O バンクの両方でサポートされているわけではありません。HP および HR I/O バンクで利用可能な I/O 規格については、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』(UG471) を参照してください。
2. LVDS は一般的に 2.5V の I/O 規格とみなされていますが、HR および HP I/O バンクの両方でサポートされません。

図 2 に、HR I/O バンク、HP I/O バンク、およびクロック マネージメント タイル (CMT) を搭載した Kintex-7 XC7K160T FPGA の配置図を示します。CMT は、ここ数世代のザイリンクス FPGA で利用されてきた機能ですが、7 シリーズではメモリ インターフェイス関連の機能が強化されています (「CMT および Phaser ブロック」)。



WP393_02_032911

図 2: Kintex-7 FPGA の I/O バンクと CMT のレイアウト

I/O の電力低減機能

メモリ インターフェイス用の I/O 電力には、3 つの主要素があります。

- **DCI**: PCB トレースのインピーダンスを整合させるために使用
- **リファレンス入力レシーバー**: コア電圧に対して I/O 電圧を調整するために使用
- **IDELAY**: 信号をクロックに同期させるために使用

Virtex-6 FPGA で低消費電力を削減するためには、メモリ書き込み中にトライステート DCI が終端を自動的に無効にすることによって終端電力が 50% 節約されます。また、Virtex-6 FPGA には、低電力モードのリファレンス レシーバーや IDELAY があるため、高性能モードと比較した場合にそれぞれ 70% と 50% の電力を節約できます。これらの機能は、Virtex-5 FPGA の等価インターフェイスで消費される電力を 50% 節約します。

7 シリーズ FPGA は、Virtex-6 アーキテクチャをベースに構築され、消費電力をできるだけ抑えるように各機能が微調整されています。デザイン的には、 V_{CCAUX} を 2.5V から 1.8V に下げることによって、IDELAY や入出力バッファなど V_{CCAUX} から電源供給するすべての機能で 30% の電力を削減します。

さらに、7 シリーズ FPGA の新機能は、動作中に入力バッファを無効にできることです。この機能は、以前の FPGA に搭載されているダイナミック トライステート DCI 回路の改良版です。トライステート DCI 機能は、未使用の機能をオフ (無効) にするという原理に基づいており、メモリへの書き込み中に終端へ適用されています。前世代の FPGA では入力バッファは出力もしくはメモリへの書き込み動作中も電力を消費していましたが、7 シリーズ FPGA ではメモリへの書き込み動作 (出力) 中に入力バッファを無効にできます。これにより書き込みと読み出しの比率が 50% の場合には、50% の電力削減が可能になります (図 3 参照)。

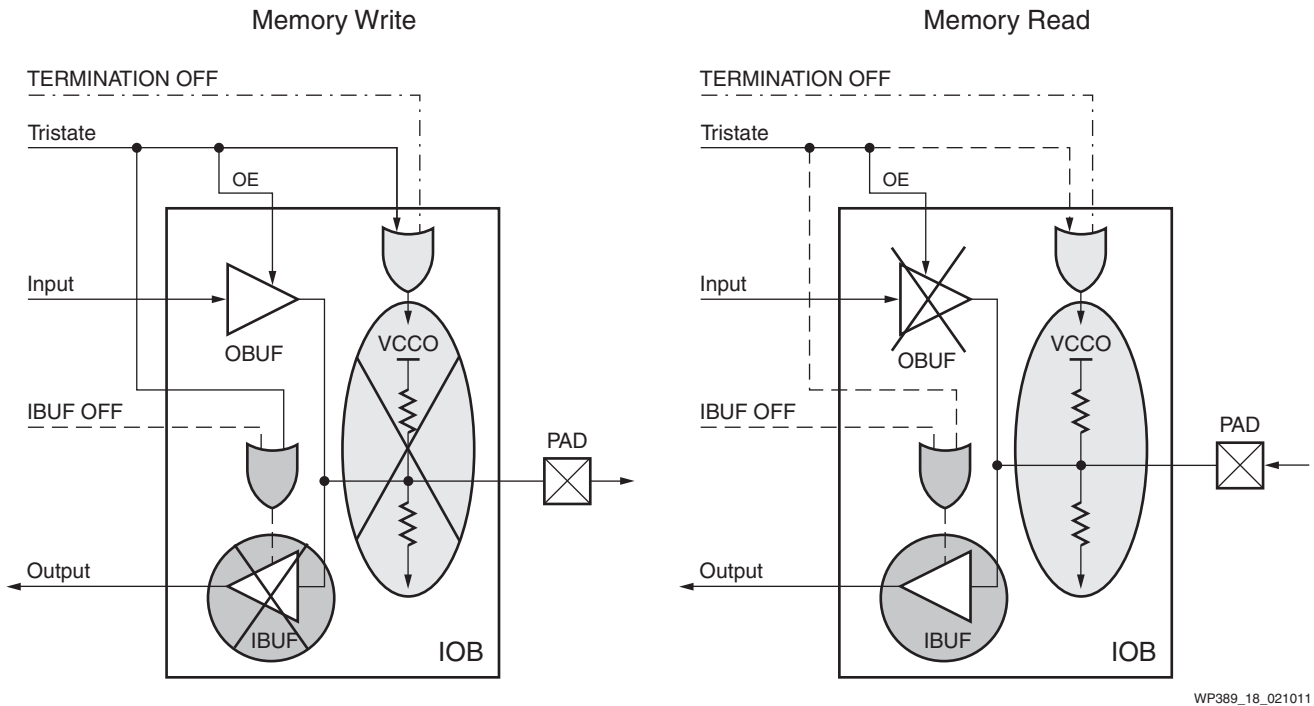


図 3： 入力バッファと DCI 終端の無効化

このような機能を活用することで、メモリ書き込み中の電力の多くを削減できますが、メモリ インターフェイスが読み出しあるいは書き込みを行っていない場合も考えられます。これはアイドル状態と考えられ、以前は DCI 終端および入力バッファの両方がこの状態でも電力を消費していました。これを受けて、7 シリーズ FPGA では、DCI と入力バッファの一方または両方を無効にする新機能が追加されています。この場合の状態を BUS IDLE ステートといいます。さらに、Virtex-6 FPGA の I/O に備えられた多数の電力低減機能が 7 シリーズ FPGA にも搭載されています。7 シリーズ FPGA に搭載されているこれらの機能およびその他の電力低減機能の詳細は、ホワイトペーパー [WP389 『28nm プロセスを採用した 7 シリーズ FPGA で消費電力を削減』](#) (日本語版) を参照してください。

論理レベルの I/O

すべての入力および出力は、組み合わせまたはレジスタ付きとして設定でき、ダブルデータレート (DDR) がサポートされています。すべての入力および一部の出力は、それぞれを 78ps または 52ps 単位 (リファレンス クロック周波数に依存) で、最大 31 タップ個別に遅延させることができます。これらの遅延は IDELAY や ODELAY というプログラム可能なタップ遅延ラインとしてインプリメントされます。タップ遅延の精度は、

http://japan.xilinx.com/support/documentation/7_series.htm の 7 シリーズ FPGA または Zynq EPP のデータシートに記載された範囲内の IDELAYCTRL リファレンス クロックを選択して変更します。遅延タップ数はコンフィギュレーションで設定でき、各 I/O ごとに使用中にインクリメントまたはデクリメントできます。

すべての I/O ブロックには、IDELAYE2 と呼ばれるプログラム可能な絶対遅延プリミティブがあります。IDELAY は、ILOGICE2/ISERDESE2 ブロックまたは ILOGICE3/ISERDESE2 ブロックへ接続できます。IDELAYE2 は、キャリブレーションされた 31 段階ラップアラウンド式のタップ精度を持つ遅延プリミティブです。この遅延は、組み合わせ入力パスやレジスタ付きの入力パスに適用できます。また、ファブリック内で直接アクセス可能です。IDELAY は、入力される信号に対して個別に遅延を与えることができます。

すべての HP I/O ブロックには、ODELAYE2 と呼ばれるプログラム可能な絶対遅延プリミティブがあります (メモ: この機能は HR I/O ブロックにはない)。ODELAY は、OLOGICE2/OSERDESE2 ブロックへ接続可能な、キャリブレーションされた 31 段階ラップアラウンド式のタップ精度を持つ遅延プリ

ミティブです。これは、組み合わせ入力パス、レジスタ付きの入力パス、組み合わせ出力パス、またはレジスタ付きの出力パスに対して適用できます。また、ファブリック内で直接アクセス可能です。ODELAY は、出力信号に対して個別に遅延を与えることができます。

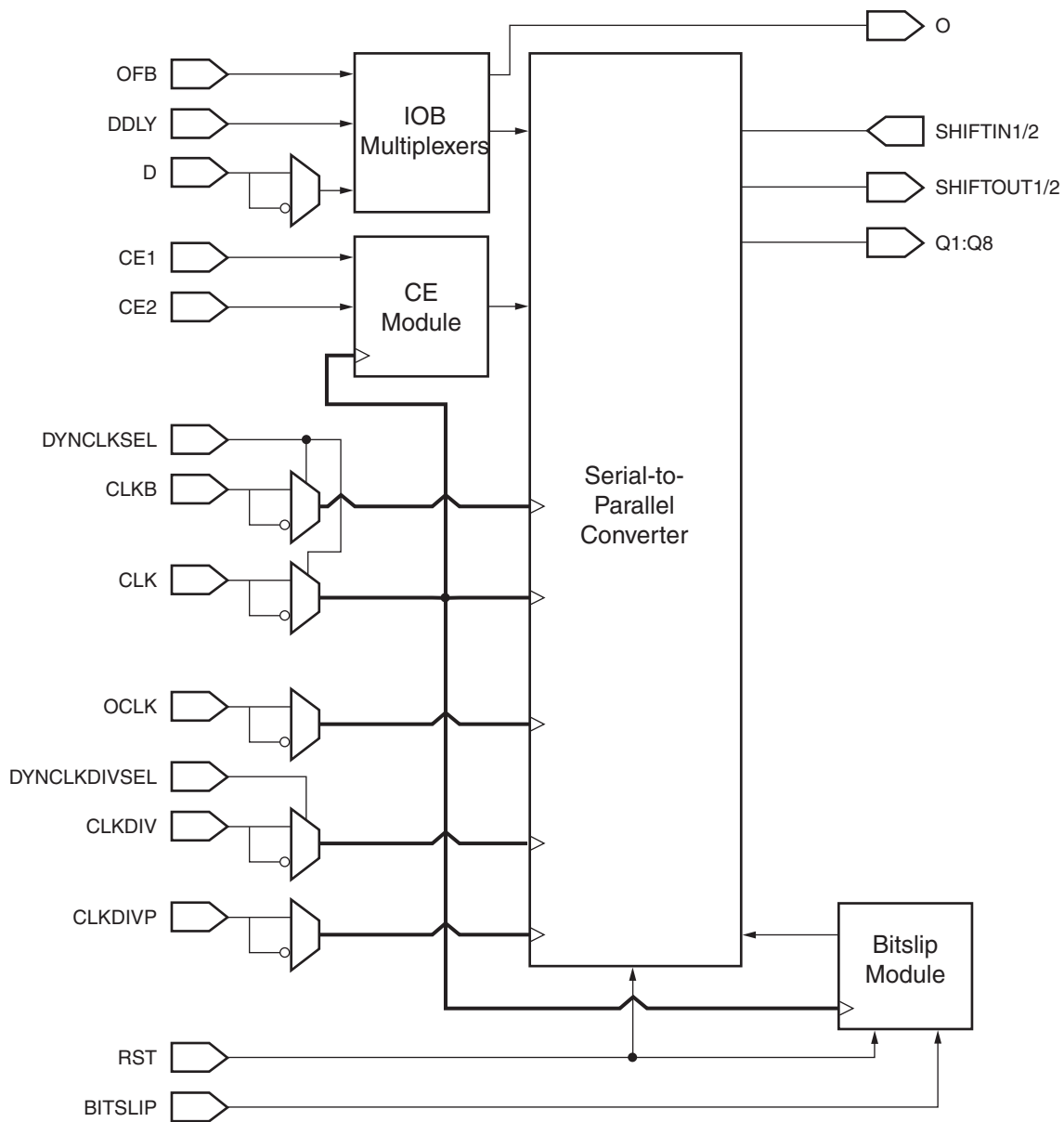
ISERDES および OSERDES

アプリケーションの多くは、デバイス内部で高速なビット シリアル I/O とより低速なパラレル動作を組み合わせます。これには、I/O 構造内にシリアライザーおよびデシリアライザー (SerDes) が必要です。各 I/O ピンには 8 ビットの IOSERDES (7 シリーズ FPGA および Zynq EPP では、ISERDES と OSERDES と呼ばれる) があり、シングルデータレート (SDR) モードの場合は、プログラム可能なビット幅 (2、3、4、5、6、7、8 ビット) でシリアルからパラレル、あるいはパラレルからシリアルへデータを変換できます。DDR モードでは、4、6、および 8 ビットの幅がサポートされていますが、さらに、2 つの隣接したピン (通常は差動 I/O) からの IOSERDES を 1 つずつカスケード接続することで、10 および 14 ビットの幅の広い変換がサポートされます。

アプリケーション的観点から見ると、ISERDES には 1.25Gb/s LVDS I/O ベースの SGMII インターフェイスなどのアプリケーション向けに非同期データ リカバリを可能にする特別なオーバーサンプリングモードがあります。ソース同期およびシステム同期のインターフェイスは、ISERDES、OSERDES、および入力/出力遅延ブロックの豊富な機能を使用してインプリメントされます。7 シリーズ アーキテクチャには I/O への専用クロック コネクティビティが追加されているため、これらの機能がさらに強化されます。

7 シリーズおよび Zynq EPP の ISERDES でサポートされているもう 1 つの機能として Bitslip があります。この機能を使用することによって、FPGA ファブリックに入るパラレル データ ストリームの順序を並べ替えることができます。これは、トレーニング パターンを含むトレーニング ソース同期インターフェイスに使用できます。また ISERDES は、OCLK 入力ピンを含む専用回路を介してストローブ ベースのメモリ インターフェイスをサポートし、ISERDES ブロック内でストローブ ドメインから FPGA クロック ドメインへの切り換えを行います。これにより、性能が向上し、インプリメンテーションがシンプルになります。さらに ISERDES は、ネットワーク インターフェイス、DDR3 とその他のストローブ ベースのメモリ インターフェイス、そして QDR メモリ インターフェイスに対応するモードに加えて非同期インターフェイス用のオーバーサンプリングをサポートしています。

7 シリーズ FPGA でインプリメントされる ISERDES を厳密には ISERDES2 といい、従来のザイリックス FPGA に搭載されている旧バージョンと区別しています (図 4 参照)。



WP393_04_042111

図 4： ISERDES2 ブロック図

ISERDES2 の逆バージョンの OSERDESE2 は、高速ソース同期インターフェイスのインプリメンテーションを容易にするよう設計された、固有のクロッキングとロジック リソースを備えたパラレル-シリアル コンバーターです。

シリアルライズ/デシリアルライズ機能は一般に、SPI4.1 および SPI4.2 の LVDS インターフェイスで使用されます。DAC、ADC、およびフラット パネル ディスプレイのアプリケーションには、10:1 や 14:1 などのより幅の広いシリアルライズ/デシリアルライズ機能が用いられ、さらにマスターとスレーブの ISERDES ペアまたは OSERADES ペアのカスケード接続を活用できる LVDS も使用します。

すべての OSERDESE2 モジュールには、データおよびトライステート制御用の専用シリアルライザーがあります。データシリアルライザーとトライステート シリアルライザーは共に SDR または DDR モードに設定できます。最大 8:1 までのデータのシリアルライズが可能です (OSERDESE2 の幅拡張機能を使用した場合は 10:1 および 14:1)。トライステートのシリアルライズは最大 14:1 です。専用の DDR3 モードが高速メモリ アプリケーションをサポートします。図 5 に、OSERDESE2 ブロックの主なコンポーネントと機能をすべて示します。

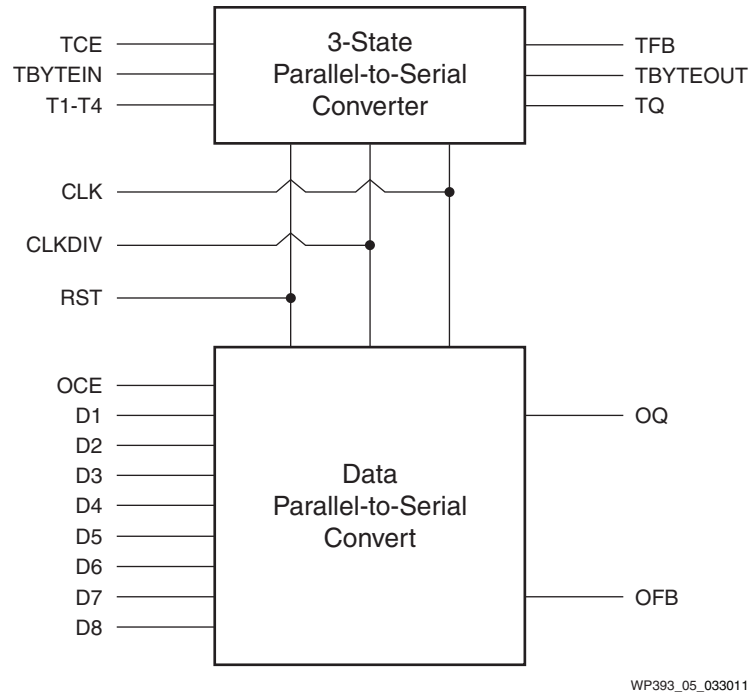


図 5： OSERDES2 ブロック図

これらのブロックの詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』([UG471](#))を参照してください。

表 2 では、7 シリーズ FPGA および Zynq EPP の HP I/O バンクと HR I/O バンクの I/O でサポートされるインターフェイスの一部を示します。

表 2： 7 シリーズ FPGA でサポートされる I/O インターフェイスの例

アプリケーション	シングルエンド または差動	HP I/O バンク	HR I/O バンク
メモリ インターフェイス	シングルエンド	最高性能 DDR2、DDR3、QDR2+、RLDRAM2、RLDRAM3、LPDDR2	最高性能 DDR2、DDR3、QDR2+、RLDRAM2、RLDRAM3、LPDDR2
ネットワーク インターフェイス	差動	SPI4.2 および SGMII インターフェイスの LVDS	SPI4.2 の LVDS (ただし、低性能)
	シングルエンド	N/A	RGMII
特殊な高速インターフェイス	差動	最高 1,600Gb/s の ASIC/ASSP	N/A
民生用ビデオ (例：フラットパネルおよび センサーインターフェイス)	差動	1,600Gb/s の標準 LVDS	最高 1,055Gb/s の LVDS、sub-LVDS、TMDS、Mini-LVDS、PPDS
DAC/ADC	シングルエンド、 差動	高性能 DAC/ADC	汎用 DAC/ADC
汎用 I/O	シングルエンド	高速プロセッサ I/O および高速フラッシュメモリ (デュアル/クワッド SPI など)	レガシープロセッサとフラッシュメモリ (最高 3.3V の LVC MOS を使用)
レガシーフラッシュメモリ	シングルエンド	N/A	NOR Flash および ZBT SRAM (3.3V/2.5V)
PCI33/66	シングルエンド	使用不可	使用可能

7 シリーズ FPGA および Zynq EPP の高性能メモリ インターフェイス

7 シリーズ FPGA および Zynq EPP には、最高性能メモリ サブシステムへのインターフェイスを単純にするために設計された新しいブロックがいくつかあります。

メモリ インターフェイスの設計課題

高性能メモリ インターフェイスを実現するには、いくつかの課題があります。

- 1,866Mb/s のキャプチャ フリップフロップ (FF) で、データアイの中央にキャプチャ クロック エッジを位置させる
- プロセス、電圧、温度 (PVT) の影響を受けるデータアイに対してキャプチャ クロック エッジを保持する
- 受信した I/O データをその他の FPGA システムと同期させる (例: PHY キャプチャドメインと固定のファブリック クロッキングドメイン間の転送)
- メモリ インターフェイスのデータ クロックを 90° シフトさせた書き込みクロックを提供する

メモリの各バイトに使用される DQS クロックは不連続であり、各バイトやメモリ インターフェイスそれぞれのランクでタイミングが異なるため、上述の最初の 2 つは特に難しい課題となります。

多くの I/O インターフェイスでは、高速でかつジッターのない、同位相のクロックが求められます。7 シリーズ FPGA 以前のアーキテクチャでは、シリアルトランシーバーとメモリ インターフェイス間ですべてのクロック リソースが共有されなければなりません。ミックスド モード クロック マネージャー (MMCM) のようなリソースには、FPGA ファブリックでは必要ですが、DDR3 などのメモリ インターフェイスのインプリメントには必要のない機能が含まれています。たとえばメモリ インターフェイスは、不連続で各バイト レーンによってタイミングが異なる DQS エッジに合わせて動作する必要があります。また、PHY や FPGA ファブリックには、任意のさまざまな位相のクロックがあります。したがってメモリ インターフェイスに対しては、7 シリーズ FPGA および Zynq EPP は PHY タイミングと FPGA ファブリック タイミングを切り離します。

7 シリーズ FPGA および Zynq EPP には新しいハード ブロック (Phaser、I/O FIFO、I/O PLL) が追加されているため、このような難しい課題への対応が容易になります。これらすべてのブロックは、機能強化された CMT の中、あるいはその隣に配置されます。CMT には、Virtex-6 FPGA が備えていた従来型の MMCM が含まれています。

その他の方法より優れた点

7 シリーズ FPGA および Zynq EPP の新しいブロック (Phaser、I/O FIFO、I/O PLL) は、より高い精度でクロックのタイミングを制御できます。また、これらのブロックと ISERDES や ODERSED ブロックを使用した場合、より高い入力周波数 (1,866Mb/s の DDR3 の場合、最高 933MHz) にも対応でき、Virtex-6 FPGA の場合よりも細かい位相シフトが可能になります。

高性能メモリ インターフェイスで使用される新しいハードウェア ブロックには、安定したバイアス電圧に基づいて PVT が補正された遅延ラインが含まれます。メモリの読み出しでは、遅延ラインには DQS 入力に対してキャリブレートされた初期遅延と動作中の調整に対応する位相検出回路があります。この遅延ラインは、2 つのステージに渡って長い遅延を与えることができ、専用配線および安定したバイアス電圧によるクリーンな信号を出力できます。

メモリ インターフェイス ジェネレーター (MIG) ツールで生成されたメモリ インターフェイスは最大 72 ビットで構成され、72 ビットの場合には複数の I/O バンクに及びます。外部メモリの複数のバンクおよび複数の I/O バンクにまたがる複数のクロック領域は、メモリ インターフェイス用の専用 DQS I/O ピンや Phaser ブロックとの直接接続といった新しいクロッキング リソースでサポートされます。また、これらは BUFIO および BUFR (Virtex-6 FPGA で使用) でもサポートされ、すべての I/O クロッキング要件に対応するよう MMCM へ接続されます。

その他の優れた点として、直接接続や高速クロッキング リソースの専用配線によって、スキューが適切に制御されます。

CMT および Phaser ブロック

7 シリーズ アーキテクチャの CMT ブロックは、大きく改善されています。以前のザイリンクス FPGA に搭載されている CMT は多機能 PLL である MMCM のみで構成され、コア全体に配置されていました。

7 シリーズ FPGA および Zynq EPP の場合、各 CMT には MMCM のほかに、新しい Phaser ブロックと PLL 機能が含まれているため、特に高性能メモリ インターフェイスに適しています。Phaser ブロックは、高性能 I/O PLL、位相制御ブロック、4 つの Phaser_IN ブロック、4 つの Phaser_OUT ブロックなどの複数のブロックで構成されています。Phaser_IN ブロックは、メモリ読み出しを DQS と同期させるために、DQS 入力に応答して入力 FIFO と ISERDES ブロックのクロックを生成します。Phaser_OUT ブロックは、メモリ書き込みのタイミングを生成します。また、出力 FIFO と OSERDES ブロックのクロックも生成し、クロックとデータを 90° 位相シフトさせたまま保持します。

7 シリーズ アーキテクチャの CMT は I/O カラムの隣に移動されました。つまり、FPGA の左右で各 I/O バンクに対して 1 つずつ配置されています。以前のザイリンクス FPGA では、CMT がコア全体に配置されていました。CMT を物理的に I/O の近くに配置することによって、クロックパスが短縮し、バイト レーン DQS からの位相検出リファレンスパスとキャプチャクロックデータパスの一致が容易になります。7 シリーズ FPGA および Zynq EPP に関するその他の利点として、大規模な 72 ビット DDR3 メモリインターフェイスに PHY レベルで 36 以上のクロックドメインがあることです。これらのドメインは新しいブロックで適切に管理されるため、BUFG、BUFR、または MMCM などの汎用クロックリソースは不要です。

図 6 に、I/O バンク、新しい I/O FIFO、CMT、および新しい Phaser ブロックを拡大した 7 シリーズ FPGA の配置図を示します。各 I/O バンクには、I/O およびファブリックリソースに隣接する入力 FIFO (IN_FIFO) と出力 FIFO (OUT_FIFO) が 4 つずつあり、1 つのバイト レーンで最大 10 個の I/O を接続します。

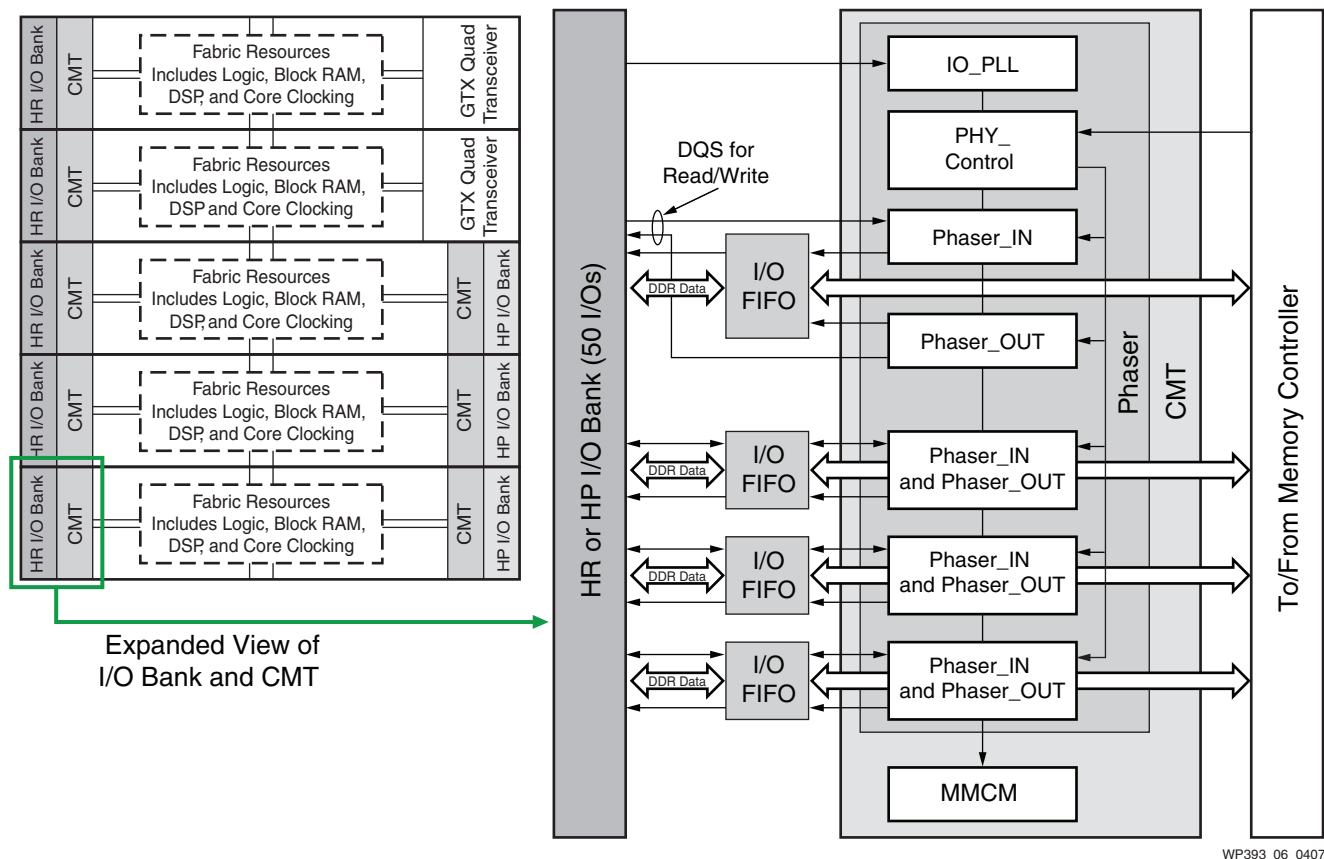


図 6: I/O バンク、I/O FIFO、CMT、および Phaser ブロックの拡大図

メモリ インターフェイス以外のブロックは、MMCM を使用した従来の方法でクロックを供給でき、入力クロックと出力クロックは、Virtex-6 FPGA などの以前のザイリンクス FPGA と同じ I/O クロック コネクティビティを備えていることにも注目してください。

IO_PLL、Phaser_IN、および Phaser_OUT

Phaser ブロックの一般的な機能および I/O へのコネクティビティやクロッキング リソースは、DDR メモリ インターフェイスのバイト クロック構造を向上させるものであり、バイト幅データ チャンネルに適しているため非常に有用です。また、専用のクロッキング パスによって、クロック ツリーが小型化し、クロック負荷が軽減されるだけでなく、Phaser_IN や Phaser_OUT ブロックで各バイト入力および出力 DQS のアライメントやトラッキングが維持されます。これらの Phaser ブロックはメモリ インターフェイス専用の機能であるため、自動で設定され、通常はザイリンクス ISE® Design Suite に含まれる MIG ツールなどのザイリンクス IP コアでのみサポートされます。

Phaser ブロックでは、バイト単位でクロックをアライメントできるため、細かい位相調整が可能となり、メモリ クロック周期とは無関係の、固定のタップ遅延ではなく 1 クロック周期に 128 タップの遅延を与えることができます。

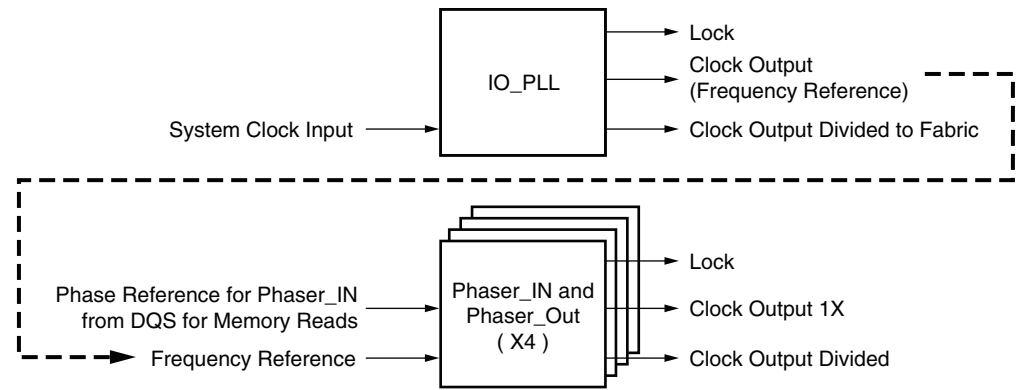
Phaser 内の新しいブロックの 1 つに IO_PLL があります。これは MMCM を単純にしたブロックです。MMCM で可能なすべての分周および通倍周波数、またはスケールされた出力周波数を提供するのではなく、1,866Mb/s の DDR3 メモリ インターフェイス用に最高 933MHz の出力周波数を生成します。このブロックは外部メモリ デバイスの CLK をソースとし、Phaser_IN および Phaser_OUT ブロックには専用の周波数リファレンスを、ファブリックには分周クロックを提供します。インターフェイスで IO_PLL ブロックを使用しない場合は、別の用途に使用できます。

Phaser 内にはもう 1 つ新しい PHY_CONTROL というブロックがあります。ユーザーは、このブロックへアクセスできません。PHY_CONTROL ブロックがメモリ コントローラーから PHY 制御ワードを受信し、PHY コマンドワードによる要求に応じてメモリ PHY 内でデータ転送を開始します。このブロックが Phaser_IN および Phaser_OUT ブロックへ読み出し/書き込みトランザクションの開始信号を送ることで、これらのブロックは、I/O SERDES と I/O FIFO 間のデータ転送に必要なクロック信号と制御信号を生成するタイミングを把握できます。また、メモリ読み出しトランザクションが事前に通知されることで、Phaser_IN は DQS 信号のエッジ検出動作の準備が可能になり、アクセスされているメモリ ランクを把握できます。

Phaser_IN ブロックは、キャリブレーションやメモリ読み出し動作中に入力される DQS クロックに対して動的にロックするために使用されます。さらに、IN_FIFO および ISERDES ブロックへ専用のクロック信号を提供し、PHY での正確なタイミング制御、シリアルデータの取得、およびパラレルデータの PHY で揃えられたタイミングを達成してメモリ読み出し時のデータ キャプチャをサポートします。Phaser_IN ブロックには、DDR3 の読み出しデータのキャプチャクロッキングに使用される PVT 安定回路が含まれています。この回路は、DQS 信号の位相検出や PVT によって変動する DQS の位置を動的にトラッキングし、サンプリング クロックをデータアイの中央にシフトします。

Phaser_OUT は、データ バイト グループごとに出力される DQS 信号を、バイト グループごとにすばやく CLK タイミングを実現するように補正された各バイトのメモリ CLK に揃えるために使用されます。また、OSERDES には、メモリ書き込み用のシリアルデータの出力データに対して正確に 90° シフトした DQS 出力クロックを与え、OSERDES のパラレル側や OUT_FIFO の PHY 側には分周クロックを与えます。Phaser_IN と同様に、Phaser_OUT にも同じ PVT 安定回路が含まれているため、外部 DDR メモリへ送信される CLK に対して、出力クロックとデータのタイミングが一定に保持されます。

図 7 に、IO_PLL、Phaser_IN、および Phaser_OUT ブロックの入力および出力を表した略図を示します。



WP393_07_033011

図 7: 7 シリーズ FPGA の IO_PLL、Phaser_IN、および Phase_OUT の接続 (簡略図)

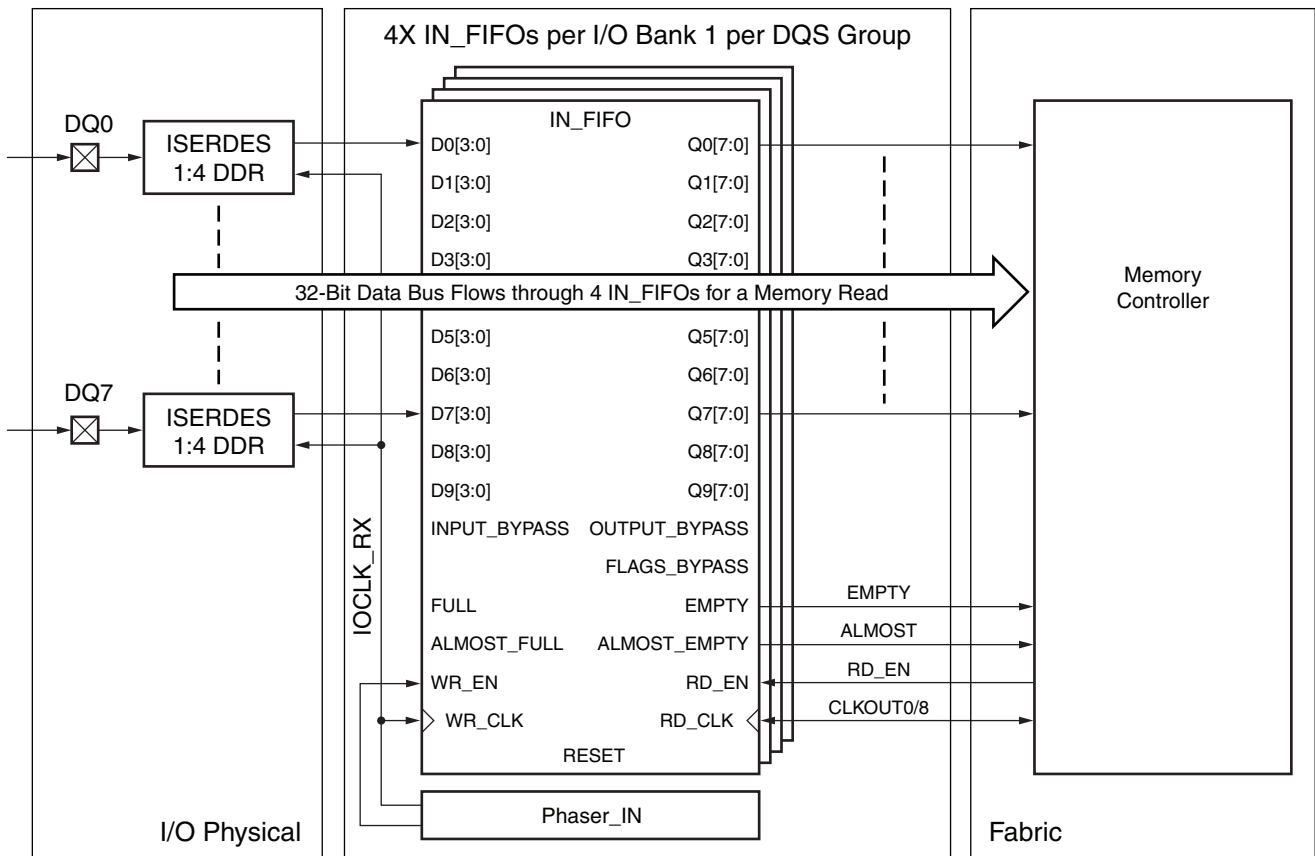
I/O 固有の FIFO (IN_FIFO および OUT_FIFO)

I/O FIFO は、通常 FIFO を使用せずに PHY 側とファブリック側のクロックドメインを繋ぐことによって生じるシステムのタイミング問題を解決します。入力 FIFO (IN_FIFO) および出力 FIFO (OUT_FIFO) はそれぞれ 4 つずつあります。これらの FIFO は、メモリ インターフェイスで使用される I/O バンク内にある 4 つのバイト グループの 1 つに相当する特定 I/O へ最大 10 個まで接続されます。

これらの FIFO が、PHY の可変位相クロックドメインとファブリックの固定位相クロックドメインを繋ぎます。また、これらの FIFO には、入力データ用にビット幅拡張機能および出力データ用にビット幅削減機能があります。これらのビット幅率は、入力データの IN_FIFO で 1:2、出力データの OUT_FIFO で 2:1 となり、設計を容易にするためにファブリックでのクロック周波数を低減できます。1,866Mb/s の場合でも、ファブリック クロックの周波数はわずか 233MHz です。

各 I/O バンクではバイト グループに IN_FIFO と OUT_FIFO が 1 つずつあります、つまり、各 I/O バンクには、これらの FIFO が 4 つずつ備わっています。また、I/O FIFO は 8 ワードの深さがあり、FILL、EMPTY などの一般的な FIFO フラグを提供します。

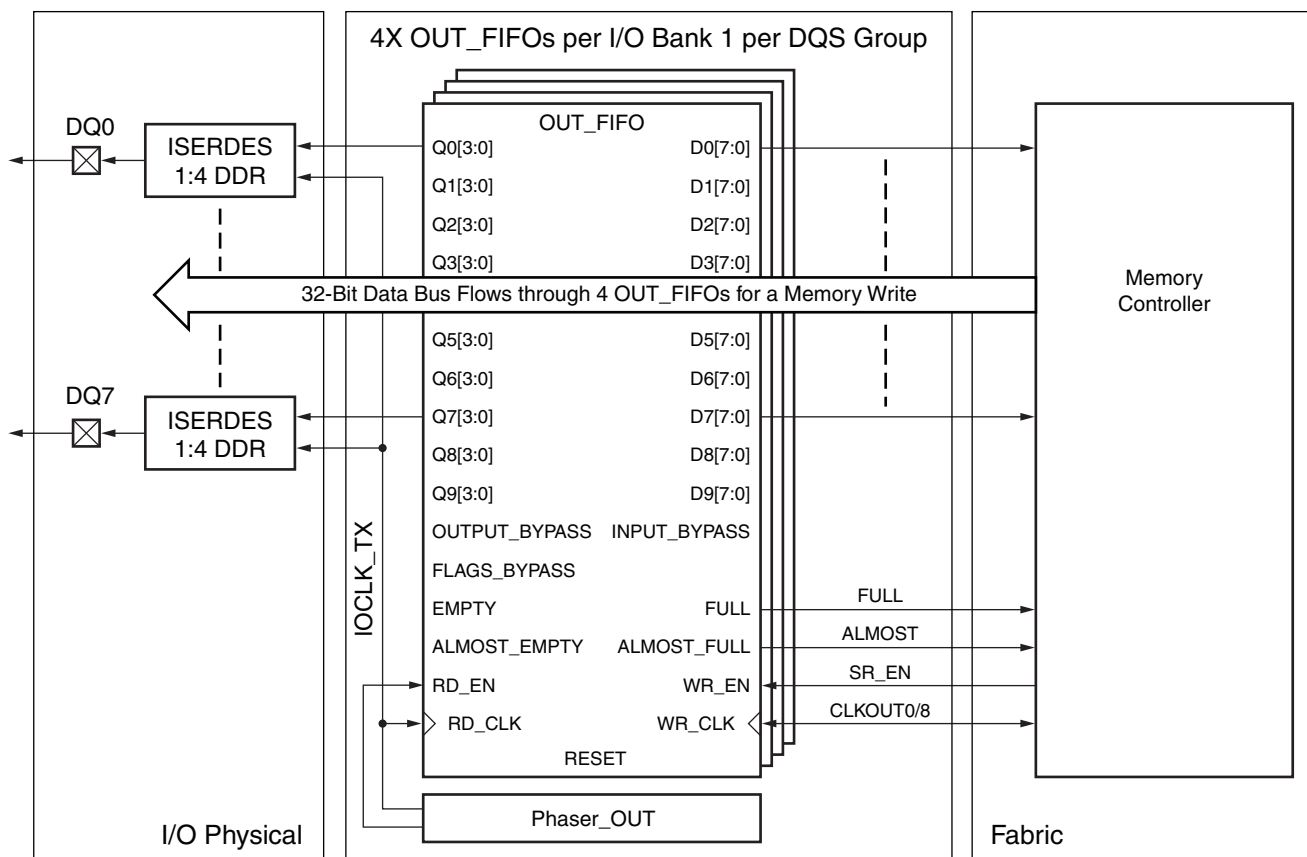
IN_FIFO および OUT_FIFO には、PHY (物理層側) のクロッキング専用のパスがあり、IN_FIFO には Phaser_IN ブロックから、OUT_FIFO には Phaser_OUT ブロックから配線されています。それぞれの Phaser から来るこれらのクロックは、同じバイト グループ内にある対応する ISERDES および OSERDES へ送られます。図 8 および図 9 に、基本的なデータ経路を示します。図 8 には、IN_FIFO を使用したメモリ読み出し動作時の DDR3 の入力トラフィックフロー、そしてファブリックベースのメモリコントローラーから分離された I/O Physical (PHY ドメイン) を示しています。



WP393_05_040711

図 8： メモリ読み出し動作の DDR3 入力トラフィック フロー

図 9 には、OUT_FIFO を使用したメモリ書き込み動作時の DDR3 の出力トラフィック フロー、そしてファブリック ベースのメモリ コントローラーから分離された I/O Physical (PHY ドメイン) を示しています。



WP393_06_040711

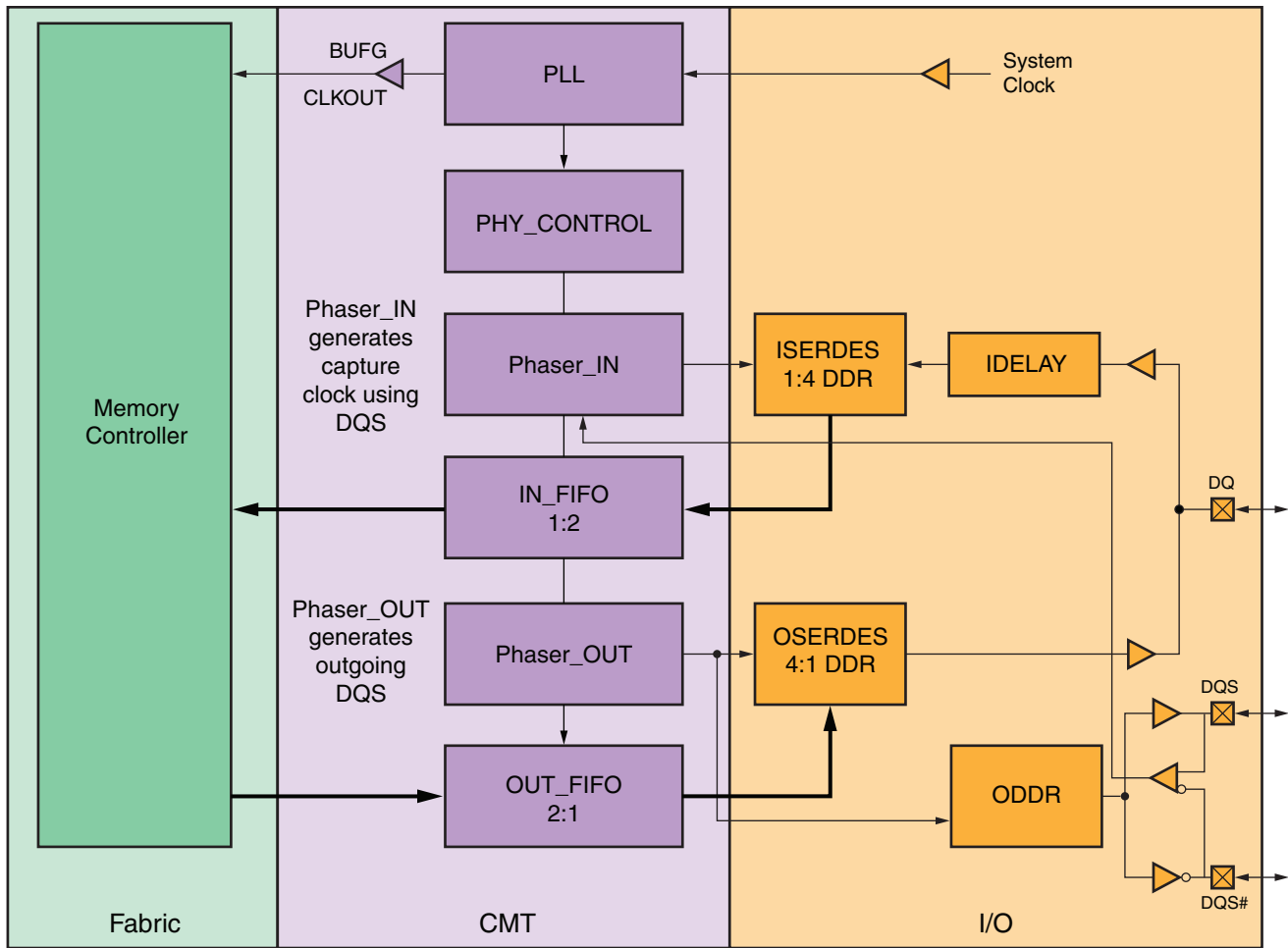
図 9: メモリ書き込み動作の DDR3 出カトラフィック フロー

新しい Phaser および I/O サブシステムで実現するメモリ インターフェイス

新たに追加された高性能 Phaser および I/O FIFO ブロックは、高性能 DDR3 インターフェイスを構築する上で非常に理想的なハード ブロックです。I/O FIFO ブロックが追加されたことで、高速 DDR3 インターフェイスで求められる厳しい要件を満たすために I/O ブロックと密接結合されている CMT ブロックのタイミングやコアのタイミングから物理層のタイミングが切り離されます。I/O、I/O FIFO、Phaser 間の専用クロッキング リソースおよびそれらの接続では、36 の PHY ドメイン クロックが使用され、FPGA のほかの通常クロック機能に負荷を掛けることなく高性能動作が実現します。

このような新しい構造は、Artix-7、Kintex-7、Virtex-7 FPGA、および Zynq EPP ですべて統一されています。ブロックや構造が統一されたことで、IP 開発がより迅速かつ容易になり、ザイリンクス 7 シリーズ デバイス間での IP の移行が可能になりました。

実際の使用において、Phaser コンポーネント、I/O FIFO、IO_PLL、高速クロック配線、およびメモリ コントローラーは、さまざまなメモリ タイプ、バンド幅、ビット幅に応じて、メモリ インターフェイス ジェネレーター (MIG) IP コアで自動生成されます。図 10 に、DDR3 メモリ インターフェイスの基本的なブロック図を示します。



WP393_10_040711

図 10: DQ/DQS インターフェイス、Phaser、I/O FIFO、およびメモリ コントローラーへの DDR2/DDR3 接続 (簡略図)

DDR2/DDR3 メモリ デバイスのクロック生成、メモリ読み出し、およびメモリ書き込みの適切な接続は、7 シリーズ FPGA および Zynq EPP でサポートされるすべてのメモリ コンフィギュレーションに応じて MIG ツール (ザイリックス ISE Design Suite に含まれる) で自動生成されます。

DDR メモリ デバイス用の CLK 生成

IO_PLL は、I/O バンクの CCIO (クロック兼用 I/O) へ渡すシステム クロックを受信、または MMCM からクロックを受信してロックします。また、ファブリック用にメモリ ビット レートの 1/8 で分周したクロック出力を生成し、1,866Mb/s の DDR3 メモリ インターフェイスの場合は最大 233MHz のクロックを BUFG に提供します (IO_PLL 接続は図 7 を参照、DDR2/DDR3 全体の I/O 接続は図 10 を参照)。IO_PLL はさらに、1,866Mb/s の DDR3 に対して、最大 933MHz の高速クロック出力から最大 3 つの I/O バンクに周波数リファレンスを生成し、PHASER_IN ブロックおよび PHASER_OUT ブロックへ提供します。

DDR メモリの読み出し

DDR メモリの読み出しでは、1,866 Mb/s の DDR3 メモリ インターフェイスの場合、最大 933MHz で動作するレーンの Phaser_IN ブロックの PHASEREF 入力へ DQS 信号が送られます (IO_PLL 接続は [図 7](#) を参照、DDR2/DDR3 全体の I/O 接続は [図 10](#) を参照)。IO_PLL は、使用されている各バイトレーンの Phaser_IN ブロックの周波数リファレンス入力へクロックを送ります。入力 DQS が有効になると、まずは最初のキャリブレーション時に、次にメモリ読み出し時に Phaser_IN ブロックがそのバイトレーンの位相リファレンス入力 (DQS) 信号と同期して、アライメント値 (遅延値) を格納します。Phaser_IN は、DQS に位相が一致した連続する高速出力を生成します。これは、読み出し中の DQS 入力を遅延させたものです。読み出し直後は、DQS が無効になっても高速出力は継続します。また、分周信号が生成されます。不連続 DQS 信号の延長を使用して、さまざまなフリップフロップのデータをフラッシュし、ISERDES から IN_FIFO へのパラレル転送を完了します。バイトレーンの 8 または 9 つの DQ0-7/8 入力が 8 または 9 セットの IDELAY および ISERDES を通ってキャプチャされ、このバイトレーンの IN_FIFO を駆動します。Phaser_IN は、IN_FIFO のデータキャプチャ用に書き込みイネーブル信号も提供します。読み出しプロセスでは、Phaser_IN、IN_FIFO、IDELAY グループ、および ISERDES ブロックをそれぞれ最大 4 つまで同時に実行し、1 つの I/O バンクで最大 36 の入力を読み出すことができます。

DDR メモリへの書き込み

DDR メモリへの書き込みでは、IO_PLL が、任意の I/O バンクで使用されている各バイトレーンの Phaser_OUT ブロックの周波数リファレンス入力へクロックを送ります。Phaser_OUT はバイトの位置に応じて、書き込みレベリングや迅速なタイミング生成を行います。これらの遅延値は格納されて、PVT によって変動しながらトラッキングされます。そして、Phaser_OUT がこのタイミングを利用して、メモリビットへのシリアルデータ出力と OSERDES へのパラレルデータ入力的高速クロックおよび分周クロックを生成します。高速 Phaser_OUT 信号を 90° シフトしたものが DQS 出力に使用されます。DQS のトライステート制御とメモリ書き込み用のデータ出力も生成され、Phaser_OUT ブロックが読み出しを実行して OUT_FIFO を有効にし、OUT_FIFO から OSERDES へデータを転送します。バイトレーンの 8 または 9 つの DQ0-7/8 出力は、このバイトレーンの OUT_FIFO によって駆動された後、8 または 9 セットの OSERDES を通って生成されます。書き込みプロセスは、Phaser_OUT、OUT_FIFO、および OSERDES ブロックを最大 4 つまで同時に実行し、1 つのバンクで最大 36 の入力を読み出すことができます。

メモリ インターフェイスの傾向およびザイリンクスの取り組みについては、ホワイトペーパー [WP383](#) 『Virtex-7 および Kintex-7 FPGA で高性能 DDR3 データレートを実現』(日本語版) を参照してください。

まとめ

7 シリーズ FPGA の I/O 機能とその特徴は、メモリ インターフェイス、ネットワーク、レガシー インターフェイス、あるいは [9 ページの表 2](#) に示したアプリケーションなど、幅広い要件を満たすように最適化されています。

7 シリーズ デバイスの統一アーキテクチャは、Artix-7、Kintex-7、Virtex-7 FPGA、そして Zynq EPP の FPGA 部分に適用されています。物理的 I/O 機能および論理的 I/O 機能が同じアーキテクチャで構成されているだけでなく、メモリおよびインターフェイスに I/O 機能が強化され、新しい高性能ブロック (I/O FIFO、I/O PLL) も追加されているため、非常に高い性能が実現します。統一されたアーキテクチャ (7 シリーズのほとんどは、Virtex-6 FPGA と同じアーキテクチャを使用) により、7 シリーズ FPGA や Zynq EPP を使用する製品の開発および展開に必要な投資コストを抑えることができ、デザインの移行も容易になります。

7 シリーズ FPGA や Zynq EPP において消費電力を削減するための絶え間ない努力を続けた結果、I/O 部分のみならず 7 シリーズ FPGA のほかの部分でも電力効率が大幅に改善され、より多くの機能を統合できるようになりました。

強化された I/O 機能や新たに追加された高性能 I/O 機能 (Phaser、I/O FIFO、I/O PLL、CMT) により、7 シリーズ FPGA および Zynq EPP は、高性能メモリ インターフェイス、ネットワーク、そしてその他の要件が厳しいアプリケーションにおける最高性能 レベルに対応できます。

詳細は、<http://japan.xilinx.com/technology/roadmap/7-series-fpgas.htm> を参照してください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2011/07/14	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials, or to advise you of any corrections or update. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、

jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。