



WP395 (v1.1) 2015 年 5 月 19 日

シングル イベント アップセット (SEU) の軽減

著者 : Jameel Hussein、Gary Swift

時として、電子デバイスは明確な理由もなく不正な動作をすることがあります。科学者やエンジニアによる綿密な実験用デザインおよび統計解析の結果、多くの場合に通常的环境放射線が原因であることが突き止められました。一般にこれらのエラーが発生することは稀で、一般的なアプリケーションでは無視して問題ありません。しかし高い信頼性が要求されるアプリケーションでは、環境放射線がシステム信頼性に与える影響を考慮することが欠かせません。放射線に起因する信頼性の問題は一般にシングル イベント効果 (SEE) と総称され、ソフト エラーであるシングル イベント アップセット (SEU) がこれに含まれます。

過去 10 年間、ザイリンクスはデバイス固有の FIT レートを業界最低に抑えると共に、あらゆる種類の SEU 軽減ソリューションを提供すべく、研究と試験に大規模な投資を行ってきました。

© Copyright 2012-2015 Xilinx, Inc. Xilinx、Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のザイリンクス社の商標です。すべてのその他の商標は、それぞれの保有者に帰属します。

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

はじめに

SEU とは、中性子がシリコン原子と衝突して放出される二次粒子、または電子デバイス自身に含まれる放射性不純物から放出されるアルファ粒子によって生じるソフト エラー (恒久的でないエラー) をいいます。中性子は、宇宙から到達する陽子 (宇宙線) が大気と反応して生成されます。宇宙線は、太陽系内部 (太陽) から来るものと太陽系外部 (新星および超新星) から来るものがあります。中性子のエネルギーは 1MeV (Million electron Volt) 未満から 1,000MeV 以上までさまざまです。このようなエネルギーを持つ中性子から電子機器をシールドで保護することも不可能ではありませんが、高エネルギー中性子の場合には厚さ 30 メートルの水の壁で囲む必要があり、必要な材料を考えるとほとんどのアプリケーションにおいて現実的ではありません。

中性子による影響だけでなく、電子デバイスはデバイス材料およびパッケージ内に含まれる天然の放射性同位元素から放出されるアルファ粒子の影響も受けます。

中性子およびアルファ粒子によって回路に生じる主な影響には、過渡電流パルス、メモリの値の変化 (ビット反転 = SEU)、ラッチアップなどがあります。これら影響のうち、デバイスを破壊する可能性があるのはラッチアップのみです。これは、電荷の堆積によって回路が短絡したままとなり、過熱、溶断、酸化といった重大な障害が発生するためです。ラッチアップを防ぐため、ザイリンクス FPGA はこの効果を軽減する独自のデザイン ルールを採用し、製品認定前に標準的なラッチアップ耐性試験 [参照 1] を実施しています。過渡的な影響は 100ps 程度の短時間で消滅する場合もあれば、記憶素子に取り込まれて間接的な SEU として現れる場合もあります。間接的な SEU が問題になるのは惑星間空間など過酷な放射線環境に限られ、民生アプリケーション向けザイリンクス FPGA では基本的に無視できます。

発生源を問わず、高エネルギー中性子がデバイスを貫通してシリコン基板の原子と衝突すると、核反応が起こります。この核反応で生じた正の電荷を持つ高エネルギーの二次イオンにより、大量の電子正孔対が発生します。これらの電子正孔対によってシングル イベント トランジェント (SET) が発生し、これが組み合わせロジックを伝搬します。振幅の大きな SET が長時間持続し、クロックとタイミングが重なると、誤った値が取り込まれて SET は SEU になります。この仕組みを図 1 に示します。中性子とシリコン原子核の核反応によって生成された二次イオンにより、シリコン原子核から電荷が放出され (図左)、その電荷が回路に影響して格納された値が変化します (図右)。SET のうち、SEU に転じてシステム エラーを引き起こすものはごく一部です。FPGA で SET が SEU に変化する確率は、ASIC や ASSP ほど高くはありません。これは、ファウンドリに依存しないザイリンクスのデザイン ルール、およびメモリアレイのような標準デバイスとは異なりコンフィギュレーション可能な FPGA に固有の特性によるものです。

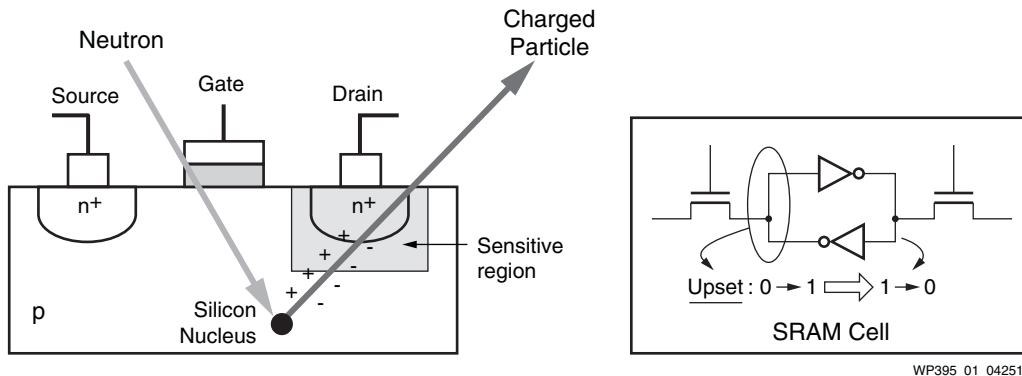


図 1: 電子メモリで発生する SEU

リコンフィギュレーション可能な FPGA ではコンフィギュレーション メモリとブロック RAM のビット反転はほとんど起こりませんが、その発生確率は高信頼性または高可用性が要求されるアプリケーションでは問題となります。一方、ユーザー レジスタで直接的な SEU が発生する確率は無視できます。

FPGA はプログラマブル デバイスであるため、リソースは静電容量を持つ構造に格納されます。このため電荷量が大きく、粒子との反応が発生してもアップセットが生じる確率はそれほど高くありません。ASIC/ASSP のメモリ素子とロジック ツリーには FPGA コンフィギュレーション メモリほどの容量性負荷がありません。このためメモリ素子は影響を受けやすく、トランジェントがロジックを伝搬しやすいため、FPGA よりもトランジェント エラーの影響を受ける確率ははるかに高くなります。しかも、この問題はクロック速度が高いほど顕著になります。

すべてのエラーが信頼性に影響

ザイリンクス FPGA はハード エラーおよびソフト エラーに関してデバイス レベルで高い信頼性を実現していますが、ハード エラーに比べるとソフト エラーの方が高い確率で発生します。何らかの時点で SEU によってシステムの機能に障害が発生したり、システムがダウンする可能性があります。そこで、デザイン インプリメンテーションの過程で何らかのソフト エラー軽減策を講じる必要があります。ザイリンクス FPGA には、ソフト エラー軽減に関して数多くの強力なソリューションが用意されています。

まず、デザインにどれだけのレベルの信頼性/可用性が必要かを検討する必要があります。製品のクラスや想定する市場により、信頼性の要件は大きく異なります。可用性、すなわち SEU からの回復についても考慮する必要があります。絶対的な安全性が求められるアプリケーションではハード エラー レート (製品寿命に伴う経年劣化など) が大きな意味を持つため、最高水準の信頼性と可用性を達成するには、ハードウェアの冗長化/二重化が必要です。

ここでは、可用性のレベルと信頼性のレベルを次のように区別します。

- 可用性: 業界標準の計測に準じて、アップタイムの割合をパーセントで表します (例: 99.9995%)。
- 信頼性: 10 億時間あたりに発生するソフト エラーまたはハード エラーの回数を FIT (Failure In Time) で表します (1 FIT = 10^9 時間に 1 回のエラー)。

どの程度の可用性と信頼性が要求されるかは、市場により異なります。たとえば通信用ハブの要件は次のとおりです。

- 1,000 FIT (MTBF = 114 年) 未満の信頼性と 99.9995% の可用性 (1 年間のダウンタイム < 2.7 分) (トランクまたは通信用ハブの場合)
- 10,000 FIT (MTBF = 11.4 年) 未満の信頼性と 99% の可用性 (1 年間のダウンタイム = 3.7 日)

信頼性と可用性に関する要件は、MTTF (故障するまでの年数)、エラー発生確率、エラーの影響の大きさなどを指標とすることもあります。ソフト エラーによる障害では、一時的な動作の中断しか発生しません。

たとえば絶対的な安全性が求められるシステムで深刻な障害 (人命に影響するものや大規模な環境災害を引き起こすもの) が発生する確率を規定する場合、使用頻度の高くないシステムでは $1e^{-5}$ とし、常時使用するシステムでは $1e^{-9}$ とすることも考えられます。 $1e^{-9}$ というエラー発生確率の要件を満たすのは困難で、通常はハードウェアの冗長化が必要です。アプリケーションにソフト エラーの影響が現れる前に、ハードウェア自体が故障または劣化する可能性があります。ハード エラー対策として冗長化が必要な場合、SEU が検出されたら冗長ユニットに動作を切り替えればよいので、ソフト エラー軽減は容易になります。

許容可能なエラー レートと可用性の要件を決定したら、次にシステム コンポーネントの信頼性を調べる必要があります。このデータを収集するには、大がかりな調査と試験が必要です。ザイリンクスは長年にわたり SEU の研究、検査、軽減に取り組んでおり、信頼性と可用性に関する正確なデータを提供しています。

歴史

1970年代はじめ、パッケージ材料に含まれる不純物からの放射性崩壊によって生じるアルファ粒子も電子デバイスのエラーを引き起こすことが発見されました [参照 2]。それとほぼ同時期に、軌道上衛星で電子システムの異常が観測されました [参照 3]。これは、大気と反応して中性子を発生させるのと同様、宇宙線が原因であることが確認されました。この結果、宇宙ミッションでは放射線への耐性を高めた電子部品を使用することが常識となりました。

当初、これらのエラーは非常に稀であったため、SEUの研究は単なる学術研究の域を出ませんでした。その後、プロセス微細化によって回路の加工寸法が縮小し低電圧化が進むと、ノードに蓄えられる電荷が次第に小さくなり、エラーレートが目に見えて上昇を始めました。

現在では、エージング、エレクトロマイグレーション、ホット エレクトロン効果、NBTI (負バイアス温度不安定性) などの従来からある故障メカニズムよりもソフト エラーレートの方が支配的となっています。このことは、中性子核反応で生じる二次イオンまたはアルファ粒子によって堆積される電荷量とメモリセルに格納される電荷量を比較するとよく理解できます。28nm ノードでは、メモリセルに格納される電荷は1フェムトクーロン ($1e^{-15}$ クーロン) 未満です。これに対し、中性子核反応で生じる二次イオンによって堆積される電荷は最大 150 フェムトクーロンにも達し、デザインで対策をとっていなければセルは簡単にアップセットしてしまいます。

プロセス微細化に伴い業界全体でエラーレートが上昇傾向を続ける中、ザイリンクスは Virtex[®]-II FPGA からデバイスのエラーレート抑制に向けたプログラムを開始し、Virtex[®]-II FPGA では 405 FIT/Mb (10^6 個のコンフィギュレーションビットあたり 405 FIT) のソフト エラーレートを達成しました。Virtex-6 FPGA では、エラーレートが 160 FIT/Mb まで低下しています。7 シリーズ FPGA のエラーレートは約 100 FIT/Mb であることが試験で実証されています (図 2 参照)。最新のデータは、『デバイス信頼性レポート』(UG116) [参照 4] を参照してください。

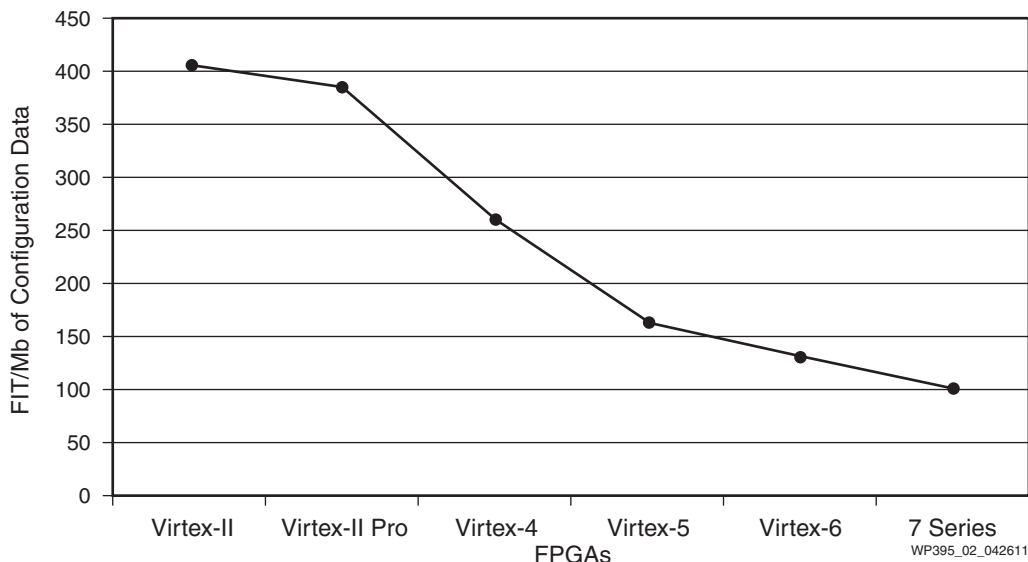


図 2: ザイリンクス FPGA 製品別のエラーレート

こうしたエラーレートの改善は、研究と設計の両面での長年にわたる取り組みの成果です。自然の放射線環境の中でも電子機器にとってとりわけ過酷なのは、宇宙空間です。ザイリンクスは、宇宙向け製品から得た知見を民生製品の改善にも役立てています。宇宙向け製品分野における成功が評価され、ザイリンクスは米空軍研究所からの資金提供を受け、アップセット耐性をさらに数桁高めた宇宙用 FPGA の製造に関するプロジェクトを実施しています。この製品は現在すでに出荷されていますが、このプロジェクトから得られたデータと知見にはそれ以上の価値があります。この知見は一貫してザイリンクスの民生製品に活かされており、世代を重ねるたびに FIT レートが低減している大きな要因となっています。さらに、ザイリンクスはソフトエラー軽減およびメモリセル構造に関して 40 件を超える特許技術を保有しています。詳細は、次のウェブページをご覧ください。

<http://japan.xilinx.com/applications/aerospace-and-defense/space/index.htm>

FPGA と ASIC/ASSP の比較

65nm ノード以降、ASIC と ASSP のソフト エラー レートは顕著に上昇しています。SEU の問題はプロセス ノードが進むに従って悪化しており、28nm ノードの ASIC ではアップセット レートの大半が、ロジックを伝搬するシングル イベント トランジェント (SET) となっています。寸法の縮小と低電圧化の進行により、ソフト エラー アップセット レート (ビット反転) も着実に上昇しています。ASIC の場合、エラー レートの推定データを ASIC メーカーに請求すると、多くの場合、秘密保持契約への署名が求められます。しかも、こうして開示されるデータは推定データでしかありません。これは、すべての ASIC をテストするのはコストがかかるため、テストを実施していないという理由によるものです。また、大気中でのフィールド試験には非常に長い時間がかかります。とはいえ、加速照射試験だけでは誤差マージンが大きく、実際の結果との十分な相関が得られません。ザイリンクスは SEU 関連データを積極的に開示しており、ユーザーは 10% 未満の誤差マージンで正確にエラー レートを見積もり、個々のアプリケーションに合わせて軽減ソリューションを最適化できます。

試験

SEU に関する設計面での取り組みと大規模な調査に加え、ザイリンクスは JESD89A [参照 1] に準拠した試験も実施しています。これには、ロスアラモス国立研究所での中性子照射試験、および山頂や地下でそれぞれ 100 個のデバイスを実際に稼働させた試験が含まれます。これらの実地試験は Rosetta プログラムの名で実施されています。詳細は『ディープ サブミクロン IC への大気中性子の影響に関する継続実験』(WP286) [参照 5] を参照してください。加速照射試験にせよ大気中でのフィールド試験にせよ、何世代ものプロセス ノードにわたる試験で蓄積した結果には大きな価値があり、こうして得られた知見は次の世代の FPGA の設計に反映されます。

これらの試験は製品認定の一部です。ザイリンクスは、コンフィギュレーション メモリおよびブロック RAM のソフト エラー 目標値を満たさない限り製品認定にパスできません。陽子/中性子照射試験によるラッチアップ耐性のテストも製品認定前に実施しています。一度でもラッチアップを示したデバイスは、デバイス レベルだけでなくそのデバイスを使用したシステム全体にとって重大なリスクとなります。これまで長年にわたるフィールド試験と照射試験でザイリンクス FPGA には一度もラッチアップが発生していません。ザイリンクスは、陽子/中性子照射試験でラッチアップが確認されないことを量産 FPGA 認定の条件としています。

構造

中性子以外に、ソフト エラーはパッケージ材料またはシリコン デバイス自体に含まれる放射性不純物から放出されるアルファ粒子によっても発生します。パッケージに含まれるごく微量の不純物から放出されるアルファ粒子は、中性子の核反応で生成される二次イオンと同じ影響をスタティック メモリに与えます。これらのアルファ粒子によってアクティブな回路ノードに電荷が蓄積されると、デバイスのビットが反転 (0 → 1 または 1 → 0) します。アルファ粒子の影響を抑えるため、ザイリンクスは ULA (Ultra Low Alpha) パッケージ材料の使用を義務づけています。これらの材料を使用しない場合、FIT は数千倍とは言わないまでも数百倍は高くなります。ザイリンクスは量産中の FPGA を常時リアルタイム監視し、実際に ULA の仕様が満たされていることを確認しています。

データ

ザイリンクスは四半期ごとに最新の SEU データを『デバイス信頼性レポート』(UG116) [参照 4] として公開しています。業界でこのような信頼性データを広く公開しているのは、現時点でザイリンクスのみです。ザイリンクスは 10 年以上前から SEU データを公開し、ユーザーによる SEU 対策を積極的に支援しています。

また、ザイリンクスはユーザーがターゲット デバイスの FIT レートを予測できるように SEU FIT レート カリキュレーターも提供しています (図 3 参照)。全体的な FIT レートは経度、緯度、高度などのパラメーターによって大きく変化します。このツールにこれらのパラメーターを入力すると、アプリケーションの実際の運用場所に応じた FIT レートを得ることができます。SEU FIT レート カリキュレーターの詳細とダウンロードは、次のウェブ ページを参照してください。

<http://japan.xilinx.com/member/avionics>

WP396_03_021512

図 3 : SEU FIT レート カリキュレーター

軽減手法

FIT レートの推定値と信頼性要件が確定したら、使用する FPGA に対してどのような SEU 軽減対策が必要かを決定する必要があります。まず考えられる、最も一般的な軽減策は「何もしないこと」です。

意外に思われるかもしれませんが、ほとんどのデザインは特別な軽減対策を必要としません。ザイリンクス FPGA のデバイス固有 FIT レートは非常に低く抑えられています。毎日または 1 週間に 1 回、あるいは 1 ヶ月に 1 回しかパワー サイクルしない場合でも、ザイリンクス デバイスではリセットからリセットまでの期間に動作に影響するアップセットが発生することはほとんどありません。パワー サイクルによってデバイスが再びコンフィギュレーションされると、発生したアップセットは解消されます。多くのライン サイド通信アプリケーションがこれに該当します。

エラー ログの記録

デバイス固有の FIT レートだけでは信頼性や可用性の要件を満たすことができない場合は、「エラーを検出してログに記録する」というアプローチを検討する必要があります。これは、システム レベルでの対処やリセットは実行せず、単にエラーのログを記録して修正するという考え方です。FPGA 内蔵の CRC (巡回冗長検査) および ECC (エラー訂正コード) を使用すると、デザインのエラー ログを簡単に記録できます (詳細は『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) [参照 6] 参照)。これらの機能を有効にしておくと、FPGA は常時デバイス全体を読み出し、動作中のデザインを中断することなくビット反転の有無をチェックします。ビット反転が検出されるとタイムスタンプ付きのエラー フラグが記録されます。ユーザーはこのログを調べて、システム動作の中断とソフト エラーが同時に発生しているかどうかを確認できます。ビット反転は ECC によって自動的に訂正されるため、アップセットの持続時間は短く、多くの場合、システムはエラーなしで動作を継続できます。

ソフト IP およびエラー分類

実際のデザインは、FPGA リソース全体のごく一部しか使用していません。デバイス全体のすべてのエレメントのすべての機能を使用するデザインはありません。したがって、SEU が発生してもデザインの機能に影響しない可能性は十分にあります。ザイリンクスのデータでも、通常のデザインで使用するコンフィギュレーション ビットは全体の 30% 未満であることが示されており、このデータは外部のユーザー試験で確認されています。リソース使用率が高いデザインであっても、デザインの動作に影響する実際の SEU レートは多くの場合 10% 未満で、通常は 5% 未満です。

つまり、システム レベルでの対策が必要なアップセットは、全体から見るとごく一部ということになります。

ザイリンクスは、エッセンシャル ビット (ユーザー デザインの機能に影響する可能性のあるコンフィギュレーション ビット) かどうかを判定するソフトウェア ツールを用意しています。LogiCORE™ IP Soft Error Mitigation (SEM) Controller IP コア (図 4 参照) に関連して、ザイリンクスはハードウェア機能に影響するエッセンシャル ビットのマスク ファイルを提供できる体勢をとっています。アップセットが発生すると、この IP はエラーを訂正するだけでなく、そのアップセットがデザインで使用しているリソースに影響するかどうかを判定します。この処理をエラー分類と呼びます。エラー分類の結果、アップセットがエッセンシャル ビットで発生したものでなければ、システムはリセットなしで通常動作を継続できます。この IP はバックグラウンドで訂正と分類を実行するため、システムは動作を停止する必要がなく、可用性が大幅に向上します。エッセンシャル ビットおよび SEM IP コアの詳細は、『LogiCORE IP Soft Error Mitigation Controller 製品ガイド』(PG036) [参照 7] を参照してください。

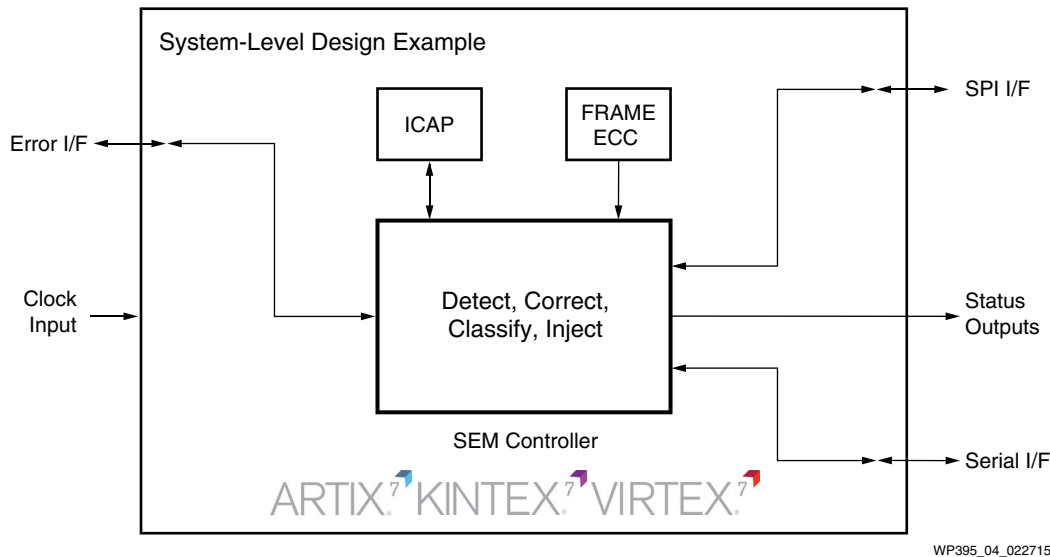


図 4 : Soft Error Mitigation Controller

SEU 検出および訂正機能

高信頼性と高可用性が要求されるアプリケーションでは、いかに短時間でビット反転を検出できるかが鍵となります。Virtex-4以降、ザイリンクス FPGA にはエラー検出機能が内蔵されています。もちろん、エラー訂正も非常に重要です。Virtex-6 および 7 シリーズ FPGA には検出と訂正の機能が両方内蔵されています。

プロセスの微細化に伴い、現在では 1 個の粒子で複数ビットが反転することがあり、これを MBU (マルチビット アップセット) と呼んでいます。MBU の影響を抑えるには、コンフィギュレーション メモリをインターリーブして物理的に隣接したエラーが別々のメモリ マップに現れるようにします。こうすると複数のシングルビット アップセット (SBU) が発生したのと同じことになり、内蔵のエラー訂正機能で修復できます。Virtex-6 および 7 シリーズ FPGA に内蔵されている訂正機能は、制約ファイルで簡単に有効にできます (『Virtex-6 FPGA コンフィギュレーション ユーザー ガイド』(UG360) [参照 8] および『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) [参照 6] を参照)。訂正機能はすべての 1 ビット エラーを訂正します。また、MBU も複数のフレームにわたっているため、ほとんどすべての 2 ビット エラーを訂正できます。ごく稀に MBU を訂正できない場合は、同じく FPGA に内蔵されている CRC チェッカーによって MBU が 100% 検出されます。これらの機能と SEM IP コア を組み合わせると、検出と訂正の網羅率は 100% に達します。

ブロック RAM も SEU の影響を受けます。ブロック RAM のビット反転は、64 ビット エンコーダー / デコーダーにハミング符号を使用する内蔵 ECC によって軽減できます。この ECC と物理インターリーブを組み合わせると、ユーザー データの FIT レートはハード エラー レートを大きく下回り、ほぼ 0 に抑えられます。

通常、ASIC や ASSP にはエラーを検出または訂正する機能はありません。ソフト エラーの発生を知る手段がないため、ASIC/ASSP デザインは正常に動作しているようで実は誤動作していることがあります。ザイリンクス FPGA は、CRC チェックによりデザインが正常に動作していることを確認できます。高い信頼性が要求されるアプリケーションなど、システムがエラーなしで動作していることをユーザーが知る必要がある場合は、ASIC/ASSP よりもザイリンクス FPGA の方がはるかに適しています。

また、可用性もザイリンクスのエラー分類機能によって大幅に改善します。この機能を使用すると、デザインに影響する SEU が発生した場合のみシステムをリセットすればよく、それ以外のアップセットは無視できるため、ダウンタイムが大幅に減少し可用性が向上します。訂正と分類には数百マイクロ秒程度しかかからないため、多くのアプリケーションでこれらの機能を使用して可用性の要件を満たすことができます。

最高水準の信頼性が要求される場合は、三重化とデザイン内での多数決回路が必要となることがあります。これらはアップセットを防ぐ機能ではなく、検出および訂正期間中もデザインがエラーなしに動作を継続できるようにするためのものです。

エラーが絶対に許されない一部の宇宙アプリケーションでは、ハードウェアの三重化 (すべてのコンポーネントを 3 つずつ使用) と外部多数決回路が必要です。ザイリンクスの FPGA デバイスは火星探査車 Mars Rover [参照 9] や国際宇宙ステーション内のシステム [参照 10] など、宇宙空間で数多く使用されています。このほか、ザイリンクスのデバイスは戦闘機やハイエンドの高級車などの高信頼性アプリケーションでも使用されています。

まとめ

SEU の軽減は、専用の IP やツールを活用しない限り非常に困難な作業となります [参照 11]。ザイリンクスは SEU 軽減に役立つエンジニアリングおよびツールを提供しており、設計者の手間はほとんどかかりません。また、ザイリンクスは大気中のフィールド試験と照射試験を包括的に実施しており、これら試験の結果を公開しています。設計者はこれらのデータに基づいて個々のデザインの FIT レートを見積もり、最適な軽減ソリューションを的確に決定できます。ザイリンクスは、SEU の発生を抑えるよう設計された FPGA シリコンを軸に、SEU 問題に対して多層構造のソリューションを提供しています。これらのソリューションには、FIT レートを予測し、その影響を軽減する革新的な IP やツールが含まれます。内蔵のエラー検出および訂正機能は、シンプルで簡単に使用できます。また、ザイリンクスはさらなる FIT レートの低減およびシステム テストに使用できる完全検証済みのソフト IP も提供しています。

詳細は、次のページを参照してください。

<http://japan.xilinx.com/products/quality/single-event-upsets.htm>

参考資料

1. JESD89A 『Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices』
<http://www.jedec.org/sites/default/files/docs/jesd89a.pdf>
2. T. C. May and M. H. Woods 『Alpha-Particle-Induced Soft Errors in Dynamic Memories』IEEE Trans.Electron Dev., ED-26, 2 (1979)
3. D. Binder, E. C. Smith, and A. B. Holman 『Satellite Anomalies from Galactic Cosmic Rays』IEEE Trans.Nut.Sci., NS-22, 2675 (1975)
4. 『デバイス信頼性レポート』(UG116)
5. 『ディープ サブミクロン IC への大気中性子の影響に関する継続実験』(WP286)
6. 『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470 : [英語版](#)、[日本語版](#))
7. 『LogiCORE IP Soft Error Mitigation Controller 製品ガイド』(PG036 : [英語版](#)、[日本語版](#))
8. 『Virtex-6 FPGA コンフィギュレーション ユーザー ガイド』(UG360)
9. ザイリンクスのプレスリリース
http://japan.xilinx.com/prs_rls/design_win/0412_marsrover.htm
10. NASA のプレゼンテーション
https://nepp.nasa.gov/mapld_2008/presentations/t/08%20-%20Blansett_Ethan_mapld08_pres_1.pdf
11. 『FPGA、ASIC、プロセッサにおけるシングル イベント効果についての考察』(WP402)

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2015年5月19日	1.1	図 4、「SEU 検出および訂正機能」、および「参考資料」を更新。
2012年4月9日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社（本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ）に開示される情報（以下「本情報」といいます）は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず（商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません）、すべての保証および条件を負わない（否認する）ものとします。また、(2) ザイリンクスは、本情報（貴殿または貴社による本情報の使用を含む）に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない（契約上、不法行為上（過失の場合を含む）、その他のいかなる責任の法理によるかを問わない）ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害（第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます）が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

ザイリンクスの製品は、フェイルセーフとして設計されたり意図されてはならず、また、フェイルセーフの動作を要求するアプリケーション（具体的には、(I) エアバッグの展開、(II) 車のコントロール（フェイルセーフまたは余剰性の機能（余剰性を実行するためのザイリンクスの装置にソフトウェアを使用することは含まれません）および操作者がミスをした際の警告信号がある場合を除きます）、(III) 死亡や身体傷害を導く使用、に関するアプリケーション）を使用するために設計されたり意図されたりしていません。顧客は、そのようなアプリケーションにザイリンクスの製品を使用する場合のリスクと責任を単独で負います。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。