



WP396 (v1.1) 2016 年 6 月 1 日

Spartan-6 FPGA : コスト重視アプリケーション向けに最適化された性能、消費電力、I/O を提供

著者 : Maureen Smerdon

急速に変化する今日の設計環境では、コスト重視のシステム要件に応えるため、最小限のコストで高性能と低消費電力を実現するプログラマブルソリューションが必要です。

このホワイト ペーパーでは、Spartan[®]-6 FPGA でコスト重視のシステムのニーズにどのように対応するかを説明します。高性能、低消費電力、低コストを実現する Spartan-6 FPGA は、汎用メモリへの高効率かつ低コストでの接続、高性能なチップ間インターフェイス、革新的なパワーダウン モードなどの課題を解決します。

© Copyright 2011–2016 Xilinx, Inc. Xilinx, Xilinx のロゴ、Artix、ISE、Kintex、Spartan、Virtex、Vivado、Zynq、およびこの文書に含まれるその他の指定されたブランドは、米国およびその他の各国のサイリンクス社の商標です。PCI、PCIe、および PCI Express は、PCI-SIG の商標であり、ライセンスに基づいて使用されています。すべてのその他の商標は、それぞれの保有者に帰属します。

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

はじめに

システム市場は劇的に変化しており、コスト重視の製品に携わる設計者は一層厳しい予算と日程で革新的なシステムを提供する必要に迫られています。これを受けて、柔軟で使いやすいシステム オン チップ型のソリューションが求められています。

ザイリンクスはこのようなニーズに応えるため、定評ある Virtex®-5 FPGA アーキテクチャの設計上のイノベーションを Spartan-6 FPGA に引き継ぐべく統合しました。Spartan-6 ファミリは、コストを重視したシステム開発者に、競合製品にはないさまざまな利点を提供します。これらの利点には、次のものがあります。

- 45nm プロセス ノード
 - クラス最高のコスト、消費電力、性能を実現する、45nm プロセス ノードの FPGA ファミリ
- 高速 I/O
 - 1,080Mb/s の LVDS と 3.2Gb/s のシリアルトランシーバーによる、クラス最高の性能を備えたチップ間インターフェイス
- パワーダウン モード
 - 高速ウェークアップが可能なサスペンド モードによってコンフィギュレーションとステートを維持し、スタティック消費電力を 20 ~ 30% 削減
- 内蔵メモリ コントローラー
 - 一般的な速度のメモリ インターフェイス (800Mb/s の DDR3 など) を提供
- 包括的なデザイン キット
 - イーサネットおよびエンベデッド開発用の完全な開発プラットフォーム
 - MicroBlaze™ プロセッサ デザイン キット
 - デザイン クロージャを容易にする、手順を追った詳細なチュートリアル

Spartan-6 FPGA は、多機能プリンター、産業用/ホーム ネットワーキング、コンパクトなプログラマブル ロジック コントローラー、車載インフォテインメント、モーター制御、医療用/産業用ポータブル測定機器、D-SLR カメラ/ビデオ カメラ、ソフトウェア定義無線、ビデオ監視といったコスト重視アプリケーションの要件を満たします。

ローエンド FPGA の課題を解決

Spartan-6 ファミリでの飛躍的な技術革新により、コスト重視の FPGA で消費電力と性能の最適なバランスが提供されるようになりました。Spartan-6 FPGA を使用することで設計者は、トランシーバー、DSP、高速 I/O、クロック マネージメント、セキュリティ、メモリ容量、制御に関連するさまざまな機能を活用できます。Spartan-6 FPGA を使用すれば、低コストだが性能面で劣る FPGA と機能豊富だがコストの高い FPGA のいずれを選択するか悩む必要はません。

Spartan-6 FPGA は、顔認識、高度なアイトラッキング、高解像度画像などの演算負荷の高い処理を最適に実行できる理想的なプログラマブル プラットフォームを提供し、直感的で適応性と臨場感に優れたデジタル サイネージ アプリケーションを実現します。

緊密に統合されたプログラマブル ロジックと I/O の最適化によって、豊富な機能の実装およびハードウェア アクセラレーションを利用したビデオ処置機能が可能になり、BOM (部品) コストと消費電力を抑えながら高性能を達成できます。

デジタル サイネージ アプリケーションで使用される Spartan-6 FPGA には次のような利点があります。

- メタデータ取得/タグ付け、自動顔認識アイ コンタクト、オブジェクト トラッキングなどの演算負荷の高い機能に、ハードウェア アクセラレーションを使用してシステム性能を向上
- フル HD 画像/ビデオ処理機能を備えた完全にプログラム可能なプラットフォームにより、カスタマイズした画質の差別化が可能
- SD/HD/3G-SDI、DisplayPort、HDMI といった最新のインターフェイス テクノロジを統合し、I/O を最適化
- Ethernet AVB などの Video over IP 接続規格をサポート

図 1 に、デジタル サイネージアプリケーションにおける Spartan-6 FPGA の使用例を示します。

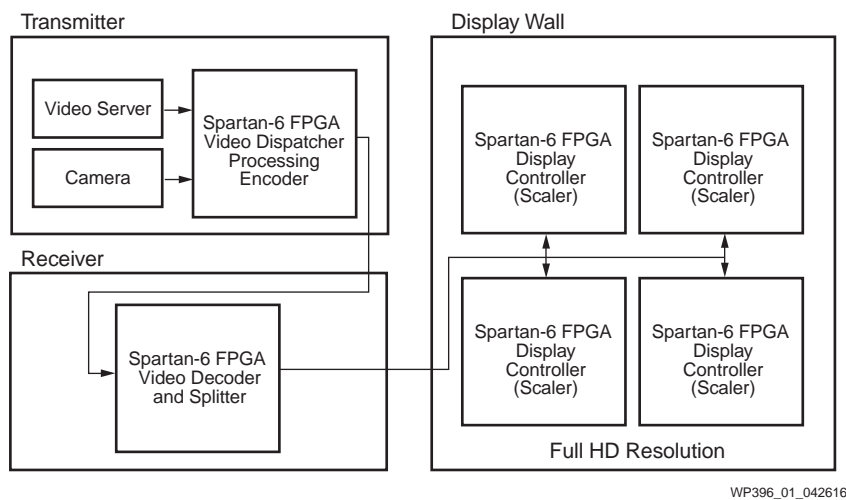


図 1 : Spartan-6 FPGA を使用したフル HD インテリジェント デジタル サイネージ

統合された高速シリアルトランシーバーによるコスト削減

今日のシステムでは、複数のバックプレーンにわたるチップ間インターフェイスや光ファイバーを使用した長距離伝送用に高帯域幅が求められます。パラレル I/O は、最新の規格でもシングルエンドピンでは約 1GHz、LVDS 差動ピンペアでは 1.5GHz 未満で速度の限界に達します。

広帯域の並列接続では数多くの I/O が使用され、レシーバーで大量の電力が消費されます。このような接続は、データレーン間やクロックレーンとデータレーン間にスキューを発生させ、最終的にはクロストークやその他のシグナルインテグリティの問題を引き起こします。こういった問題は、Spartan-6 LXT FPGA に統合された高速シリアルトランシーバーによって解決できます。

Spartan-6 LXT FPGA は、低コストのロジック機能を、最大 8 つの GTP トランシーバー (ラインレート 3.2Gb/s) を備えた高速シリアル接続で補います。Spartan-6 LXT デバイスは、Virtex FPGA ファミリの強力な SerDes 機能を利用して、3.2Gb/s およびそれ以下のプロトコルをサポートします。主なトランシーバープロトコルでサポートされる伝送速度の比較は、表 1 を参照してください。

表 1 : 各トランシーバープロトコルでサポートされる伝送速度

スピード	Spartan-6 FPGA の高速シリアルトランシーバー規格
3.125Gb/s	XAUI、SRIO
3.072Gb/s	OBSAI、CPRI
3.0Gb/s	SAS II、SATA II、V-by-One
2.97Gb/s	3G-SDI
2.7Gb/s	DisplayPort
2.5Gb/s	PCIe® G1.1、Infiniband
2.488Gb/s	OC-48
2.125Gb/s	2G ファイバーチャネル
1.485Gb/s	HD-SDI
1.25Gb/s	1GbE

Spartan-6 LXT FPGA 独自のもう 1 つの利点として、ロジック インターフェイスが Virtex-5 FPGA GTP トランシーバーのインターフェイスとほぼ同じであるため、低コスト Spartan-6 FPGA へのデザインの移植が容易であることが挙げられます。表 1 に示すように、Spartan-6 LXT FPGA は広範な規格をサポートし、最新の高性能デザインに対応します。

高性能 I/O 規格によるシステム デザインの簡素化

Spartan-6 FPGA は、そのクラスで最も幅広い I/O 規格をサポートし、I/O の豊富さでトップクラスを誇ります。Spartan-6 FPGA は、コストを重視したシステムのさまざまな I/O 要件を満たすため、LVDS でクラス最高の伝送速度 (最大 1,080Mb/s) を提供します。これは Altera 社の Cyclone IV GX (840Mb/s) を大幅に上回る速度です。Spartan-6 FPGA の I/O は、HD ビデオ、HD ディスプレイ、その他の広帯域幅インターフェイスといった広範にわたる新しいアプリケーションに対応します。LVDS I/O のほか、デューティ サイクルの歪みを削減する専用クロック配線と I/O のシリアライズ/デシリアライズ機能を備えた Spartan-6 FPGA は最大 1:8 のシリアル/パラレル データ変換比を実現し、高速差動インターフェイスの設計が容易です。表 2 に、各 FPGA がサポートする I/O 規格の比較を示します。

表 2 : 各 FPGA がサポートする I/O 規格の比較

I/O 規格	Spartan-6 FPGA	Cyclone IV GX ⁽¹⁾
LVC MOS (3.3V、2.5V、1.8V、1.5V、1.2V)	✓	✓
LVDS および Bus LVDS	✓ ⁽²⁾	✓
LVPECL (2.5V、3.3V)	✓	✓ ⁽³⁾
PCI	✓	✓
I ² C	✓	
HSTL (1.8V、1.5V、クラス I、II、III)	✓	
HSTL_I_12 (単方向のみ)		✓
PPDS	✓	✓
TMDS	✓	
RSDS	✓	✓
ディスプレイ ポート AUX チャネル	✓	
SSTL (3.3V、2.5V、1.8V、1.5V クラス I、II)	✓	✓
DIFF_SSTL	✓	
DIFF_HSTL	✓	
LVTTTL	✓	✓

注記 :

1. 出典 : 『Cyclone IV Handbook』(2010 年 12 月)
2. Sub LVDS は要望に応じて利用可能です。詳細は、ザイリンクス販売代理店までお問い合わせください。
3. LVPECL は、専用のクロック入力でのみサポートされます。

Spartan-6 FPGA は、オーバーシュートが 4.4V に抑えられた完全な 3.3V 規格をサポートし、完全な 3.3V LVC MOS と LVTTTL 24mA 出力ドライブを提供します。真の 3.3V 規格がサポートされるため、標準許容誤差のコンポーネントを使用してボード デザインを簡略化できます。また設計チームは、最小限のシミュレーションでオーバーシュートの懸念を軽減し、高速環境内で 3.3V 規格をデザインに組みこむことができます。競合 FPGA を使用する設計者は、高ファンアウト信号用にバッファまたはバックプレーンとタイトなボード トレース用にライン ドライバーを追加し、出力ドライブの制限を克服してオーバーシュートを軽減する必要があるため、システム全体の複雑性、コスト、設計時間が増加します。

Spartan-6 LX デバイスに必要な電源レールは 2 つだけであるため、システムはさらに簡素化され、設計コストが削減されます。電源の簡素化 (低価格のレギュレータを少数使用、バイパス要件も軽減される) により、ボードの低コスト化と信頼性の向上に加え、設計も容易になります。Spartan-6 FPGA を使用する設計者は、各電源ピンの電源レールを分離したり、タンタル キャパシタやフェライト ビーズを追加したりする必要はありません。Spartan-6 FPGA では真の 3.3V I/O 機能、高い駆動能力、電源レールの削減により、システム デザインおよびボード デザインの容易化と低コスト化が実現します。

Spartan-6 FPGA の SelectIO™ テクノロジーの詳細は、『Spartan-6 FPGA SelectIO リソース ユーザー ガイド』(UG381 : [英語版](#)、[日本語版](#)) を参照してください。

ロジックの性能とアーキテクチャの効率の最適化

コスト重視アプリケーションに対して量産型産業が求めるニーズを満たすには、非常に低コストのロジックアーキテクチャを用いた高性能 FPGA でこのようなアプリケーションを実現する必要があります。最適化された Spartan-6 FPGA のロジックアーキテクチャは、デュアルレジスタ型 6 入力ルックアップ テーブル (LUT) 構造を利用してこれらの要求に応えます。他社の FPGA ファミリーで使用される従来の 4 入力 LUT は簡単なファンクションとして十分なソリューションを提供しますが、ロジックセル機能が強化された 6 入力 LUT (および追加のフリップフロップ) であれば必要なロジックのレベルを最小限に抑えることができるため、遅延が削減されてシステム スループットが最大 25% 向上します。図 2 に、LUT アーキテクチャの比較を示します。

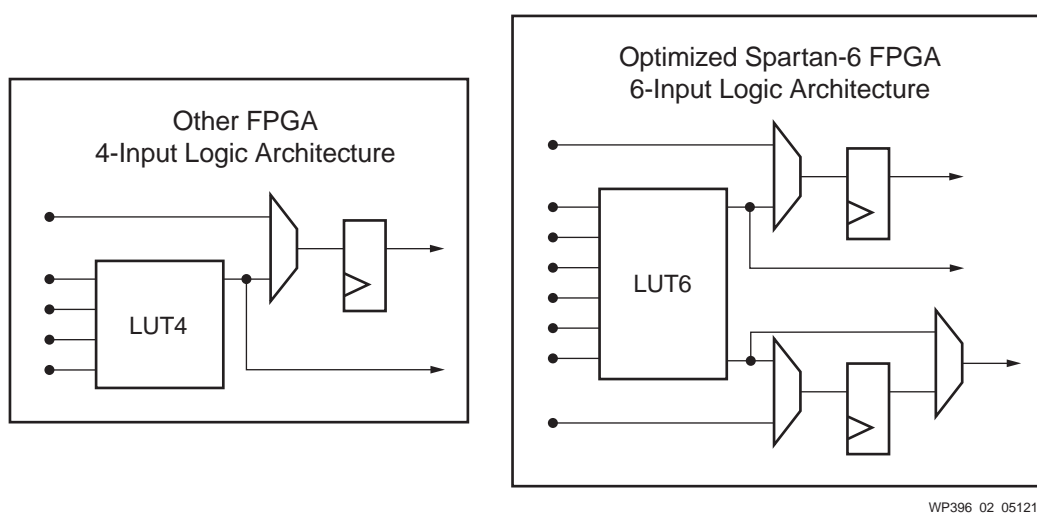


図 2 : 6 入力 LUT と 4 入力 LUT の比較

Spartan-6 FPGA の優位性は、デザインにおけるロジック性能の比較から明らかです。表 3 に、ザイリンクスと Altera 社のツールを使用して一連のベンチマーク デザインを実行した結果を示します。3 つのスピード グレードすべてにおいて、Spartan-6 FPGA の処理は同等の Cyclone IV デバイスよりも高速です。

表 3 : FPGA のパフォーマンス ベンチマーク

スピード グレードごとのベンチマーク ⁽¹⁾	Spartan-6 FPGA の優位性
Spartan-6 FPGA の -2 スピード グレードと Cyclone IV の -8 グレード	20% 以上高速
Spartan-6 FPGA の -3 スピード グレードと Cyclone IV の -7 グレード	19% 高速
Spartan-6 FPGA の -3 スピード グレードと Cyclone IV の -6 グレード	12% 高速

注記 :

1. 一連の 392 のデザインに対して、ザイリンクス ISE® 13.1 と Altera 社の Quartus 10 ツールを使用しています。

統合されたメモリコントローラーで性能が2倍向上

Spartan-6 FPGA は、最小限の消費電力で最大限の性能が得られるように、ハードメモリコントローラーブロック (MCB) を搭載しています。最も小型のモデルを除くすべての Spartan-6 デバイスに専用の MCB が搭載され、各 MCB が各種 DRAM 規格 (LPDDR、DDR、DDR2、DDR3) をサポートします。統合された MCB のタイミングは予測可能であるため、設計者は DDR3-800 メモリ インターフェイスを素早く簡単に設計、実装できます。MCB を搭載した Spartan-6 FPGA は、最大 800Mb/s のアクセスレートをサポートします。それに対して、Cyclone IV GX のソフトコントローラーでサポートされる DDR2 のアクセスレートは 400Mb/s です。図 3 に、メモリ インターフェイスの性能の比較を示します。

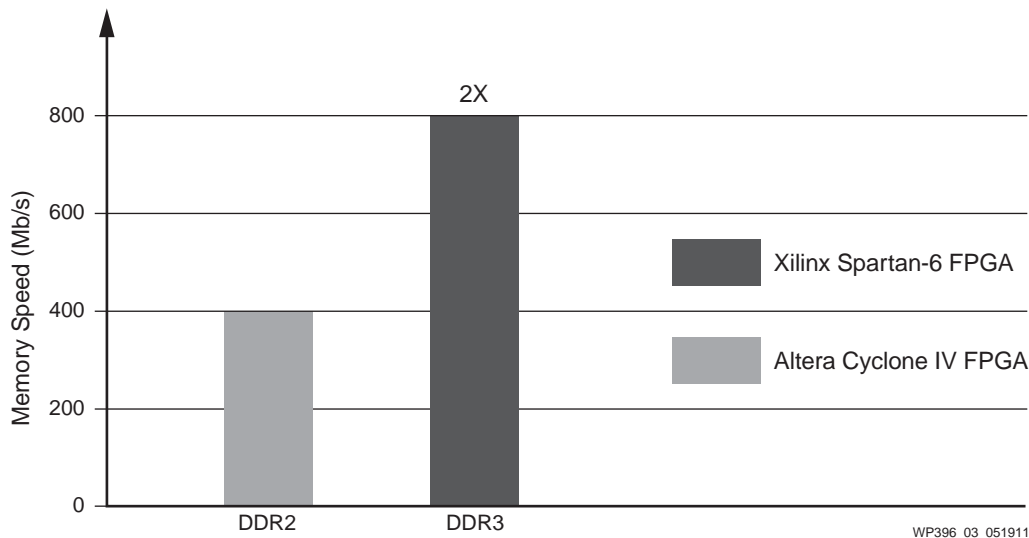
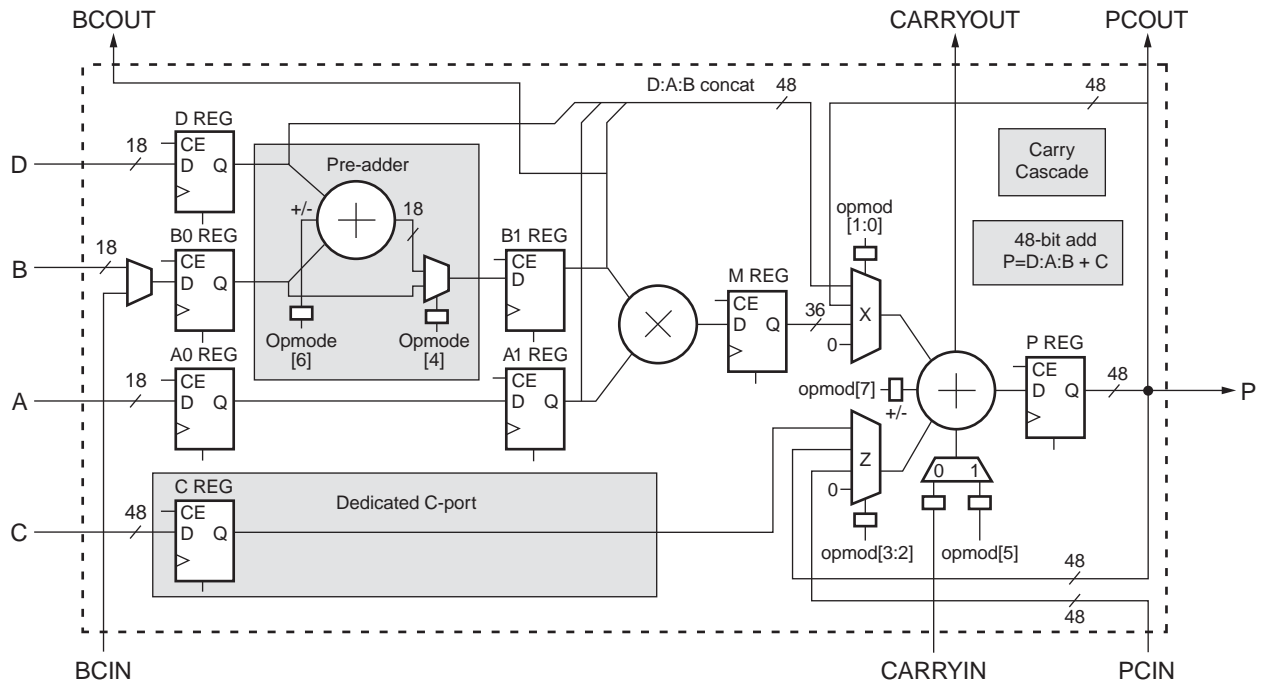


図 3 : DDR3 メモリ インターフェイスの速度比較

統合されたデジタル信号処理

消費電力とシリコン使用率を最小限に抑えて最大限の性能を提供するために、Spartan-6 デバイスは、汎用ロジック対 DSP48A1 スライス の比を高くして、演算量の多いアプリケーションをサポートします。これらの DSP48A1 スライスは、乗算器、累積乗算器 (MACC)、累積乗算器が後に続く前置加減算器/減算器、加算器が後に続く乗算器、多入力マルチプレクサー、多入力カウンタなど、独立した多くのファンクションをサポートします。複数の DSP48A1 スライスをカスケード接続すると、汎用 FPGA ロジックを浪費することなく、多入力の数値演算、DSP 演算、フィルター、複素数演算を実装できます。図 4 に、DSP48A1 スライスの実効性を示します。



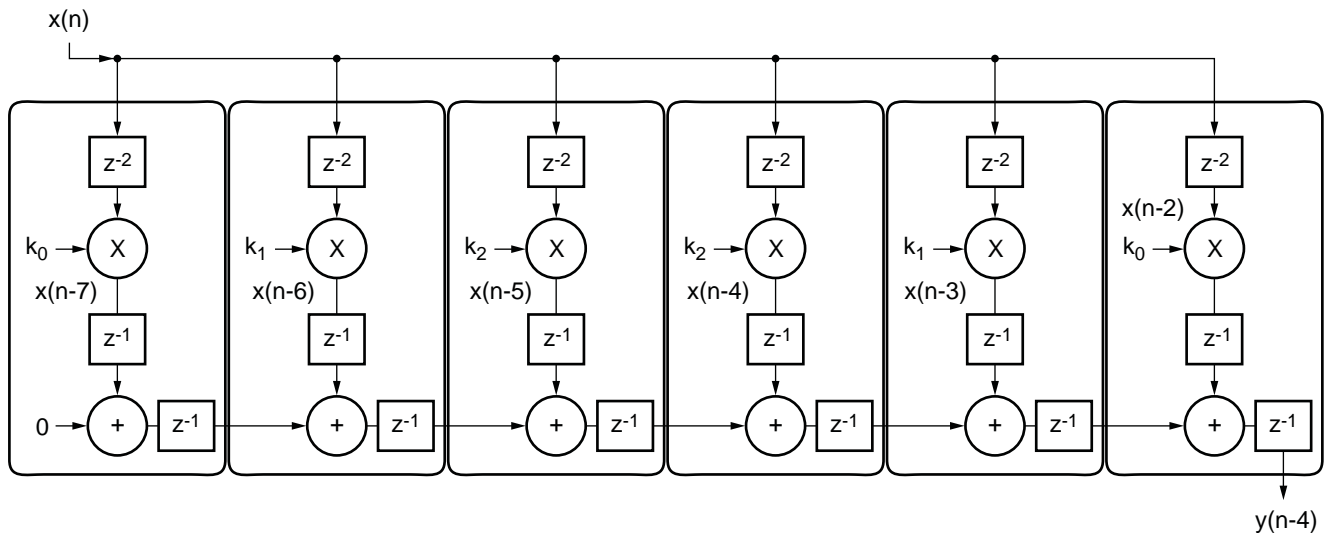
WP396_04_051611

図 4 : Spartan-6 FPGA の DSP48A1 スライス

Spartan-6 デバイスの強化された DSP48A1 構造には、実効性に優れた前置加算器が含まれています。この前置加算器によって得られる利点は次のとおりです。

- 前置加算器なしのアーキテクチャに比べて、消費電力を 50% 削減
- 最小限のロジックでインプリメント可能 (一方で競合デバイスはロジック内で前置加算を実行する必要がある)
- フットプリントを削減
- Xilinx Synthesis Tool (XST) をサポート (インプリメンテーションが容易になる)

図 5 に、主要な代替 FPGA を使用した対称 FIR フィルターのインプリメンテーションを示します。



WP396_05_051211

図 5 : 主要な代替 FPGA を使用した対称 FIR フィルター

これと同じ機能を Spartan-6 デバイスでインプリメントすると、はるかに少数のロジックと半分の量の DSP で済むため、消費電力が約 50% 削減されます。図 6 を参照してください。これにより、最終的にはデバイスの要件を軽減し、低コスト化を実現できます。

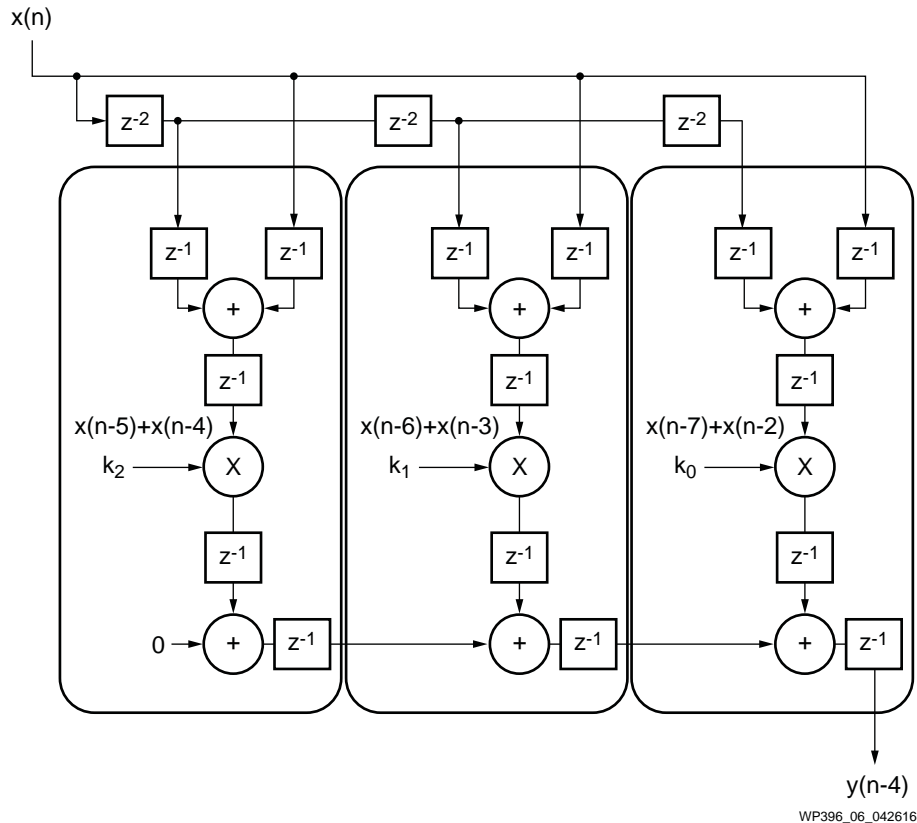


図 6 : Spartan-6 デバイスを使用した対称 FIR フィルター

PCI EXPRESS 用統合エンドポイント ブロック

デザインを合理化し開発コストを削減するため、Spartan-6 FPGA は、Spartan-6 LXT FPGA の内蔵シリアル I/O トランシーバーへシームレスに接続する PCI Express® (Gen1) 用統合エンドポイント ブロックを搭載しています。さらに、この統合ブロックは、さまざまなデザイン要件に従うよう高度にコンフィギュレーション可能で、PCI-SIG® のコンプライアンス テストに合格しています。Spartan-6 FPGA に搭載されたハード ブロックにより、約 6,000 個のロジック セルが削減されてデザインを小規模 Spartan-6 LXT FPGA に収めることができるだけでなく、外部 PHY チップが不要になるため、コストの削減、デザインの簡素化、製品の迅速な市場投入が可能になります。

高度なクロック管理

Spartan-6 FPGA のデジタルクロック マネージャー (DCM) と位相ロック ループ (PLL) は、競合製品よりも優れた柔軟性を提供します。この DCM には Cyclone IV の PLL よりも細かい位相シフト機能があります。Spartan-6 FPGA は、2 つの DCM と 1 つの PLL で構成される最大 6 つのクロック管理 タイル (CMT) を含み、内部および外部のクロック分配用に豊富なクロッキング 構造を提供することで、システム クロック ドメインのサポートを極限まで強化しています。

45NM プロセス テクノロジによる省電力化

ザイリンクスは、プロセス、アーキテクチャ、ソフトウェアのイノベーションを通じて Spartan-6 FPGA の 45nm プロセス ノードで大きな進化を実現し、前世代の FPGA に比べてスタティック消費電力、ダイナミック消費電力、I/O 消費電力を大幅に削減しました。同等の競合製品は、既存の 65nm デバイスからのプロセス微細化による 60nm プロセスにしか達していません。Spartan-6 FPGA と Spartan-3A FPGA を比較すると、Spartan-6 デバイスの平均スタティック消費電力は 50% 削減され、ダイナミック消費電力は 40% 削減されています。Spartan-6 FPGA でのプロセス向上により、消費電力と性能のバランスの取れたトランジスタの選択、キャパシタの削減 (微細化と低誘電率の実現) などが可能になっています。

Spartan-6 FPGA は、効率的な 6 入力 LUT、最適化された機能の組み合わせ、クロックゲーティング、DSP などの各種のハードブロック、PCI Express 用統合エンドポイントブロック、統合されたメモリコントローラー、AES、プログラマブルな I/O スキューレートおよび駆動能力、システムレベルの電力管理、電圧スケールリングなどのアーキテクチャの強化により、さらなる省電力化を実現します。

革新的な電力管理

Spartan-3 FPGA と同様に、Spartan-6 FPGA は、サスペンド、ハイバネート、クロックゲーティングなどのシステムレベルの電力管理機能を備えています。Spartan-6 FPGA の新機能としてマルチピンウェークアップモードが導入され、設計者は従来よりもはるかに細かく消費電力を制御できます。この機能により、設計者は最大 8 本のピンを柔軟に使用して、(コンフィギュレーションとスタートを維持する) サスペンドモードからのウェークアップまたはサスペンドの終了を制御できます。サスペンドモードでは、外部からのシステム要求に応答するため高速ウェークアップ機能を使用できます。これらの機能を利用することで、スタティック消費電力は平均で最大 30% 削減されます。スタティック消費電力の削減は、バッテリー電源を用いる民生品アプリケーションなどの消費電力が重視されるアプリケーションでは動的に制御されるシャットダウンやウェークアップをうまく利用できるという点で重要です。

図 7 に、同じクラスの Spartan-6 FPGA と Cyclone IV GX デバイスの消費電力の比較を示します。図に示すように、これはロジック、DSP、ブロック RAM の使用率の高いデバイスの例です。この例では、周波数が高くなるほど、総消費電力の差 (最大 25%) は大きくなります。

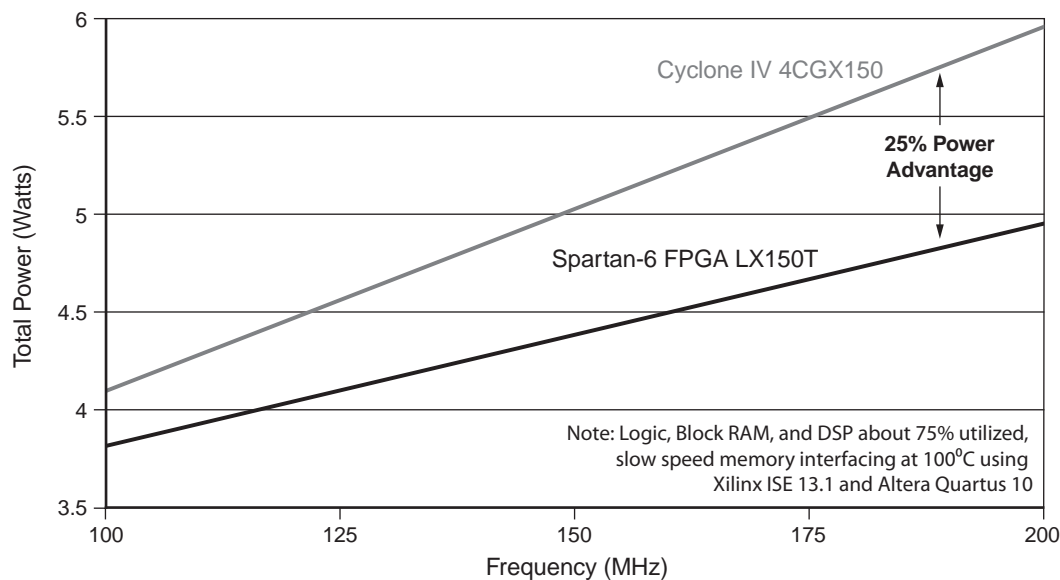


図 7 : 総消費電力の比較

クロックゲーティングと電圧スケーリングでさらなる消費電力の削減

さらなる省電力化のために、Spartan-6 FPGA では細粒度クロックゲーティングが可能です。クロックゲーティングは、機能性と性能を維持しながら不要なクロックアクティビティを停止し、ロジックが使用されていないときはローカルスライスのクロックドライバまたはブロックRAMを動的にオフに（すなわち、ゲーティング）します。これにより、ダイナミック消費電力をさらに最大30%削減できます。

バッテリー駆動システムを設計する場合、消費電力をできる限り低く抑える必要があります。すべてのSpartan-6 LX FPGAで、コア電圧を1.2Vから1.0Vに低下させた低消費電力の-1Lスピードグレードが入手可能で、コアの消費電力をさらに30～40%削減できます。

Spartan-6 FPGAの電力管理の詳細は、『40nm および 45nm における消費電力』(WP298)を参照してください。

デザインキットによるデザインの迅速な差別化

各種デザインキットを利用することで、すべてのアプリケーションをゼロから開発する必要がなくなり、開発サイクルの初期段階からイノベーションと製品の差別化に集中できるためデザインの進捗に弾みがつきます。

ハードウェア、ソフトウェア、IPコア、ターゲットリファレンスデザインが統合されたデザインキットのプラットフォームは、既存の評価ボードとサンプルデザインのパーツの総和をはるかに超える生産性の向上をもたらします。ザイリンクスおよびパートナーは、完全なデザインキットを提供しています。詳細は、表4を参照してください。

表4: 利用可能なデザインキット

ロジック評価キット
Atlys 社 Spartan-6 FPGA 開発キット
Spartan-6 FPGA SP605 評価キット
Spartan-6 FPGA SP601 評価キット
Avnet 社 Spartan-6 LX9 マイクロボード
コネクティビティキット
Spartan-6 FPGA コネクティビティキット
エンベデッドキット
Spartan-6 FPGA エンベデッドキット
マーケット特化のキット
Spartan-6 FPGA ブロードキャスト コネクティビティキット
Spartan-6 FPGA 民生用ビデオキット
Spartan-6 FPGA 産業用イーサネットキット
Spartan-6 FPGA 産業用ビデオプロセッシングキット
トランシーバー特性評価キット
Spartan-6 FPGA SP623 特性評価キット

競合FPGAファミリでは、このような包括的なソリューションは提供されていません。Altera社のCyclone IVは、現在のところ少数の開発キットしか提供していません。利用可能なキットのリストは、<http://japan.xilinx.com/products/boards-and-kits/device-family/nav-spartan-6.html>を参照してください。

費用対効果に優れたコンフィギュレーション メモリ

プロセッサにプログラム命令用のストレージが必要であるように、プログラマブル デバイスには通常、デバイス コンフィギュレーション用のストレージが必要です。つまり、システム設計者は、コンフィギュレーション メモリなどを重要なコンポーネントとして考慮に入れる必要があります。

現在利用可能なプログラマブル ソリューションの一部では、不揮発性メモリ (NVM) がデバイスに統合されていますが、これらのメモリは通常は古いプロセス テクノロジーに基づいて設計されています。つまり、これらのメモリは一般に、今日の機器メーカーの多くが必要とする信号処理性能、高いクロック周波数、ギガビット単位のトランシーバー レートに対応できません。さらに、プロトコルスタックなどの多くのアプリケーションのストレージ要件は、これらの統合された NVM の容量を超えています。

その他プログラマブル ソリューションでは独自のコンフィギュレーション デバイスしかサポートされないため、システム設計者は通常、非常に高価な専用のコンフィギュレーション メモリを使用しなければなりません。

Spartan-6 FPGA は広く普及している市販のフラッシュ インターフェイスをサポートするため、一般に使用されている低コストのコンフィギュレーション デバイスを選択できます。また、外部プロセッサを介したリモート コンフィギュレーション オプションも多数サポートしており、システム全体で共有される中心部の NVM を活用できます。

堅牢なセキュリティ

低コストのセキュリティをリードする Spartan-6 FPGA は、クローニングやオーバービルドからデバイスを保護する、定評ある Device DNA を提供します。Spartan-6 FPGA には、ハード リードバック無効化回路と内部コンフィギュレーション クリア (IPROG) 機能が搭載されています。また高集積デバイスでは、従来 Virtex デバイスでのみ利用可能だった高度な 256 ビット AES をサポートします。ザイリンクスの高度な FPGA セキュリティの詳細は、『デザインの安全性の確保』(WP365) を参照してください。

代替製品との比較

Spartan-6 FPGA の統合ブロックは、競合製品よりも優れた効率性、使いやすさ、総消費電力、低コスト、高度な接続機能およびメモリ機能を提供します。45nm Spartan-6 FPGA ファミリの豊富な I/O と安定したクロッキングにより、低コスト FPGA 市場における優位性がさらに強化されます。表 5 に、Spartan-6 FPGA と Altera 社の Cyclone IV GX FPGA の比較を示します。

表 5 : Spartan-6 FPGA と Cyclone IV GX の機能の比較

ザイリンクス	Altera 社
Spartan-6 FPGA	Cyclone IV
低コスト、低消費電力の 45nm プロセス	60nm プロセス
効率的な 6 入力 LUT アーキテクチャ	4 入力 LUT
専用 PLL 搭載 3.2Gb/s トランシーバー	3.125Gb/s
1Gb/s を超える LVDS 性能	840Mb/s
統合された DDR3-800 メモリ コントローラー	DDR2-400
高度な電力管理	なし
統合 DSP ブロック	乗算器のみ
安定したクロック マネージメント	なし
堅牢なセキュリティ	なし
包括的なデザイン キット	なし

Spartan-6 ファミリーは、図 8 に示すザイリンクスのローエンド デバイス ポートフォリオの基盤となる製品ファミリーです。Spartan-6 FPGA は、コスト重視アプリケーションに最適な、豊富な I/O を備えたソリューションを提供します。ザイリンクスの包括的なローエンド ポートフォリオは、<http://japan.xilinx.com/products/silicon-devices/low-end-portfolio.html> を参照してください。

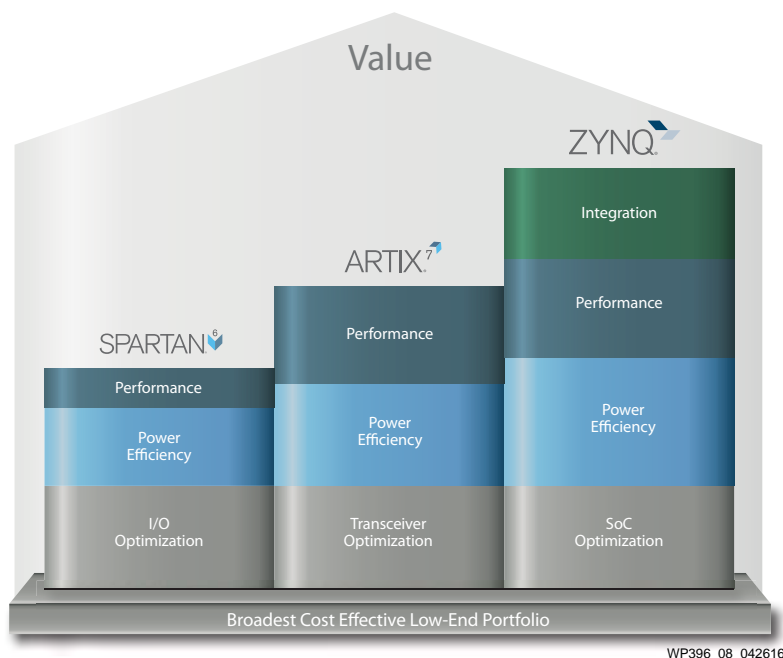


図 8 : ザイリンクスのローエンド ポートフォリオの価値

まとめ

ザイリンクスは、設計者が直面している問題をよく理解した上で、低コストの代替 FPGA ファミリーの性能不足を解消する、低コスト、低消費電力の Spartan-6 ファミリーを提供しています。Spartan-6 FPGA は、優れた電力効率および生産性と性能の向上を実現する、ザイリンクスの ISE[®] および無償の ISE WebPACK[™] ツールスイートによってサポートされています。

Spartan-6 FPGA のデバイスごとの機能の概要は、『Spartan-6 ファミリー概要』(DS160) を参照してください。Spartan-6 ファミリーのアプリケーションの詳細は、<http://japan.xilinx.com/products/silicon-devices/fpga/spartan-6/> を参照してください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2016年6月1日	1.1	現在の市場および動向を反映したタイトルを含む更新を含む、ホワイトペーパー全体の更新。図 6 を更新。
2011年5月19日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社(本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ)に開示される情報(以下「本情報」といいます)は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1)本情報は「現状有姿」、およびすべて受領者の責任で(with all faults)という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず(商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません)、すべての保証および条件を負わない(否認する)ものとします。また、(2)ザイリンクスは、本情報(貴殿または貴社による本情報の使用を含む)に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない(契約上、不法行為上(過失の場合を含む)、その他のいかなる責任の法理によるかを問わない)ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害(第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます)が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<http://japan.xilinx.com/legal.htm#tos> で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

ザイリンクスの製品は、フェイルセーフとして設計されたり意図されてはならず、また、フェイルセーフの動作を要求するアプリケーション(具体的には、(I)エアバッグの展開、(II)車のコントロール(フェイルセーフまたは余剰性の機能(余剰性を実行するためのザイリンクスの装置にソフトウェアを使用することは含まれません)および操作者がミスをした際の警告信号がある場合を除きます)、(III)死亡や身体傷害を導く使用、に関するアプリケーション)を使用するために設計されたり意図されたりしていません。顧客は、そのようなアプリケーションにザイリンクスの製品を使用する場合のリスクと責任を単独で負います。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com まで、または各ページの右下にある[フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。