



WP405 (v1.0) 2012 年 3 月 6 日

7 シリーズ FPGA が備える 基本ロジック ブロックの利点

著者 : Nick Mehta

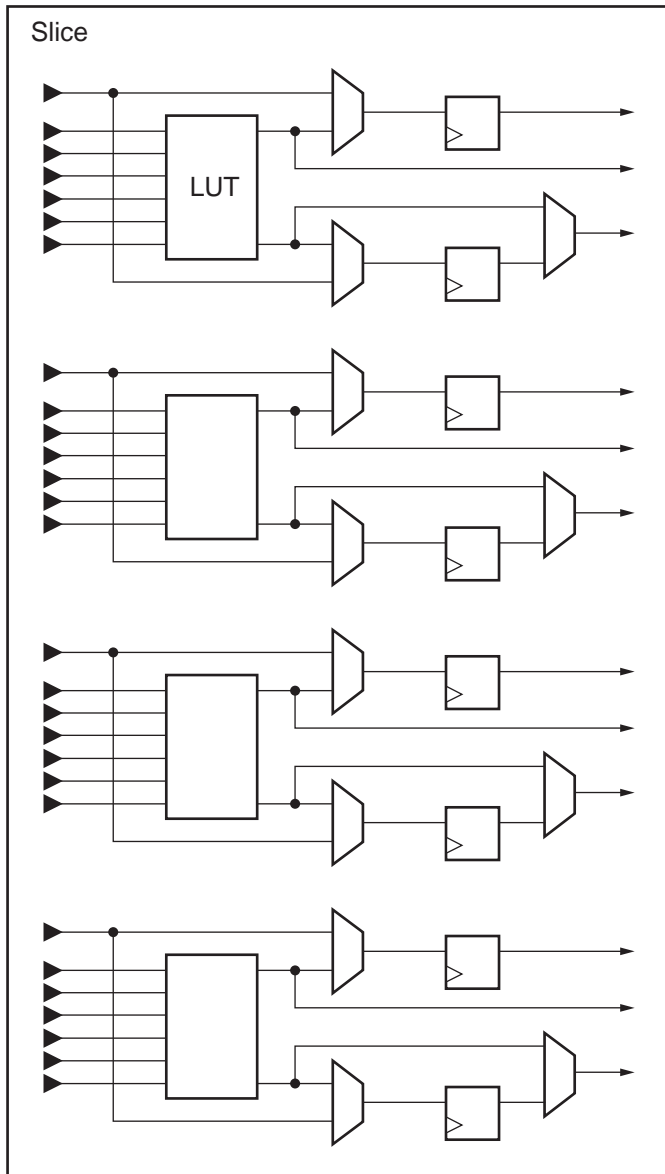
コンフィギャラブル ロジック タイルは、あらゆるプログラマブル デジタル電子システムの基本を成す構築ブロックです。ザイリンクス **FPGA** も例外ではなく、1980年代の発明以来、ルックアップ テーブルおよびレジスタという形でのコンフィギャラブル ロジックは、すべての市場およびアプリケーションにおけるデジタル電子システムの基本構成要素です。

このホワイト ペーパーでは、**28nm** プロセスを採用した 7 シリーズ **FPGA** のコンフィギャラブル ロジック ブロックの特長について、これまでのザイリンクス **FPGA** からの改善点に焦点を当てながら説明し、それらがデジタル システムの設計者にどのような利点をもたらすかについて解説します。

汎用性に優れたロジック構造では、1つのリソース内に論理機能およびメモリ機能のレイを広く備えることができ、優れた性能、消費電力、そしてコストを高効率で実現します。

概要

コンフィギュラブル ロジック ブロック (CLB) は、ザイリンクス FPGA のロジック構造の基本です。CLB の中には、ルックアップ テーブル (LUT)、キャリー チェーン、およびレジスタを含むスライスがあります。これらのスライスは、論理機能、演算機能、メモリ機能を実行するよう構成したり、シフトレジスタとして使用するよう構成できます。長年にわたって、CLB 内のリソース量は最適なコストで最善の機能を提供するよう改善されてきました。2000 年頃に登場した最初の Virtex® および Spartan®-II のアーキテクチャでは、CLB は 2 つのスライスで構成され、各スライスには 4 入力 LUT とレジスタが 2 個ずつ含まれていました。以来、スライスに改善が重ねられ、7 シリーズ FPGA では図 1 に示すように、4 つの 6 入力 LUT (LUT6) および 8 つのレジスタで構成されるようになりました。



WP405_01_100711

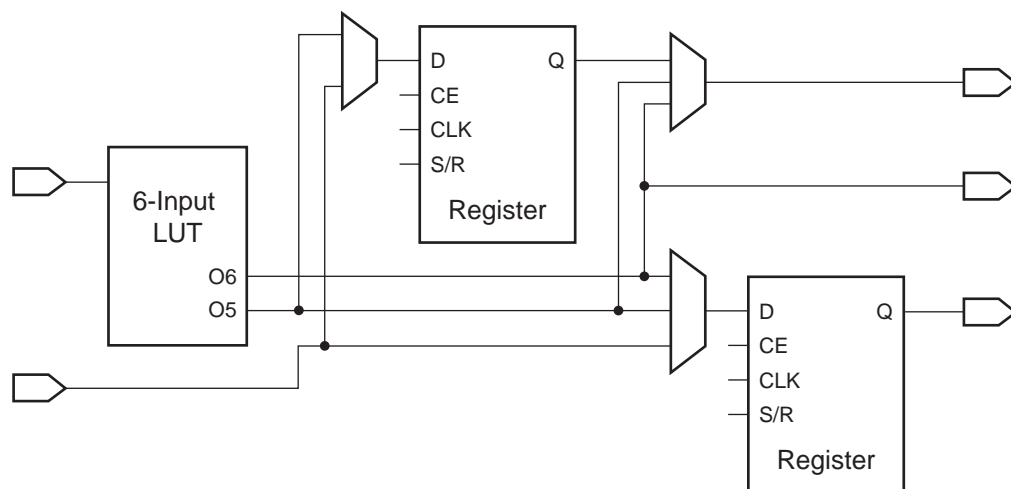
図 1： 7 シリーズ FPGA のスライス アーキテクチャ

7 シリーズ FPGA のスライス アーキテクチャ

すべての7シリーズFPGAファミリー(Artix™-7、Kintex™-7、Virtex-7デバイス)は同じロジックアーキテクチャを使用し、CLBは2つのスライスで構成されます。7シリーズFPGAのアーキテクチャのスライスには2つのタイプがあります。一方はLUTに論理機能、シフトレジスタ機能、およびメモリ機能を実装可能でSLICEMと呼ばれ、もう一方は論理機能のみを実装するものでSLICELと呼ばれます。フル機能のSLICEMと機能を限定したSLICELを組み合わせることにより、低コストと低消費電力を維持しながら、最適な機能および性能の実現に成功しました。7シリーズFPGAのスライスアーキテクチャの大部分は、Virtex-6およびSpartan-6ファミリーで導入されたアーキテクチャをベースにしています。Virtex-6、Spartan-6、および7シリーズFPGAのスライスアーキテクチャが類似していることによって、既存デザインや既存IPの7シリーズFPGAへの移行が容易で、設計者にとっては最小限のデザイン変更で、最新機能と最高性能を備え、最も低い消費電力を実現するデバイスヘドデザインを移行できます。さらに、7シリーズFPGAの全アーキテクチャは最適化されているだけでなく、スケラブルであるため、ある7シリーズFPGAファミリーをターゲットとして設計したデザインを簡単に別の7シリーズFPGAファミリーに移行できます。

1つのCLBにはSLICELが2つ、またはSLICELとSLICEMが各1つ含まれます。7シリーズFPGAは、カラムベースのASMBL™アーキテクチャで構成されており、これによって必要なリソースの配置も容易です。たとえば、メモリ機能を実装可能なスライスはDSPスライスカラム近くに最も多く置かれているため、係数を必要な位置の近くに保存できます。ザイリンクスのデザインツールは、リソースの相対配置を行う完全な機能を備えているだけでなく、ユーザーが指定した制約に従いながら、最も効率的な形でスマートかつ自動的にデザインをリソースにマップします。

図2に、LUTおよびレジスタが互いにどのように位置しているかを示しています。この図では、LUT 1つとそれに関係する2つのレジスタのみを記載し、キャリアチェーンは省略しています。1つのスライス全体には、4つのLUTと8つのレジスタが含まれます。



WP405_02_011912

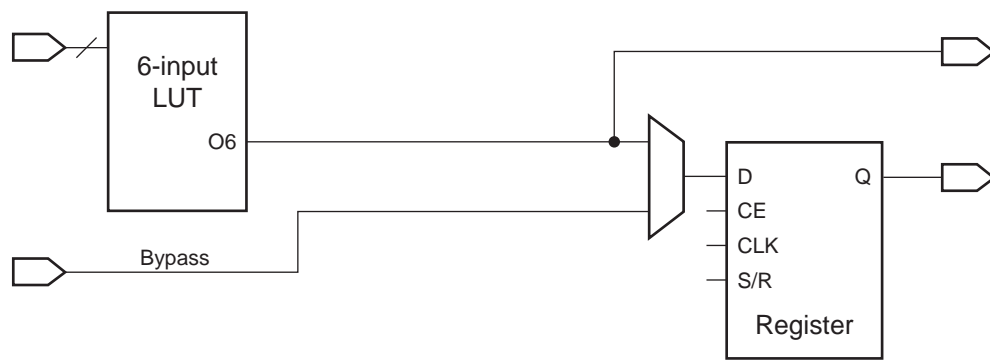
図2： スライス内の6入力LUTおよび2つのレジスタ

6入力LUTは、6入力信号の演算結果となる任意のブール関数をインプリメント可能ですが、入力を共有している限り、2つの5入力LUTとしても使用できます。SLICEMのLUTはさらに、64ビットの分散RAMあるいは最大32ビットのシフトレジスタロジック(SRL)機能として構成可能です。詳細は、『7シリーズFPGAコンフィギュラブルロジックブロックユーザーガイド』(UG474)を参照してください。

スライス リソースの一般的な使用法

汎用性はプログラマブル ロジックの基本です。設計者は、目的によって FPGA のスライス リソースをさまざまな方法で使用できます。

LUT はレジスタから独立して使用可能なアーキテクチャになっています。スライスへのバイパス (AX/BX/CX/DX) 入力を使用すると、LUT を通らずにレジスタの D 入力にアクセスでき、複数の信号の組み合わせがスライスの出力へつながります (図 3)。

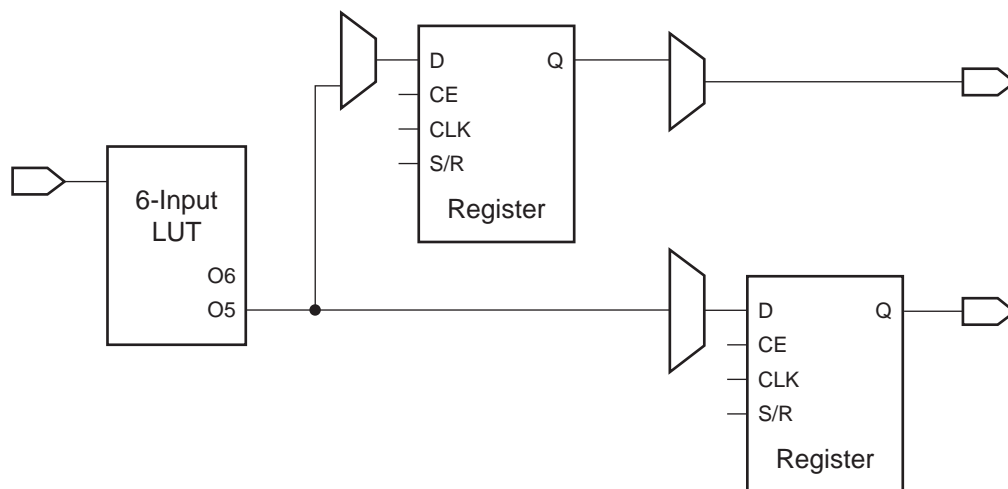


WP405_03_011912

図 3: バイパス入力を使用したスライス レジスタへのアクセス

バイパス入力はレジスタを直接駆動するだけでなく、キャリー チェーンの駆動にも使用できます。

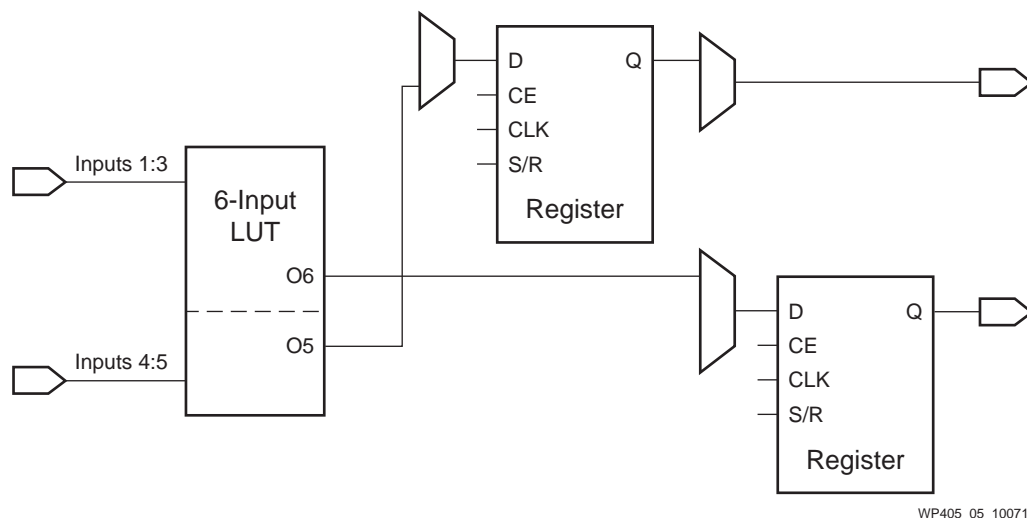
また、フリップフロップ マルチプレクサーを使用すると、LUT の出力を関連するレジスタの D 入力に直接接続できます (図 4)。LUT の O5 出力はレジスタのどちらかに接続できますが (図 4)、O6 出力は一方にのみ接続可能です (図 2)。



WP405_04_100711

図 4: 両レジスタの使用

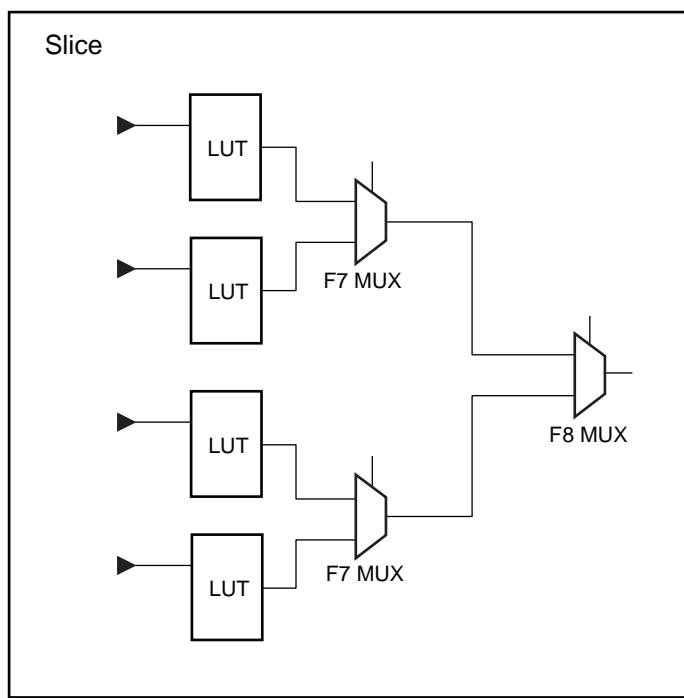
入力を共有しない論理機能も 1 つの LUT で作成できます。LUT の A6 入力を High にしてデュアル LUT モードを有効にすると、その他の 5 入力は独立した論理機能に使用できるようになります。たとえば、1 個の LUT 内に入力を共有しない 2 入力機能および 3 入力機能をパック可能です (図 5)。論理出力をレジスタに通す場合、そのレジスタには同じ制御信号を使用する必要があります。



WP405_05_100711

図 5： 2 つの独立した論理機能

多入力マルチプレクサーの F7 および F8 は、バイパス入力を使用して 2 つの LUT6 出力を切り替え、CLB の 1 レベルで 7 入力以上の機能の実装を可能にします。

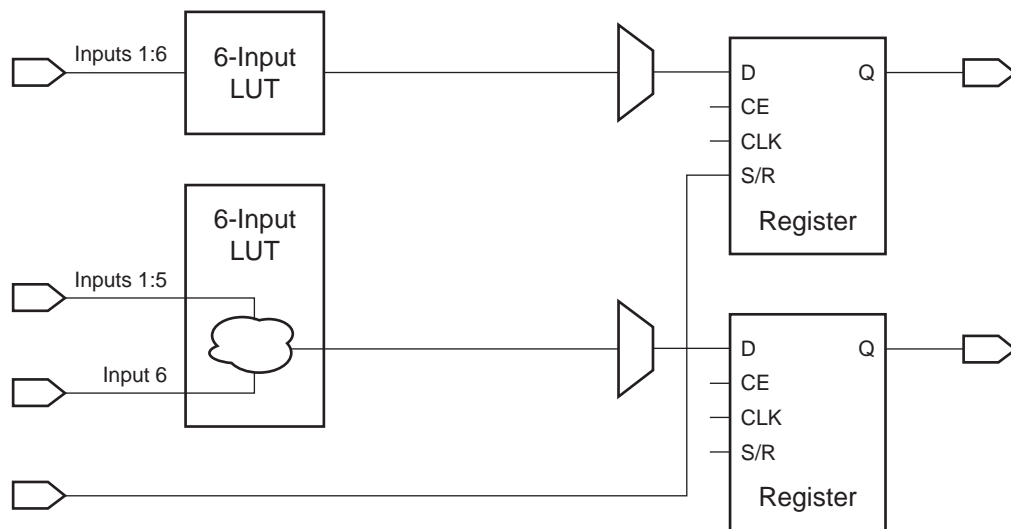


WP405_06_013012

図 6： F7 および F8 マルチプレクサーを使用した多入力論理機能

制御信号

7 シリーズ FPGA のすべてのフリップフロップは、一般に制御信号セットまたは制御セットと呼ばれる、セット/リセット、クロック、およびクロック イネーブル信号で制御されます。すべてのスライスは異なる制御セットを使用可能ですが、スライス内のあるフリップフロップが制御信号、たとえば同期リセットを使用する場合、その他のフリップフロップは同じ信号をリセットとして使用するか、リセットを使わないようにする必要があります。使用可能な LUT 入力があれば、制御信号をデータパス (LUT) に隠し、2 つ以上のリセット信号を同一スライス内で使用することができます (図 7)。



WP405_07_021912

図 7: 1 つのリセットを LUT に含ませることで同一で 2 つのリセットを使用

制御セットの細かさによってデザインに制限が生じるのを回避するため、ザイリンクスは、ファンアウトの小さな制御信号をデザインで多用しないことを推奨しています。合成ツールでは、小ファンアウトのクロック イネーブル信号を多数使用しないように自動制御されて回路が生成されます。ザイリンクスの XST 合成ツールでは「-reduce_control_sets」というオプションを使用して、この機能を制御できます。『7 シリーズ FPGA マイグレーション メソッドロジガイド』(UG429) では、制御セットの使用方法についてさらに詳しく説明されています。

すべてのレジスタは、初期値 (INIT) を用いて、デバイスの電源投入時に既知の値に初期化できます。電源投入時にのみ初期化が必要な場合は、この方法で初期化すると、すべてのフリップフロップにセットおよびリセット信号を使用する必要がなくなります。この場合、フリップフロップを使用する代わりに、シフトレジスタを利用可能な SRL ロジックに入れることができます。

さらに、レジスタのクロック イネーブル ポートは、ユーザーが指定したイネーブル機能を実行するだけでなく、高度なクロックゲーティングによる最適化にも使用されます。クロック イネーブルを使用することによって、ダイナミック消費電力を最大で 30% 削減可能です。詳細は、『高度なクロックゲーティングによるスイッチング電力の削減』(WP370) を参照してください。

追加されたリソースの利点

ザイリンクスの CLB アーキテクチャの最近の変更点として、スライスに 2 番目のレジスタが追加されました。Virtex-6 および Spartan-6 FPGA 以前のハイエンドなザイリンクス FPGA のアーキテクチャの場合、CLB は 4 つの 6 入力 LUT および 4 つのレジスタで構成されていました。Virtex-6 および Spartan-6 FPGA で初めて追加され、7 シリーズ FPGA の CLB アーキテクチャでも継承されている 2 番目のレジスタによって大きな利点をもたらされます。ただし、このレジスタは、デバイス全体のコストに与える影響が最小限になるようにインプリメントする必要があります。

図 8 に示す例では、LUT を 2 つの 5 入力 LUT として構成し、同じスライス内で両 LUT からの出力にレジスタを介しています。これにより、ロジックからレジスタのタイミングが一定になり、すべての論理機能がレジスタを介することが可能になるため、パイプライン化によって性能が向上します。

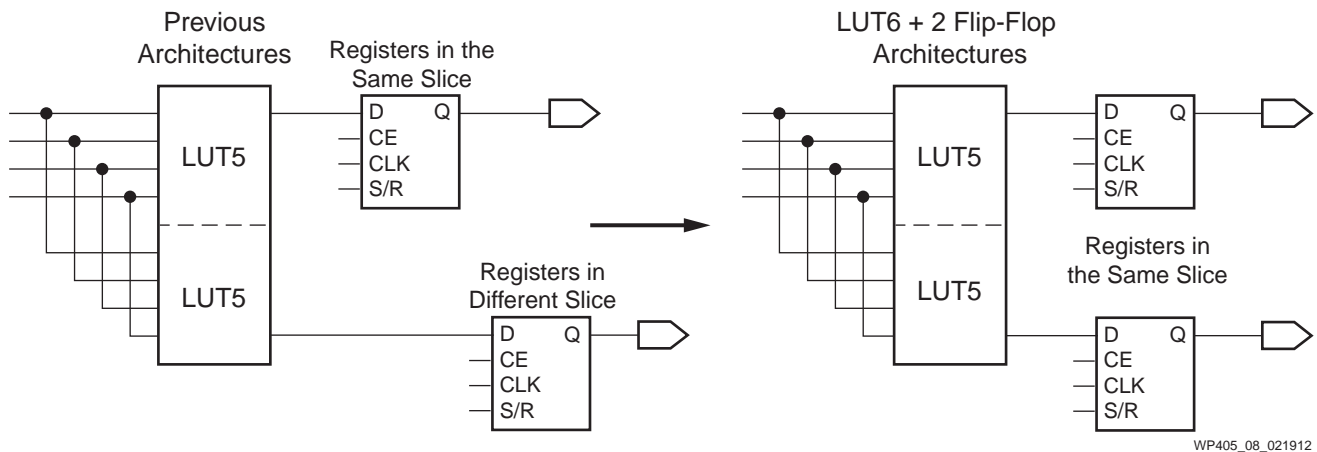


図 8: レジスタを使用する 2 つの 5 入力 LUT

さらに、1 つのスライスで分散 RAM からレジスタ付きの 32 x 8 RAM をインプリメントする場合、8 つのレジスタすべてが同じスライスにあることになります。このため、デバイス内のほかの場所にあるレジスタを 4 つ使用する必要がなくなるため、メモリからレジスタへのパスが高速でタイミングが一定になります (図 9)。

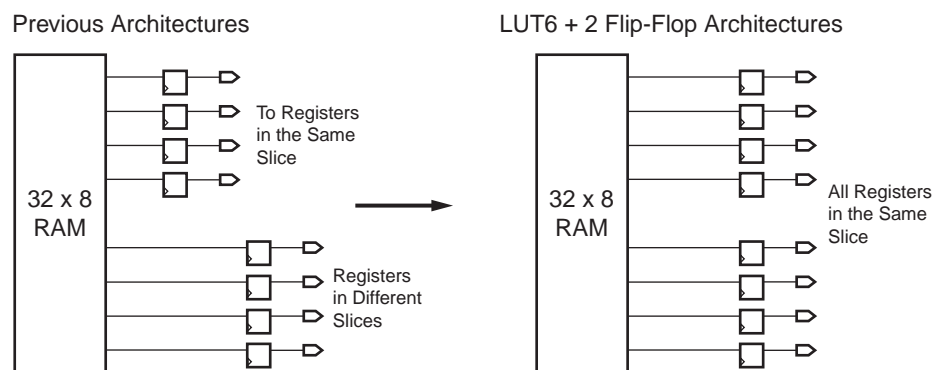


図 9: レジスタ付きの 32 x 8 RAM

1 つのスライスにある 8 つのレジスタすべてを使用することによって、性能が大幅に向上することに加え、隣接するスライスのレジスタ リソースを使用しなくて済むという利点も生まれます。各 LUT の近くに 2 番目のレジスタがあることは、制御セットを共有するレジスタをより多く 1 つのスライスにパックできることを意味します。つまり、以前は複数のスライスにわたっていたリソースが別の用途に使用可能になります。サイズおよび複雑さの異なる複数のデザインを解析したところ、7 シリーズ FPGA デ

ザインでは、レジスタとして使用されるスライスが平均して 15% 減少し、これらのリソースが別機能の構築に使用可能になるという結果が示されました。各 LUT に対する 2 番目のレジスタに同一の制御セットを使用し、このレジスタがラッチとして構成されないようにすれば、FPGA アーキテクチャ内において非常に高いコスト効率での活用が可能になります。ロジック アーキテクチャを知っていることは、デザインのコーディングに役立つ一方で、ザイリンクスのデザイン ツールは異なるファミリのアーキテクチャ レイアウト情報を持っており、各アーキテクチャが備えるリソースを自動的に効率的に使用します。

まとめ

7 シリーズ FPGA のコンフィギャラブル ロジック ブロックは、Virtex-6 FPGA および Spartan-6 FPGA の CLB をさらに改善したものであるため、これらのデバイスをターゲットとしたデザインは、7 シリーズ FPGA へ簡単に移行できます。4 つの 6 入力 LUT および 8 つのレジスタを含む、柔軟性に優れたスライス ロジック構造を生かし、組み合わせ論理機能、演算機能、シフト レジスタ機能、メモリ機能から多数の異なる機能を実行させることができます。デバイス全体のコストにはほぼ影響を与えずに、2 番目の低コスト レジスタが追加され、4 つの LUT に 8 つのレジスタを備えるようになったことは、以前のアーキテクチャと比較して、性能向上とリソース削減という両方の利点をもたらします。

ザイリンクス 7 シリーズ FPGA の最新情報は、ザイリンクス ウェブサイトの 7 シリーズ FPGA 資料ページをご覧ください。

http://japan.xilinx.com/support/documentation/7_series.htm

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2012年3月6日	1.0	初版リリース

Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

本資料は英語版 (v1.0) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。