



WP428 (v1.0.1) 2017 年 12 月 7 日

低コスト FPGA トランシーバーの シグナル インテグリティ シミュレーションと オンチップ評価

著者： Harry Fu、Romi Mayder

トランシーバー データ レートの上昇はこれまで、システム設計者にとってデザインのクロージャを実現する上で課題となってきました。シグナル インテグリティの問題がボトルネックとなり、タイム トゥ マーケットの目標を実現できないことがあるため、生産性を高める機能を選択することは、正しい FPGA やトランシーバー サポートを選択することと同様に重要です。適切な信号モデリング、シミュレーション、オンボード解析、および調整テクニックには、正しい設計手法と最新のツール セットが必要です。

Artix®-7 FPGA が備えるザイリンクスの7シリーズ GTP トランシーバーは、最大 6.6Gb/s で動作し、コスト重視の量産アプリケーションで高い性能を実現するように設計されています。クラス最高のライン レートを持つ7シリーズ GTP トランシーバーは、適切なシグナル インテグリティとシステム検証を確実に、デザインの生産性を高める機能を備えています。このホワイトペーパーでは、IBIS-AMI シミュレーションと、業界初の低コスト FPGA 向けオンチップ スコープである 2D アイ スキャンを活用して、低いビット エラー率でシステム マージンを解析する方法を説明します。

高速シリアルリンク マージン解析の概要

高速シリアルインターフェイスのデータレートは、ここ10年で一貫して上昇し続けています。データレートが高くなることで、最新の高速アプリケーションの多くでも求められる帯域幅を十分に満たすことができず、同時にシステムデザインと検証における課題が増加します。

データレートが高くなると、チャンネル減衰は増加しますが、ビットサンプリング時間は減少します。いずれの場合も、受信したシリアルデータストリームからのデータリカバリに悪影響を与えます。最新システムで要求されるビットエラー率 (BER) は通常 10^{-12} 以下であるため、チャンネル補正がより重要になります。6.6Gb/s シリアルリンクの場合、チャンネル減衰を緩和するために、トランスミッター (TX) エンファシスやレシーバー (RX) リニアイコライゼーションなどのイコライゼーション技法が一般的に用いられてきました。一方で、イコライゼーションオプションを正しく選択して検証し、リンクマージンを解析することも同じように重要です。

一般的なシステム設計プロセスは、トランシーバーの選択とリンクトレースバジェットの見積もりから始まります。理論的なリンクマージンを使用して、特定のトランシーバーおよび予測されるPCBトレース、コネクタ、ケーブルなどでシリアルリンクが動作することを確認します。これまでの一般的なソリューションはHSPICEシミュレーションです。HSPICEシミュレーションの精度は理想的ですが、最新のトランシーバーでは、回路の複雑さによりシミュレーション時間が現実的ではなくなってきています。

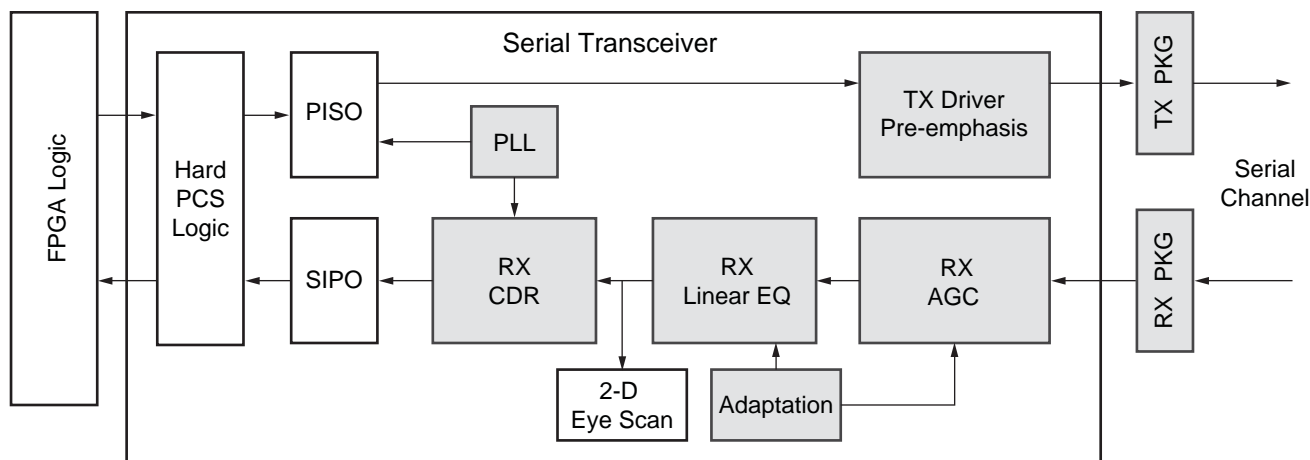
PCBボードデザインが完成し、物理リンクが準備できると、テスト済みのトランシーバーだけでなく、トランシーバーチャンネルに内在するばらつきに対してもシステムが動作することを確認するために、リンクマージンの検証が必要になります。一般的な検証ソリューションでは、長いデータストリームを使用してBERをモニターします。ただし、低BERのために数百 (あるいは数千) ものイコライゼーションソリューションを試すことは非常に時間がかかります。

Artix-7 FPGA の7シリーズGTPトランシーバーは、チャンネル減衰を緩和するためのプログラマブルなTXエンファシスおよびRX線形イコライゼーションをサポートします。信号品質の解析用に、IBIS-AMIシミュレーションモデルキットおよびアイスキャン (オンチップ) が用意されています。このホワイトペーパーでは、設計のさまざまな段階でこれらのツールを活用する方法について説明します。

初期段階でのリンクマージンの見積もり

初期段階でのリンクマージン解析における業界のトレンドとして、HSPICEの代わってIBIS Algorithmic Modeling Interface (IBIS-AMI) が使用されるようになってきました。IBIS Advanced Technology Modeling (IBIS-ATM) ワーキンググループにより開発されたIBIS-AMIは、マルチギガビットシリアルリンクの高速かつ正確なシミュレーションを可能にする、トランシーバーのモデリング規格です。IBIS Advanced Technology Modeling Groupのメンバーであるザイリンクスは、7シリーズの各トランシーバー用にIBIS-AMIモデルキットを提供しています。7シリーズGTPトランシーバーのIBIS-AMIモデルキットはその1つです。

図1に、ザイリンクス Artix-7 FPGA GTP トランシーバーで高品質のシグナルインテグリティの実現を可能にしている専用ブロックを示します。すべての網掛けのブロック (PLL、TX プリエンファシス、RX 自動ゲイン制御 (AGC)、RX リニアイコライゼーション (EQ)、RX クロック データリカバリ (CDR)、適応) が、GTP トランシーバーの IBIS-AMI モデルキット内にモデル化されています。TX および RX の汎用パッケージも用意されています。



WP428_01_102912

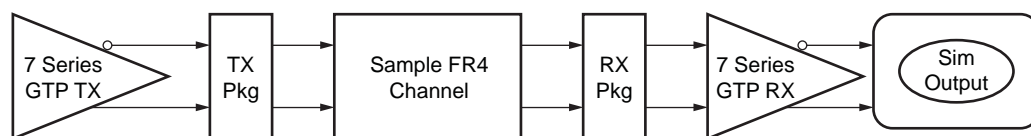
図 1: ザイリンクス 7 シリーズ GTP トランシーバーのシグナル インテグリティ ブロック

7 シリーズ GTP トランシーバーの IBIS-AMI モデルは、IBIS-AMI 5.0 規格に完全準拠しています。これらのモデルは、Agilent Technologies、Cadence Design Systems、Mentor Graphics、および SiSoft の EDA ツールで検証済みです。次の例では、リンク マージン見積もりのシミュレーション ツールとして Sisoft QCD 2012.08 が使用されています。

シミュレーションに基づくリンク マージンの見積もり例

6.25Gb/s シリアル リンク システム設計の初期段階での目標は、7 シリーズ GTP トランシーバーがターゲットのビット エラー率 (BER) である 10^{-15} で 30 インチの FR4 トレースを正常に補正できるかどうかを評価することです。

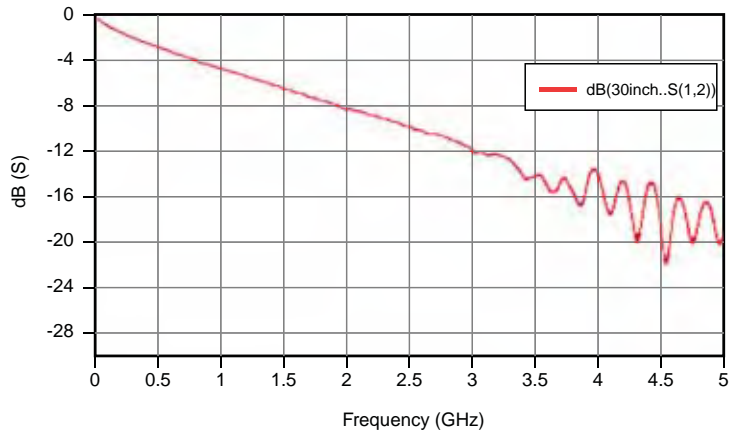
図 2 にこのシミュレーションのセットアップを示します。FR4 トレースの S パラメーター ファイルは、GTP TX に続く TX パッケージおよび RX パッケージの間に配置され、その後 GTP RX が続きます。シミュレーションからイコライゼーション後の出力が測定されます。



WP428_02_102912

図 2: 7 シリーズ GTP トランシーバーのシミュレーション セットアップ例

シミュレーションで物理環境を模倣するために、FR4 トレースのチャネル特性を調べる必要があります。このために、物理トレース ボードから S パラメーター ファイルを抽出します。S パラメーター ファイルに基づく挿入損失を図 3 に示します。ナイキスト周波数 3.125GHz では、合計挿入損失は約 12.0dB です。



WP428_03_102912

図 3: シミュレーションで使用されたサンプル FR4 トレースでの挿入損失

次に、適切なイコライゼーションを TX と RX を設定します。この例では、7 シリーズ GTP RX の自動適応イコライゼーションをオンにし、TX エンファシスをオフにして、レシーバーのイコライゼーションおよびその自動適応をテストします。シミュレーションには TX および RX のジッター特性評価も組み込まれています。100 万ビットの PRBS23 データ ストリームがビット単位モードでシミュレーションされました。

表 1 に、シミュレーション ツールで使用されたパラメーターをリストします。

表 1: シミュレーション パラメーター

ライン レート	6.25Gb/s (160ps/UI)
合計シミュレーション ビット数	100 万
UI あたりのサンプル数	64
データ パターン	PRBS23
TX スイング	850mV
TX エンファシス	オフ
RX EQ 適応	自動
TX/RX ランダム ジッター (RMS)	0.0125UI (2ps)
TX/RX Dj	0.02UI
TX DCD	0.02UI

シミュレーション結果は、イコライゼーション後のアイ ダイアグラムとして表示されます (図 4 参照)。BER = 10^{-15} (外挿) では、アイの高さは約 230mV、アイの幅は約 84ps (0.53UI) です。

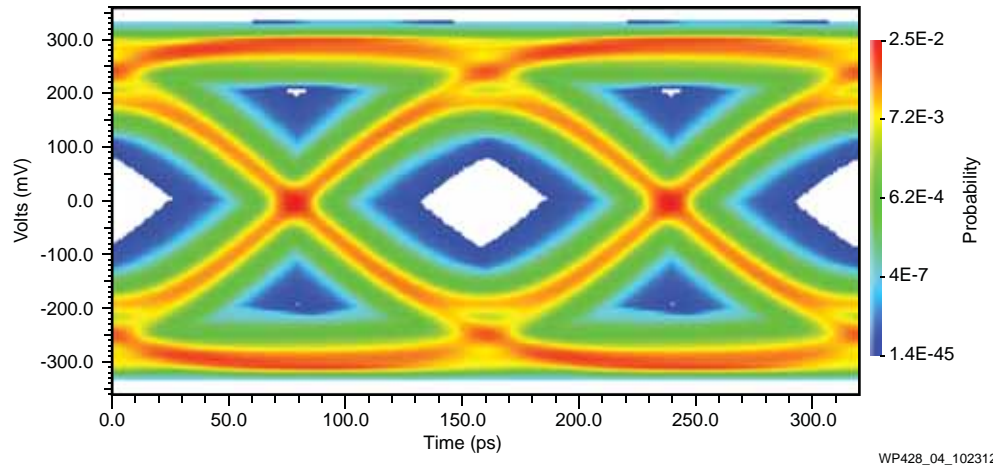


図 4： 7シリーズ GTP トランシーバーの IBIS-AMI シミュレーション結果

7シリーズ GTP トランシーバーでは、BER 性能を確保するために、シミュレーションでイコライゼーション後のアイの高さが 100mV かつアイの幅が 0.35UI である必要があります。アイの高さおよびアイの幅のマーzinは、次のように計算されます。

$$\begin{aligned} \text{高さのマーzin: } & 230/100 - 1 = 130\% \\ \text{幅のマーzin: } & 0.53/0.35 - 1 = 51.43\% \end{aligned}$$

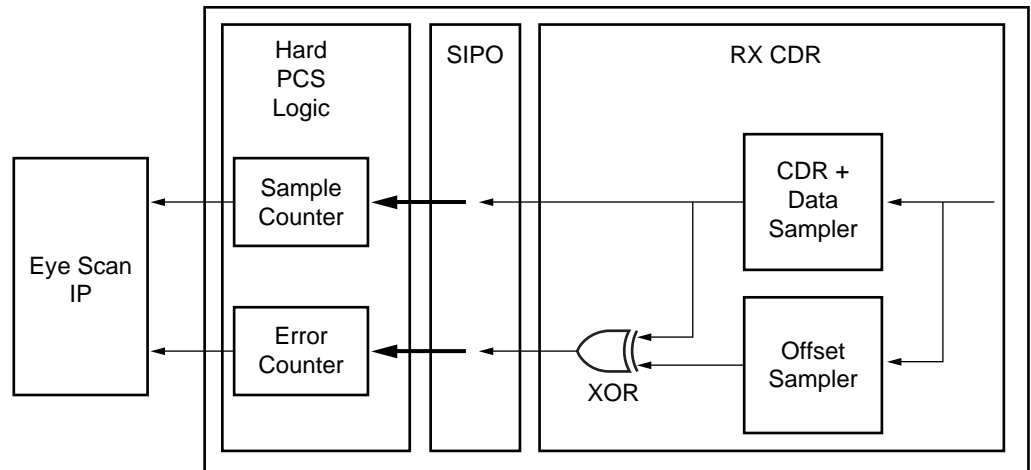
このシミュレーション結果から、7シリーズ GTP トランシーバーと 30 インチ FR4 を使用したリンクは、アイの高さおよびアイの幅の両方の点で、BER = 10^{-15} を達成するための十分なマーzinを示しています。

7シリーズ GTP のオンチップ アイ スキャンによる物理的リンク マージンの解析

IBIS-AMI シミュレーションでは、7シリーズ GTP トランシーバーおよび 30 インチの FR4 を使用する 6.25Gb/s シリアルリンクは、BER = 10^{-15} を十分なマーzinで達成できると評価されました。次のボード検証例では、7シリーズ GTP トランシーバー特性評価ボードと 30 インチ FR4 トレースボードで構成された物理システムを使用して、ChipScope™ Analyzer のアイ スキャン機能と IBERT ツールによりリンク マージンを数値化します。

アイ スキャンの概要

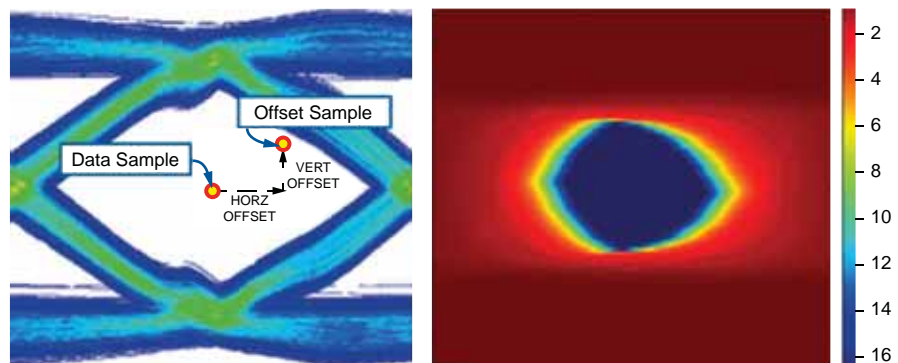
アイ スキャンとは、RX 内のイコライゼーション後の信号品質を可視化するためのオンチップ スコープです。図 5 に示すように、アイ スキャンは CDR データ サンプラーと同時に別個のサンプラーを実行します。新しいサンプラーの水平 (時間) オフセットおよび垂直 (振幅) オフセットが設定可能です。オフセット設定ごとに、指定した数のビットが送信されます。データ サンプルとオフセット サンプルが連続的に比較されます。2つのサンプルが等しくない場合、エラー カウンターがインクリメントします。エラー カウントを送信ビット数で除算することによりビット エラー率が計算されます。



WP428_05_102312

図 5: CDR データ サンプラーとオフセット サンプラーの両方を使用するアイ スキャン

アイ スキャン IP ツールは、アイ全体にわたってオフセットを移動し、各オフセット設定の BER を計算してから、BER とオフセットを統計的に相関付けてアイ ダイアグラムを再作成します。図 6 に、オフセットの動きと、BER レコードに基づいて統計的に再作成されたアイ ダイアグラムを示します。



WP482_06_102912

図 6: アイ スキャン IP によるオフセットの制御と統計的に再作成されたアイ ダイアグラム

垂直オフセットが 0 に固定されている場合、異なる水平オフセットを使用した BER アイ スキャン レコードを利用してリンクのバスタブ曲線を生成できます。

複数の BER のアイの輪郭は、BER が低くなるにつれてまとまります。したがって、低い BER の輪郭を高い BER の輪郭から外挿できます。

アイ スキャンを使用しない場合、シリアルリンクのターゲットとなる低 BER (通常 10^{-12} 未満) の性能を得るには、長いビットストリームテストを実行します。このテスト時間は BER に比例します。たとえば 6Gb/s の場合、生の BER 10^{-12} に達するのに 3 分、 10^{-15} に達するのに 2,780 分、 10^{-17} に達するのに 193 日かかります。

さらに、振幅、ポストエンファシス、およびプリエンファシスの組み合わせの数は容易に数百にもなり、この数と単一のテスト実行時間を掛け合わせる必要があります。レシーバーのイコライゼーションも手動で制御する場合、テスト時間はレシーバーのイコライゼーション設定数により指数関数的に増加します。これは非現実的な長さです。

単一または少数の設定である程度の確度のターゲット BER が達成できるとしても、長いビットストリームでリンク BER をモニターすることにより最適なイコライゼーション設定を確定することは依然として困難です。

さらに、BER モニターではリンク マージンが数値化されないため、トランシーバー チャンネルのばらつきの影響を考慮する確度は低くなります。

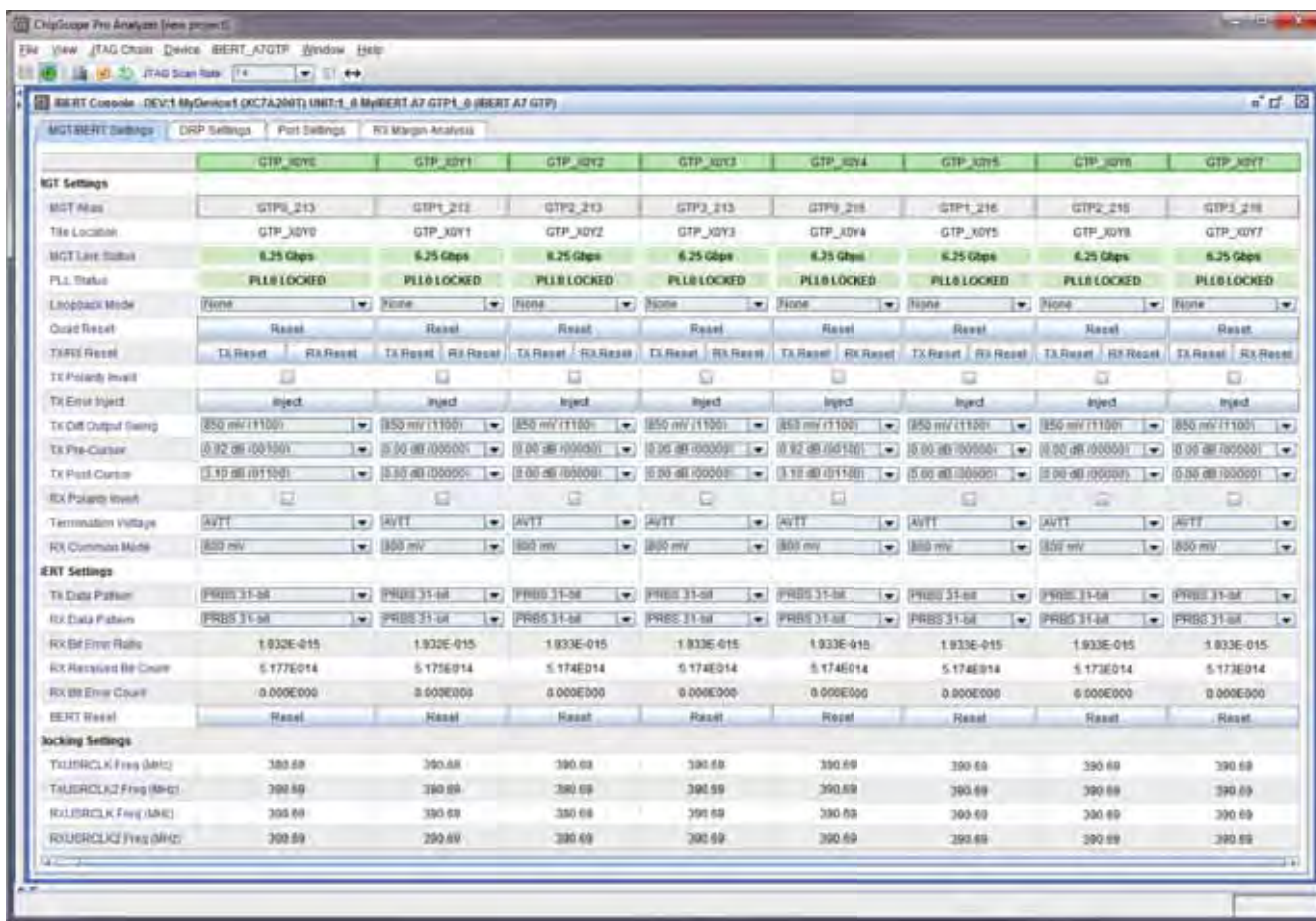
アイ スキャンを使用すれば、これらの考慮事項に対処できます。適切な IP ツールとオンチップ アイ スキャンを併用することで、次の手順によりシステム マージンを解析できます。

1. 比較的高い BER (たとえば 10^{-8}) で、複数のイコライゼーション設定からバスタブ曲線またはアイの輪郭を生成します。この処理は、設定数に応じて数分から数時間かかります。
2. バスタブ曲線またはアイの輪郭が示すマージンを比較して、最適な設定を特定します。
3. 低い BER でのアイの輪郭とアイ マスクで、垂直マージンおよび水平マージンを数値化します。ターゲット BER に達するために必要に応じて外挿法を使用します。
4. 特定された最適な設定を使用して、単一の長いビットストリーム テストを実行することによりシステム パフォーマンスを検証します。

すべての 7 シリーズ トランシーバーには 2D アイ スキャンが備わっています。7 シリーズ GTP トランシーバーは、このような機能が組み込まれた業界初の低コストな量産向け FPGA です。

アイ スキャンが組み込まれた ChipScope Analyzer の IBERT

ザイリンクスでは、ザイリンクス トランシーバーの検証用に ChipScope Analyzer の IBERT という独自のツールを用意しています。シリアル通信リンクの設計者はこのツールを使用して、トランシーバー設定の変更、ループバック モードの設定、テスト パターンの選択、ライン レートやビット エラー率などのパラメーターを指定したシリアルリンクのステータスをモニターすることにより、選択したトランシーバーを動的に制御できます。図 7 に、これらのパラメーターがすべて表示された IBERT のメイン ウィンドウを示します。



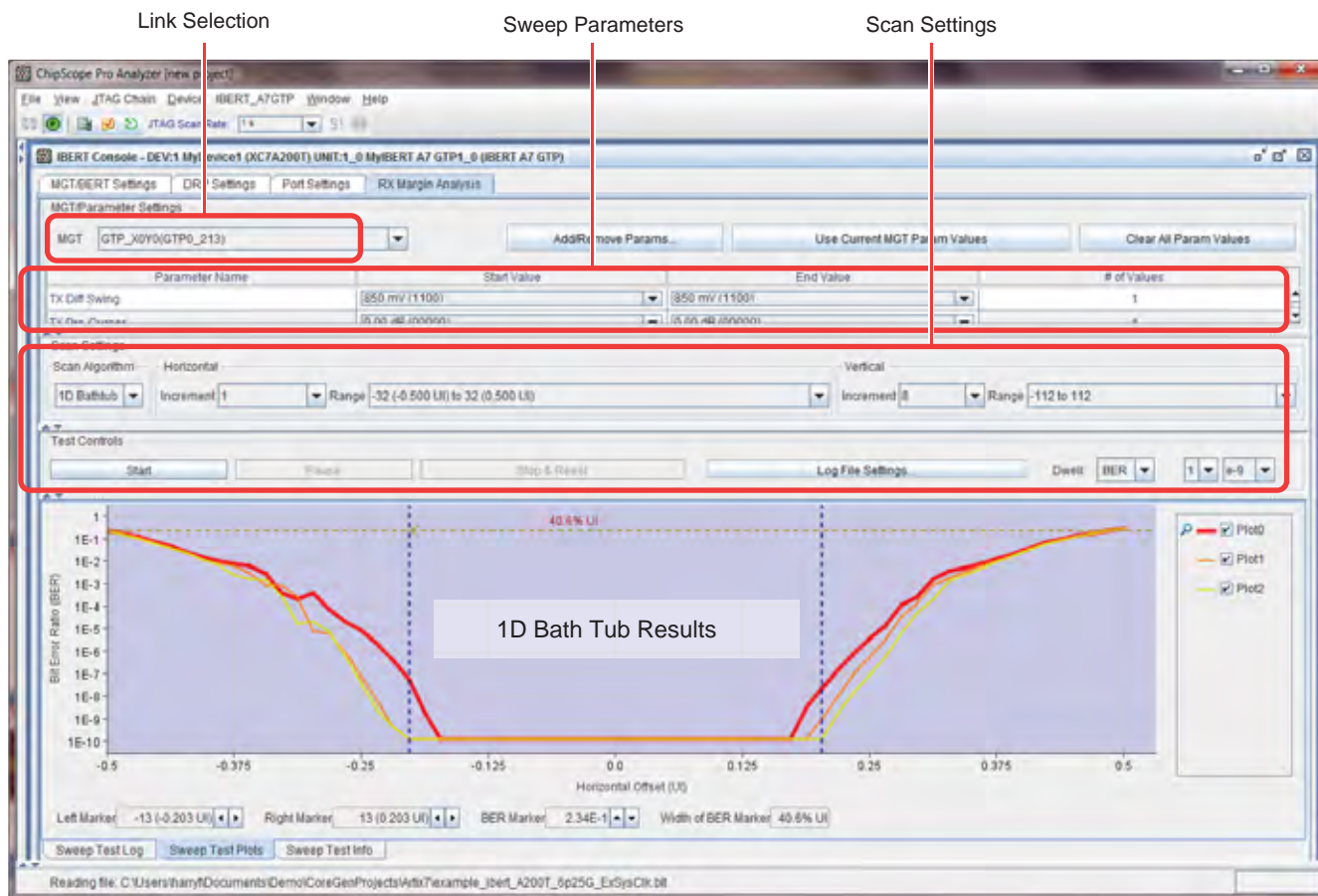
WP428_07_102312

図 7: 8 個の GTP シリアルリンクを実行した場合の IBERT GUI のメイン ウィンドウ

IBERT は 28nm でアイ スキャンを組み込むように改善されました。GUI の [RX Margin Analysis] ウィンドウでは次の設定が可能です。

1. シリアルリンクを選択する
2. TX エンファシス設定などのスイープパラメーターを設定する
3. 1-D バスタブ曲線または 2-D アイ、スキャン解像度、ターゲット BER などのスキャン設定を選択する

図 8 は、上記の機能がハイライトされている [RX Margin Analysis] ウィンドウです。



WP428_08_102912

図 8: IBERT GUI の [RX Margin Analysis] ウィンドウ

30 インチ FR4 トレースを使用したアイ スキャンによるリンク マージンの解析例

アイ スキャンによる RX マージン解析を利用して、30 インチ FR4 トレースで 7 シリーズ GTP TX および RX を接続した 6.25Gb/s シリアルリンクのシステム マージンを評価できます。表 2 に、テスト セットアップをリストします。TX 振幅、エンファシス、および RX EQ 設定は、シミュレーションで使用したものとすべて同じです。

表 2: ハードウェア テストのセットアップ

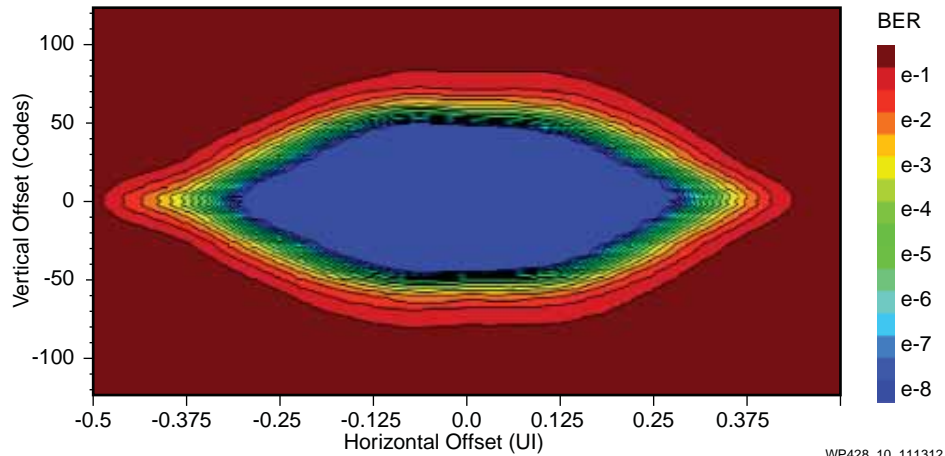
テスト ボードおよびデバイス	A200T を備えた AC 722 特性評価ボード
ライン レート	6.25Gb/s
データ パターン	PRBS31
TX 振幅	850mV
TX エンファシス	オフ
RX EQ 適応	自動
リンク トレース ボード	30 インチ FR4
アイ スキャン ターゲット BER	10^{-8}
アイ スキャンの垂直/水平解像度	2/2



WP428_09_102312

図 9： ケーブルとコネクタが接続された AC722 特性評価ボード

図 10 に、BER = 10^{-8} でアイ スキャンによりキャプチャされた統計アイを示します。アイの高さは ~100 (垂直コード) です。したがって、測定されたアイの高さは ~200mV になります。アイの幅は ~0.56UI です。



WP428_10_111312

図 10： AC722 特性評価ボードで測定された 30 インチ FR4 での 7 シリーズ GTP アイ スキャンの結果

10^{-8} 以上での BER でのアイの輪郭から、BER = 10^{-8} から BER = 10^{-15} でのアイの収束は、5 コード未満 (垂直) および 0.05UI 未満 (水平) と推定されます。したがって、BER = 10^{-15} でのアイの開きは、高さが 95 コード以上、幅が 0.51UI 以上であると推定されます。

チャネルのばらつきに対する BER 性能を約束するために 50 垂直コードおよび 0.35UI のアイマスクを適用すると、次のようになります。

高さのマージン:	$95/50 - 1$	=	90%
幅のマージン:	$0.51/0.35 - 1$	=	45.7%

したがって、シミュレーション結果と同様、このアイ スキャン測定の結果も 7 シリーズ GTP トランシーバーと 30 インチ FR4 で作成したリンクは $BER = 10^{-15}$ を達成する十分なシステム マージンがあることを示しています。8 ページの図 7 に示す BER は、24 時間テストの結果です。1 つのビット エラーもなしに $BER = 1.9 \times 10^{-15}$ に達しています。

まとめ

ザイリンクスの 7 シリーズ GTP トランシーバーは、チャンネル減衰を緩和するためのプログラマブルなイコライゼーション オプションを提供します。リンク チャンネルのリンク マージン見積もりに IBIS-AMI シミュレーション キットが利用可能です。オンチップ 2D アイ スキャン機能により、実際のハードウェアを使用してリンク マージンを数値化することもできます。シミュレーションとアイ スキャンの両方で、適切な外挿法によって非常に低い BER を実現できます。

イコライゼーション オプションの詳細は、『ザイリンクス 7 シリーズ FPGA トランシーバーの高速シリアル インターフェイスでのイコライゼーション』([WP419](#)) を参照してください。

IBIS-AMI モデル キットについては、ザイリンクス販売代理店にお問い合わせください。

オンチップ アイ スキャンの詳細は、『7 シリーズ FPGA トランシーバー ユーザー ガイド』(UG482: [英語版](#)、[日本語版](#)) を参照してください。このホワイトペーパーでは、アイ スキャンを有効にするために ChipScope Analyzer の IBERT ツールを使用しています。カスタマイズされたデザインでアイ スキャンを実装する方法は、『MicroBlaze プロセッサ MCS によるアイ スキャン』([XAPP743](#)) を参照してください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2017年12月7日	1.0.1	誤字の修正。
2012年11月30日	1.0	初版

免責事項

本通知に基づいて貴殿または貴社（本通知の被通知者が個人の場合には「貴殿」、法人その他の団体の場合には「貴社」。以下同じ）に開示される情報（以下「本情報」といいます）は、ザイリンクスの製品を選択および使用することのためにのみ提供されます。適用される法律が許容する最大限の範囲で、(1) 本情報は「現状有姿」、およびすべて受領者の責任で (with all faults) という状態で提供され、ザイリンクスは、本通知をもって、明示、黙示、法定を問わず（商品性、非侵害、特定目的適合性の保証を含みますがこれらに限られません）、すべての保証および条件を負わない（否認する）ものとし、また、(2) ザイリンクスは、本情報（貴殿または貴社による本情報の使用を含む）に関係し、起因し、関連する、いかなる種類・性質の損失または損害についても、責任を負わない（契約上、不法行為上（過失の場合を含む）、その他のいかなる責任の法理によるかを問わない）ものとし、当該損失または損害には、直接、間接、特別、付随的、結果的な損失または損害（第三者が起こした行為の結果被った、データ、利益、業務上の信用の損失、その他あらゆる種類の損失や損害を含みます）が含まれるものとし、それは、たとえ当該損害や損失が合理的に予見可能であったり、ザイリンクスがそれらの可能性について助言を受けていた場合であったとしても同様です。ザイリンクスは、本情報に含まれるいかなる誤りも訂正する義務を負わず、本情報または製品仕様のアップデートを貴殿または貴社に知らせる義務も負いません。事前の書面による同意のない限り、貴殿または貴社は本情報を再生産、変更、頒布、または公に展示してはなりません。一定の製品は、ザイリンクスの限定的保証の諸条件に従うこととなるので、<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。IP コアは、ザイリンクスが貴殿または貴社に付与したライセンスに含まれる保証と補助的条件に従うこととなります。ザイリンクスの製品は、フェイルセーフとして、または、フェイルセーフの動作を要求するアプリケーションに使用するために、設計されたり意図されたりしていません。そのような重大なアプリケーションにザイリンクスの製品を使用する場合のリスクと責任は、貴殿または貴社が単独で負うものです。<https://japan.xilinx.com/legal.htm#tos>で見られるザイリンクスの販売条件を参照してください。

自動車用のアプリケーションの免責条項

オートモーティブ製品（製品番号に「XA」が含まれる）は、ISO 26262 自動車用機能安全規格に従った安全コンセプトまたは余剰性の機能（「セーフティ設計」）がない限り、エアバッグの展開における使用または車両の制御に影響するアプリケーション（「セーフティ アプリケーション」）における使用は保証されていません。顧客は、製品を組み込むすべてのシステムについて、その使用前または提供前に安全を目的として十分なテストを行うものとし、セーフティ設計なしにセーフティ アプリケーションで製品を使用するリスクはすべて顧客が負い、製品の責任の制限を規定する適用法令および規則にのみ従うものとし、

本資料は英語版 (v1.0.1) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。