



WP454 (v1.0) 2014 年 6 月 30 日

# UltraScale アーキテクチャ FPGA で 高性能かつ低消費電力なメモリ インターフェイスを実現

著者 : Adrian Cosoroaba

ザイリンクスの UltraScale™ FPGA で DDR4 DRAM を使用すると、メモリ インターフェイスの帯域幅、柔軟性、電力使用効率において前世代よりもはるかに高いメリットをもたらします。

## 概要

システムの世代進化に伴ってより高い帯域幅が必要とされる中、外部メモリ インターフェイスは、多くのアプリケーションが持つ最大消費電力の制限範囲内を維持すると同時に、求められる性能を確実に満たす必要があります。

高帯域幅システムの場合、パッケージ サイズやピン数が制限要因となるため、I/O の効率的な使用が不可欠です。UltraScale アーキテクチャのすべての I/O はメモリとのインターフェイスが可能であり、I/O バンクは 2 つのインターフェイスで共有可能です。これによって柔軟性が備わり、システム デザインの簡素化および各 FPGA の総メモリ帯域幅の最大化が実現します。

このホワイトペーパーでは、UltraScale FPGA ファミリを使用する革新的なインプリメンテーションを紹介します。UltraScale アーキテクチャは、高帯域幅で FPGA ベースのシステム要件に対応できる柔軟性を備えた、高性能かつ低消費電力な 2400Mb/s DDR4 インターフェイスの構築を可能にします。

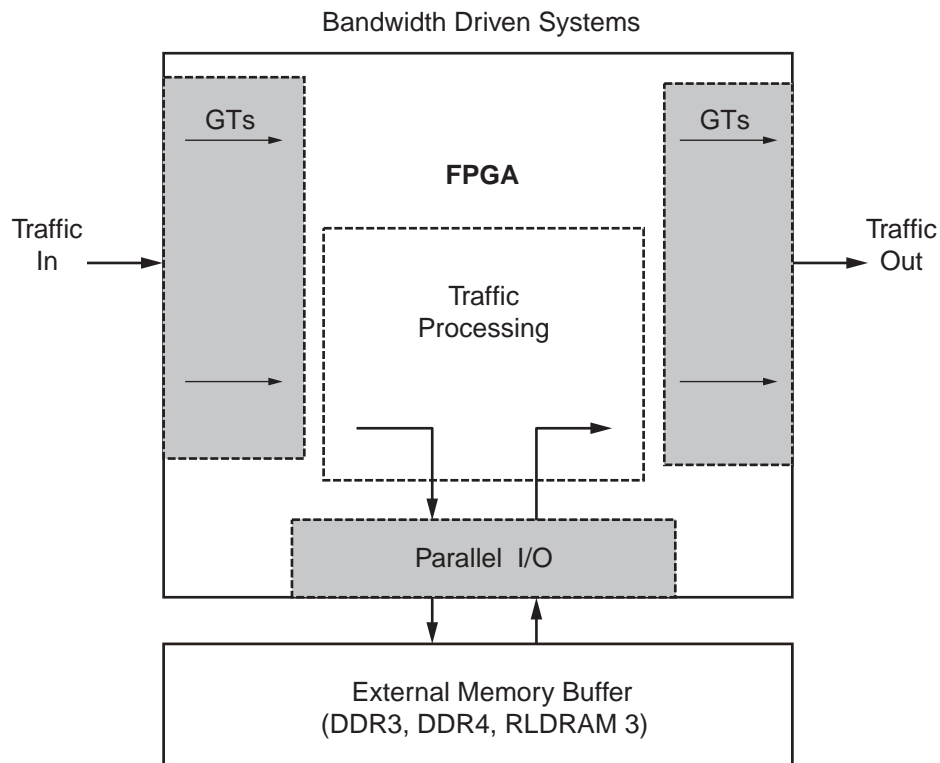
© Copyright 2014 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, UltraScan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は表記のバージョンの英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。資料によっては英語版の更新に対応していないものがあります。日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

# アプリケーション：高帯域幅、高柔軟性、低消費電力

次世代システムでは、より高い帯域幅への要求に応えるために性能の対する要件も厳しくなっています。たとえば、ワイヤード通信システムでは、40Gb/s から 100Gb/s、200Gb/s、あるいはそれ以上のレートが求められるようになっていきます。

一般的なシステム (図 1 参照) では、ギガビット トランシーバーから入力されるデータトラフィックは、FPGA ファブリック内で処理される必要があります。オンチップ RAM のサイズには制限があるため、場合によっては外部の高集積メモリ デバイスにデータトラフィックをバッファリングします。通常、外部の帯域幅要件を満たすには、複数のデバイスまたはインターフェイス (DDR4、DDR3、または RLD RAM3) の実装が必要です。ストールやシステム性能の低下を回避するには、FPGA の処理速度と外部バッファリングの速度がトラフィック速度に対応していなければなりません。つまり、読み出し/書き込みオーバーヘッドだけではなく、さまざまなトラフィックパターンによって生じる回避できない非効率性を補完するために、外部メモリの帯域幅レートはトラフィックレートを上回る必要があります。



WP454\_01\_061714

図 1：帯域幅主導型のシステムと外部メモリバッファ

FPGA の外部メモリ インターフェイスの帯域幅は、次の要因に依存します。

- インターフェイス数  
(パッケージ内の有効な I/O 数およびそれらの効率によって決定)
- 1 ビットあたりのデータ レート
- データ バス幅
- データ バスの効率  
(実際にデータが転送される時間の割合)

総有効帯域幅は、式 1 に示すように上記要因の生産関数で表すことができます。

$$TEB_{FPGA} = INTF \cdot DR_{BPS} \cdot DW_{BIT} \cdot DBE_{PERCENT} \quad \text{式 1}$$

説明

$TEB_{FPGA}$	=	FPGA の総有効帯域幅
$INTF$	=	インターフェイス数
$DR_{BPS}$	=	データ レート (ビット/秒)
$DW_{BIT}$	=	データ幅 (ビット)
$DBE_{PERCENT}$	=	データ バスの効率 (%)

その上、今日のシステムは小型化されているため、FPGA パッケージが熱として消費する電力も制限される傾向にあります。メモリ インターフェイスは電力消費が高くなる可能性があり、特に、シグナル インテグリティ (SI) 向上のために電流を引き込む終端方法が使用される I/O ドメインではそれが顕著に見られます。電圧振幅を小さくしたり (1.2V POD DDR4 I/O など)、可能であればスルー回路の最適化などを駆使して、電力を削減できる設計方法を検討する必要があります。

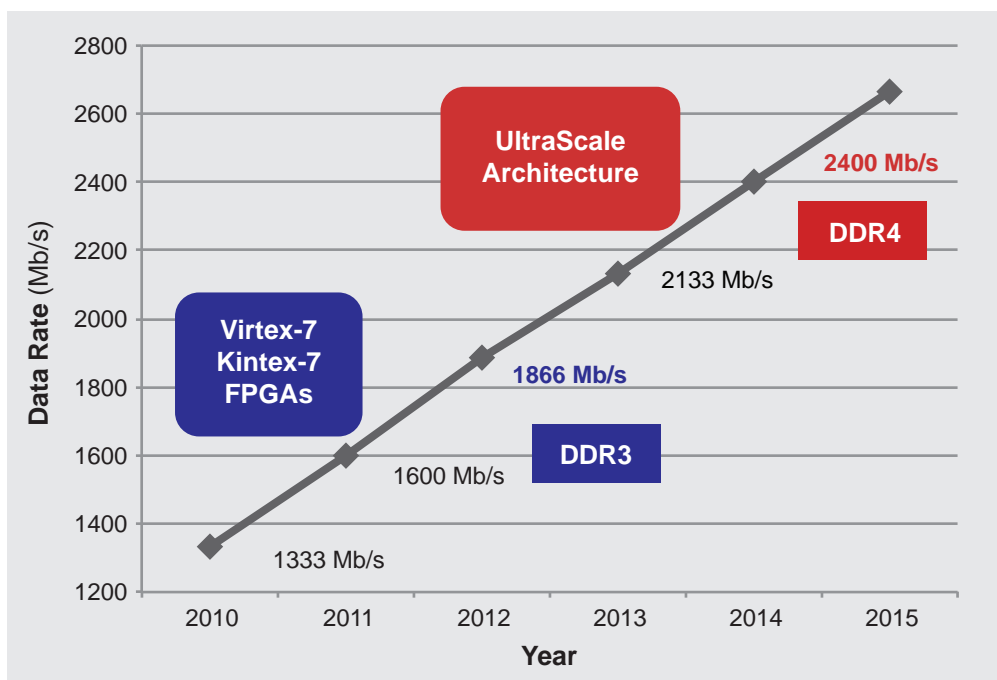
## メモリのトレンドおよび FPGA ソリューション

FPGA ユーザーはこれまで、大量生産された DRAM を利用して数世代にわたって製品を展開してきた経過を考えると、今後もその傾向は継続されるでしょう。

DRAM 市場は PC 市場の動向に追随してきましたが、近年では、モバイル市場 (スマートフォン、タブレットなど) の爆発的成長が、データ センターでも高速伝送と低消費電力を実現するサーバーが求められていることとあいまって、PC 市場以上に DRAM 市場を駆り立てるようになりました。

現在は DDR3 と DDR3L (DDR3L は DDR3 の 1.35V I/O バージョン) が市場の大半を占めており、短期的にはこの傾向が続くと考えられますが、2014 年には DDR4 へと徐々に移行することが予想されます。DDR3 よりも低い I/O 電圧 (1.2V) で消費電力を削減できると同時に DDR3 よりも高いデータ レートを達成できるため、最初の DDR4 はサーバー アプリケーションに採用されるでしょう。

高速な DDR4 データ レートへ移行するユーザーは、その優れたスピード グレード (現在 1600 ~ 2400Mb/s で、将来的にはさらに増加) を利用できます。最大データ転送速度を比較した場合、7 シリーズ デバイスと DDR3 の組み合わせで 1866Mb/s であるのに対し、中/高速グレードの UltraScale FPGA と DDR4 DRAM を使用した場合、2400 Mb/s を達成し、30% のデータ レート向上が実現します。図 2 を参照してください。

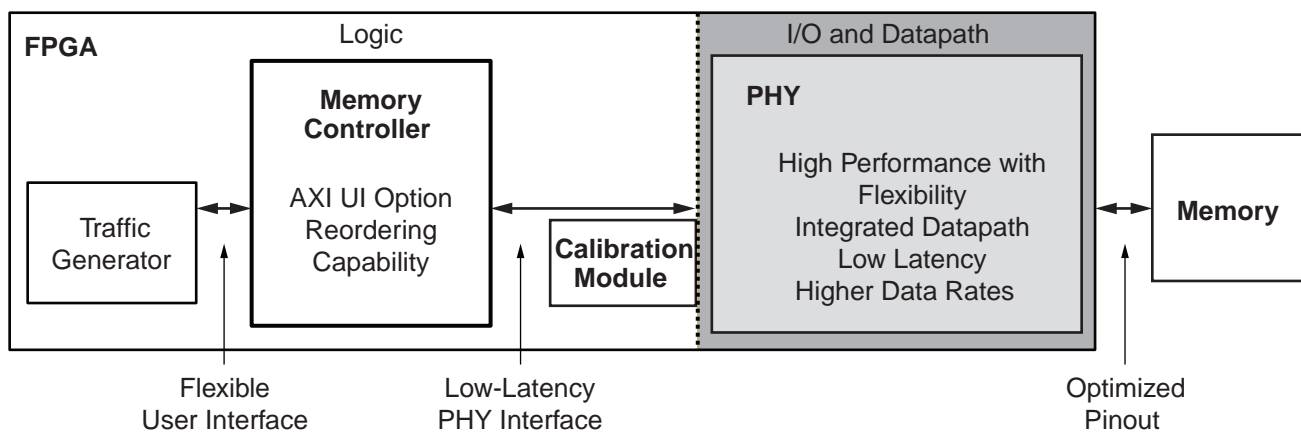


WP454\_02\_052314

図 2: DDR3 から DDR4 への移行、およびザイリンクス FPGA でサポートされるデータ レート

## 柔軟なアーキテクチャ: メモリ帯域幅の最大化

UltraScale アーキテクチャのメモリ インターフェイス ソリューションは、最小の消費電力で最大の柔軟性を発揮し、より高い性能を実現するように最適化された革新的なシリコン特性を活かしてすべて再設計されています。図 3 に、このソリューションの主な構築ブロックを示します。



WP454\_03\_061714

図 3: 高性能、低消費電力、高柔軟性を実現するように最適化されたメモリ インターフェイス ソリューション

ピン配置が最適化されたことによって特定 FPGA パッケージに実装可能なインターフェイス数が最大になり、その結果として各デバイスの総帯域幅も最大化します。統合された PHY 構築ブロックは、専用バスを使用してレイテンシを最小に抑え、高周波インターフェイスにおけるタイミング クロージャを早期に達成します。PHY ブロックは、FPGA のプログラマビリティに対応する柔軟性を備えていると同時に、DDR4 の高データ レートおよび SI 要件を満たす妥協のないソリューションを提供します。

キャリブレーション ロジックは MicroBlaze™ プロセッサで制御され、さらなる柔軟性と利便性がもたらされます。これによって、キャリブレーションおよびタイミング マージンのデータがユーザーに伝えられるため、デバッグ性能が向上します。これは System Debugger Tcl Mode (XSDB) で利用できます。

メモリ コントローラーはリオーダリング機能があるため、データ バス効率を最大にして有効帯域幅を増大させます。さらに、AXI バスへ接続できるため、その他の AXI IP との接続が容易になり、マルチポーティングが可能になります。

## 高性能と柔軟性を実現する PHY アーキテクチャ

UltraScale アーキテクチャの PHY ソリューションは、1つのバンクに4つのバイト幅 (13 ビット) の PHY を含み、クロッキングに柔軟性を持たせるために専用の高速 Tx PLL が2つと MMCM が1つあります。この2つの Tx PLL によって、各バンクに2つの独立したメモリ インターフェイスを割り当てることが可能です。4つのバイトでバンク内の52の I/O ピンをサポートします。各13ビット幅のバイトは高速デジタル PHY で、ファブリックと I/O 間においてデータ、アドレス/コマンド、およびクロックの低レイテンシ転送をサポートします。このデジタル PHY は、高速メモリ用に「妥協のない」PHY ソリューションとしてゼロから構築されて完全に統合されたものです。「妥協のない」PHY とは、消費電力を抑えながら DDR4 レートをサポートすると同時に、FPGA の柔軟性を損なわないように構築された PHY という意味です。主な特徴は、分離された電源による超低ジッター、極めて細かい精度のスキュー調整と4分の1遅延シフト、データ転送中にリアルタイムに VT をトラッキングし、PVT 変動に応じて自動調整するビルトイン機能などです。図4を参照してください。

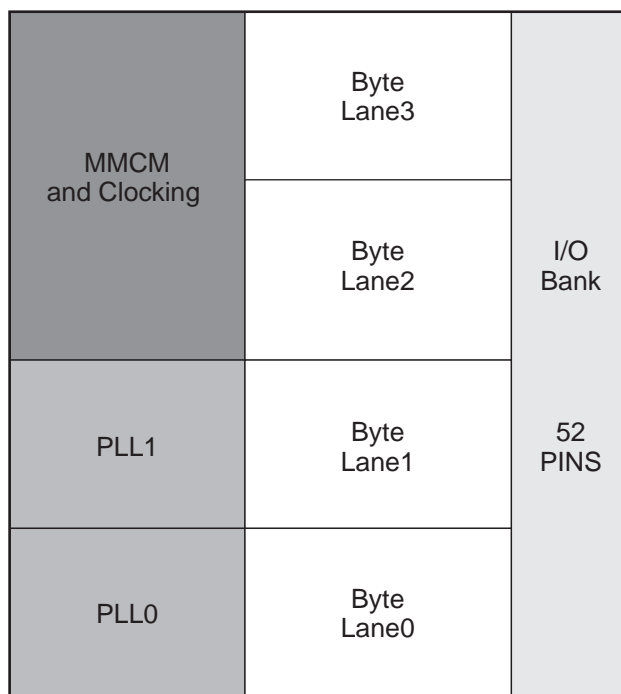
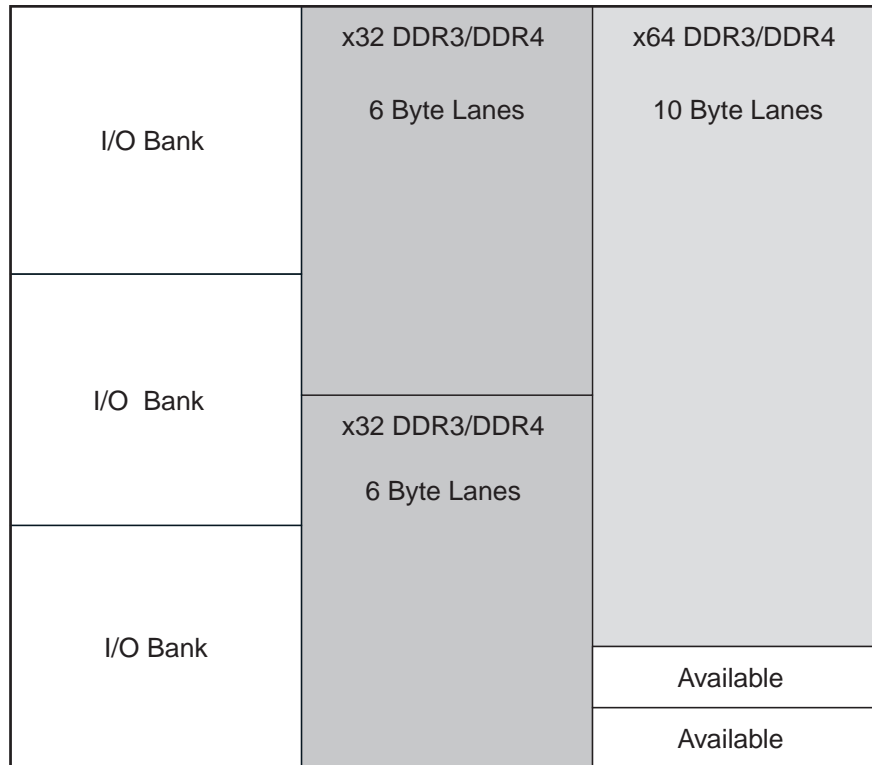


図4: 高い柔軟性を実現するビット スライス PHY アーキテクチャ

DDR3 または DDR4 インターフェイス (32 ビット/64 ビット) が一般的に使用されます。図 5 は、アーキテクチャが柔軟で I/O バンクが 2 つのインターフェイスで共有されることにより、ピンの利用効率が最大化される様子を示しています。



WP454\_05\_061714

図 5 : DDR3/DDR4 インターフェイスで I/O バンクを共有

1 つの I/O バンクは、2 つのインターフェイスとレート別に分割できます。I/O バンクはさらに、任意のバイトレーン境界で分割可能です。2 つの 32 ビット インターフェイスはちょうど 3 つの I/O バンクに、1 つの 64 ビット インターフェイスは 2 個半分の I/O バンクに収まり、残りの 2 バイトレーンはほかの用途に利用します。

## 帯域幅の利用効率を向上させる DDR4 コントローラーオプション

DDR4 コントローラーには、前世代の DDR3 コントローラーにはない最適化された機能があります。この新しいコントローラー機能は、DDR4 アーキテクチャのバンクグループ特性を利用することで、データバス効率の向上およびアクセスレイテンシの削減を実現します。また、最適化されたコマンドキュー構造を備えているため、バスのターンアラウンドを高速化するためにコマンドをリオーダーリングしたり、読み出しと書き込みをグループ化する機能を用いて、帯域幅の利用効率を向上させます。

UltraScale アーキテクチャのメモリコントローラーのその他の特徴として、内部クロックのタイミングが改善されているため、コマンド帯域幅の利用効率を向上させることが可能です。その結果、コマンドが実行されてからデータが読み出されるまでのレイテンシが短縮されます。

柔軟性に関しては、ソフトコントローラーでは最大帯域幅を達成するためにページ管理アルゴリズムをカスタマイズ可能です。特定アプリケーションのコマンドパターンに最適なページ管理オプションを指定できます。

# ULTRASCALE アーキテクチャの利点

表 1 では、UltraScale FPGA を使用した場合のデータ レート (30% 向上) および帯域幅 (デバイスおよびパッケージによって 1.3 ~ 1.8 倍に増加) の向上について説明しています。この新しいアーキテクチャは、PHY のレイテンシおよび I/O バンクの柔軟性を向上させると同時に、改善されたピンの利用効率によってデバイスの総帯域幅を増加させます。プログラム可能な I/O 遅延機能では、より細かい精度 (5ps) で指定できるため、タイミング マージンが向上します。

表 1: メモリ インターフェイスの利点 : UltraScale アーキテクチャ vs 7 シリーズ FPGA

指標	Kintex/Virtex 7 シリーズ FPGA	UltraScale FPGA	利点
データ レート/帯域幅	1866Mb/s	2400Mb/s	30% のデータ レート向上、つまり 1.3 倍 ~ 1.8 倍の帯域幅増加
PHY レイテンシ	可	優	コマンドからデータ アクセスまでが高速化
I/O バンクの柔軟性	良	優	ピン利用率とデバイス帯域幅が向上
1 バンクあたりの I/O 数	50	52 + 2 V <sub>REF</sub>	バンク利用率とデバイス帯域幅が向上
プログラム可能な I/O 遅延	78ps	5ps	タイミング マージンが向上
高度な I/O 機能	—	プリエンファシスおよびイコライゼーション	SI が向上し、高速 DDR4 にできる
DDR3/DDR4 メモリ深度のサポート	ランク数: 2 x8 ベースの DIMM	ランク数: 4 x8/x4 ベースの DIMM	メモリ アクセス深度が増加
ユーザー インターフェイス	マルチポート用の AXI-4 オプション	マルチポート用の AXI-4 オプション	Vivado IPI ソフトウェアの使用によって、柔軟性と使いやすさが向上
DDR3/DDR4 メモリ コントローラー	良	優	効率および柔軟性が向上
I/O 消費電力	良	DDR4 の利用でさらに向上	総消費電力が削減

プリエンファシスやイコライゼーションなどの高度な I/O 機能によってシグナル インテグリティが向上し、より高いデータ レートが使用可能になります。ザイリンクスは、トランスミッターで低周波数の信号成分を抑制するために、ギガビット トランシーバーのインプリメンテーションではプリエンファシスおよびデエンファシスを長年使用してきました。これと同じ技術を DDR4 I/O インターフェイスに適用して、書き込みチャネルの品質を改善します。デエンファシス機能は、信号間干渉 (ISI) を削減して、メモリ デバイスの受信部で信号が正しくサンプリングされるようにします。FPGA の入力では、同様のイコライゼーション テクニックを用いて、信号の高周波成分を引き上げます。CTLE (連続時間リニアイコライザー) は、受信部にプログラム可能なハイパス フィルターを追加して、データ ストリームの高周波成分と低周波成分のバランスを制御します。

x4 ビット (4 ビット データ幅) デバイスのサポートおよび PHY のマルチランク サポートによって、メモリ アクセス深度が向上します。同じデータ バス幅で x8 または x16 デバイスではなく x4 デバイスを使用した場合、メモリ深度は 2 倍または 4 倍となります。さらに、PHY のマルチランク サポートによって同じアドレス バス上で複数のデータまたは DIMM のロードが可能になり、システムのメモリ深度が拡大します。UltraScale アーキテクチャの高度な PHY 機能では最大 4 つのランクがキャリブレーション可能で、クワッド ランク インプリメンテーションで優れたタイミング マージンを確保できます。最後に、UltraScale アーキテクチャは DDR4 をサポートしているため、I/O 消費電力が抑えられ、最終的にシステム全体の消費電力が削減されます。



## 低消費電力要件に対応

今日のシステム、特に FPGA との高速データ転送を行うメモリ インターフェイスでは、低消費電力化が不可欠です。DDR4 DRAM を使用する UltraScale アーキテクチャへ移行することで、実質的には倍の省電力の恩恵を受けることになります。

この恩恵は DDR4 インターフェイスの I/O 電圧が 1.2V と低いことや DDR4 アーキテクチャに備えるいくつかの新しい省電力機能によってもたらされ、結果として DRAM および I/O で大幅な消費電力削減が達成されています。高性能と低消費電力を共に実現する TSMC 社の 20-SoC プロセスや UltraScale アーキテクチャの PHY デザインも省電力化に大きく貢献しました。

表 2 には、従来の 7 シリーズ FPGA で 1866Mb/s DDR3 DRAM を使用する場合と、32 ビットの UltraScale FPGA メモリ コントローラー/インターフェイスと 1866Mb/s および 2400Mb/s の DDR4 DRAM を使用する 2 つ (2 段目と 3 段目) の比較を示しています。すべてのコンフィギュレーションで 50% の読み出し/書き込みトランザクションを実行しています。UltraScale アーキテクチャと DDR4 の 2 つのコンフィギュレーションそれぞれの消費電力削減率は、表の 4 列目に示しています。

表 2: DDR4 と UltraScale FPGA を使用する場合の消費電力削減率 (XPE 2014.1 使用)

メモリ インターフェイス、FPGA	データレート、データ幅	I/O および PHY の消費電力	消費電力削減率 (%): DDR4/UltraScale FPGA 対 DDR3/7 シリーズ FPGA
DDR3、7 シリーズ FPGA	1866Mb/s、32 ビット幅	1.41W	—
DDR4、UltraScale FPGA	1866Mb/s、32 ビット幅	0.94W	36%
DDR4、UltraScale FPGA	2400Mb/s、32 ビット幅	1.10W	15%

## 確実な生産性向上： VIVADO メモリ インターフェイス ジェネレーター (MIG)

カスタム コンフィギュレーション用の完全なメモリ インターフェイスおよびコントローラーを設計するには、I/O ピンの配置やさまざまなメモリ デバイス設定など、インターフェイスと FPGA デバイスの要件に対応させるためにベース デザインを大幅に変更する必要があります。

完全なメモリ コントローラーおよびインターフェイス デザインは、Vivado® Design Suite の MIG GUI を使用して生成できます。これは、ザイリンクスの Vivado IP カタログから提供されています。MIG GUI を使用するメリットは、インターフェイスおよびコントローラーの RTL コードをゼロから生成したり、既存のサンプル デザイン コードを手動で変更する必要がないことです。MIG GUI は、ユーザーが入力した情報に基づいて RTL コードと制約ファイルを生成します。これらのファイルは、ハードウェア検証済みデザインのライブラリを基にして、GUI を介して入力された情報によって変更が加えられます。

MIG GUI を使用することでデザインのカスタマイズやインプリメンテーションを素早く実行できます。MIG によって、目標性能を確実に達成するために必要な制約を適用したカスタム デザインが生成されます。設計者は生成された RTL コードや制約ファイルに対して自由に変更を加えられます。ブラックボックス インプリメンテーションを行うその他のソリューションとは異なり、MIG GUI は暗号化されていないコードを生成するため、デザインをさらにカスタマイズできます。

MIG の出力ファイルは、デザインの異なる構築ブロックに適用されるモジュール (ユーザー インターフェイス、PHY、コントローラー ステート マシンなど) 別に分類されます。オプションでユーザーは、MIG で生成された PHY へ別のコントローラーを接続することも可能です。

さらに、MIG は、メモリ チェッカー機能を備えた合成可能なテストベンチを生成します。テストベンチは、ザイリンクス ベース デザインの論理シミュレーションやハードウェア検証で使用されるサンプル デザインです。メモリ コントローラーへ一連の書き込みおよび読み出し動作を実行することによって、このテストベンチをテンプレートとして使用して「カスタム」テストベンチを生成できます。これを使用して、帯域幅の効率性を評価したり、異なるメモリ アクセス パターンの予測性能を検証できます。

I/O ピン割り当ての柔軟性とは、Vivado I/O ピン配置機能を使用して I/O ピン レベルで MIG I/O バンクの選択をカスタマイズできるということです。この機能は、MIG I/O ガイドラインとボード レイアウト要件を最適一致させます。また、FPGA あたりの帯域幅を最大化するために複数のインターフェイスがインプリメントされる場合には、この機能によって I/O の利用効率も最適化されます。



# 堅牢なデザインを保証：ハードウェア検証と特性評価

メモリ インターフェイスおよびコントローラー IP のハードウェア検証は、UltraScale FPGA をベースとする堅牢かつ信頼性のある高性能ソリューションであることを保証するために、重要なプロセスです。実際、ザイリンクスは数世代の FPGA 製品に対して、徹底した試験方法を採用してメモリ インターフェイス デザインの検証および特性評価を実施してきました。この特性評価プロセスには、システム ノイズや複雑な PRBS データ パターンの追加などを含む、実際のシステムに対するさまざまな試験手順が含まれ、シミュレーションしたシステム環境で PVT (プロセス、電圧、温度) 条件が厳しい場合における機能性を保証します。シミュレーション環境は、実際にシステムが置かれる環境よりも厳しい条件を想定できます。

特性評価プロセスで使用される試験のカテゴリは、次のとおりです。

- 電圧と温度のシュム プロット
- 読み出し/書き込みチャネル
- キャリブレーションの確実性
- 長期的な安定性

これらの試験には、次の内容が含まれます。

- 最低周波数 ( $f_{\text{MIN}}$ ) からエラーになるまで、全 PVT 条件で 20MHz ステップで  $f_{\text{MAX}}$  をテスト
- 250 以上のデバイスを対象に同様の広範なサンプル テストを実施し、 $f_{\text{MAX}}$  およびキャリブレーションの適用性を検証
- 指定の  $f_{\text{MAX}}$  における全 PVT 条件でのアイ幅を測定
- ファブリック ノイズ ジェネレーターを使用して厳しいシステム条件をエミュレート
  - ノイズ: FPGA フリップフロップ/ブロック RAM/DSP の追加使用率は 80%、トグル率は 33%
- ターゲットを絞ったシステム レベルのテスト (クロック ジッター、SI/クロストークの影響、読み出しアイ サイズ/形、遅延線の単調性/ジッター/ステップ、キャリブレーション)
- AXI インターフェイスを介す機能の疑似乱数テストを実施して機能の正当性を検証
- ターゲットを絞った読み出し/書き込みチャネル マージン テスト

上記のほか、ザイリンクスは Agilent 社などの業界をリードする企業と連携して、全 PVT 条件で JEDEC コンプライアンス試験を実施し、これらの機能性を検証および証明しています。

中間スピード グレードの Kintex UltraScale デバイスと 2400Mb/s あるいはそれ以上で動作する DDR4 インターフェイスおよびコントローラーを使用した場合の、実際の JEDEC コンプライアンス試験の様子およびデモンストレーションのビデオが、[japan.xilinx.com/memory](http://japan.xilinx.com/memory) からご覧いただけます。

## まとめ

より高性能で低消費電力なメモリ インターフェイスの構築は、適切なアーキテクチャを選択することから始まります。優れた効率と安定した高いデータ レートを可能にする革新的なシリコンが開発され、最大データ レートおよび I/O の利用効率の向上と低消費電力要件が実現しました。ザイリンクスは、この革新的な UltraScale FPGA を使用して、中間スピード グレード デバイスでデータ レートが 2400 Mb/s の DDR4 をサポートし、要件の厳しいアプリケーションで高データ レートを維持できるようコントローラーの効率を向上させて、業界最高性能のメモリ インターフェイス ソリューションを開発しました。

ザイリンクスが提供する、使用が簡単なソフトウェア ツール (MIG など) を利用して IP コアのカスタマイズが可能です。ザイリンクスのメモリ インターフェイス ソリューションは、詳細なハードウェア特性評価に基づいているため、電圧や温度条件が変化する標準システムで高性能が持続できることを保証します。つまり、このソリューションは、メモリ インターフェイス機能やシステム全体の性能を最大限に引き出せるだけでなく、迅速にシステムを構築できるようサポートされており、設計サイクルを短縮します。

## 改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2014 年 6 月 30 日	1	初版

## DISCLAIMER

The information disclosed to you hereunder (the “Materials”) is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available “AS IS” and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of Xilinx’s limited warranty, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in such critical applications, please refer to Xilinx’s Terms of Sale which can be viewed at <http://www.xilinx.com/legal.htm#tos>.

## AUTOMOTIVE APPLICATIONS DISCLAIMER

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

この資料に関するフィードバックおよびリンクなどの問題につきましては、[jpn\\_trans\\_feedback@xilinx.com](mailto:jpn_trans_feedback@xilinx.com) まで、または各ページの右下にある [フィードバック送信] ボタンをクリックすると表示されるフォームからお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。